材料科学与技术丛书

（第16卷）

半导体工艺

科学出版社

材料科学与技术丛书(第16卷)

R.W.卡恩　P.哈森　E.J.克雷默　主编

半导体工艺

〔美〕K.A.杰克逊　主编

屠海令　万　群　等译校

科学出版社

1999

图字：01-97-1615 号

图书在版编目（CIP）数据

半导体工艺/〔美〕K. A. 杰克逊主编；屠海令等译校. -北京：科学出版社，1999.6
（材料科学与技术丛书：第16卷）
书名原文：Processing of Semiconductors
ISBN 7-03-007260-X

Ⅰ. 半… Ⅱ. ①杰… ②屠… Ⅲ. 半导体-工艺 Ⅳ. TN305

中国版本图书馆 CIP 数据核字（99）第 02724 号

科学出版社出版
北京东黄城根北街16号
邮政编码：100717

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1999年6月第一版 开本：787×1092 1/16
1999年6月第一次印刷 印张：40 1/4
印数：1—2 600 字数：929 000

定价：85.00元

（如有印装质量问题，我社负责调换〈新欣〉）

Materials science and technology: a comprehensive treatment/
ed. by R. W. Cahn... —Weinheim; New York; Basel;
Cambridge; Tokyo: VCH.
Vol. 16. Processing of semiconductors/Vol. ed.: Kenneth A. Jackson. —1996

总 译 序

20世纪80年代末，英国剑桥大学的R.W.卡恩教授、德国哥丁根大学的P.哈森教授和美国康乃尔大学的E.J.克雷默教授共同主编了《材料科学与技术》(Materials Science and Technology)丛书。该丛书是自美国麻省理工学院于80年代中期编写的《材料科学与工程百科全书》(Encyclopedia of Materials Science and Engineering)问世以来的又一部有关材料科学和技术方面的巨著。该丛书全面系统地论述了材料的形成机理、生产工艺及国际公认的科研成果，既深刻阐述了有关的基础理论，具有很高的学术水平，又密切结合生产实际，实用价值较强。

该丛书共19卷(23分册)，分三大部分：第1～6卷主要阐述材料科学的基础理论；第7～14卷重点介绍材料的基本性能及实际应用；第15～19卷则着重论述材料的最新加工方法和工艺。

该丛书覆盖了现代材料科学的各个领域，系统而深入地对材料科学和技术的各个方面进行了精辟的论述，并附以大量图表加以说明，使其内容更加全面、翔实，论述也比较严谨、简洁。

有400余名国际知名学者、相关领域的学术带头人主持或参加了该丛书的撰写工作，从而使该丛书具有很高的权威性和知名度。

该丛书各卷都附有大量参考文献，从而为科技工作者进一步深入探讨提供了便利。

随着我国科学技术的飞速发展，我国从事与材料有关研究的科技人员约占全部科技人员的1/3，国内现有的有关材料科学方面的著作远远满足不了广大科技人员的需求。因此，把该丛书译成中文出版，不但适应我国国情，可以满足广大科技人员的需要，而且必将促进我国材料科学技术的发展。

基于此，几年前我们就倡议购买该丛书的版权。科学出版社与德国VCH出版社经过谈判，于1996年10月达成协议，该丛书的中文版由科学出版社独家出版。

为使该丛书中文版尽快与广大读者见面，我们成立了以师昌绪、柯俊、R.W.卡恩为主编，各分卷主编为编委的中文版编委会。为保证翻译质量，各卷均由国内在本领域学术造诣较深的教授或研究员主持有关内容的翻译与审核工作。

本丛书的出版与中国科学院郭传杰研究员的帮助和支持是分不开的。他作为长期从事材料科学研究的学者，十分理解出版本丛书的重大意义，购买本

丛书版权的经费问题就是在他的大力协助下解决的，特此对他表示感谢。另外，本丛书中文版的翻译稿酬由各卷主编自筹，或出自有关课题组和单位，我们对他们给予的支持和帮助表示衷心的谢意。

我们还要感谢中国科学院外籍院士、英国皇家学会会员R.W. 卡恩教授，他以对中国人民的诚挚友谊和对我国材料科学发展的深切关怀，为达成版权协议做出了很大努力。

材料是国民经济发展、国力增强的重要基础，它关系着民族复兴的大业。最近几年，我国传统材料的技术改造，以及新型材料的研究正在蓬勃展开。为适应这一形势，国内科技界尽管编著出版了不少材料科学技术方面的丛书、工具书等，有的已具有较高水平，但由于这一领域的广泛性和迅速发展，这些努力还是不能满足科技工作者进一步提高的迫切要求，以及我国生产和研究工作的需要。他山之石，可以攻玉。在我国造诣较深的学者的共同努力下，众煦漂山，集腋成裘，将这套代表当代科技发展水平的大型丛书译成中文。我们相信，本丛书的出版，必将得到我国广大材料科技工作者的热烈欢迎。

为了使本丛书尽快问世，原著插图中的英文说明一律未译，各卷索引仍引用原著的页码，这些页码大致标注在与译文相应的位置上，以备核查。

由于本丛书内容丰富，涉及多门学科，加之受时间所限，故译文中难免存在疏漏及不足之处，请读者指正。

师昌绪

柯　俊

1998年3月于北京

丛 书 序

材料是多种多样的，如金属、陶瓷、电子材料、塑料和复合材料，它们在制备和使用过程中的许多概念、现象和转变都惊人地相似。诸如相变机理、缺陷行为、平衡热力学、扩散、流动和断裂机理、界面的精细结构与行为、晶体和玻璃的结构以及它们之间的关系、不同类型材料中的电子的迁移与禁锢、原子聚集体的统计力学或磁自旋等的概念，不仅用来说明最早研究过的单个材料的行为，而且也用来说明初看起来毫不相干的其它材料的行为。

正是由于各材料之间相互有机联系而诞生的材料科学，现在已成为一门独立的学科以及各组成学科的聚集体。这本新的丛书就是企图阐明这一新学科的现状，定义它的性质和范围，以及对它的主要组成论题提供一个综合的概述。

材料技术(有时称材料工程)更注重实际。材料技术与材料科学相互补充，主要论及材料的工艺。目前，它已变成一门极复杂的技艺，特别是对新的学科诸如半导体、聚合物和先进陶瓷（事实上对古老的材料）也是如此。于是读者会发现，现代钢铁的冶炼与工艺已远超越古老的经验操作了。

当然，其它的书籍中也会论及这些题目，它们往往来自百科全书、年报、专题文章和期刊的个别评论之中。这些内容主要是供专家（或想成为专家的人）阅读。我们的目的并非是贬低同行们在材料科学与技术方面的这些资料，而是想创立自己的丛书，以便放在手边经常参考或系统阅读；同时我们尽力加快出版，以保证先出的几卷与后出的几卷在时效方面有所衔接。个别的章节是较之百科全书和综述文章讨论得更为详细，而较之专题文章为简略。

本丛书直接面向的广大读者，不仅包括材料科学工作者和工程师，而且也针对活跃在其它学科诸如固体物理、固体化学、冶金学、建筑工程、电气工程和电子学、能源技术、聚合物科学与工程的人们。

本丛书的分类主要基于材料的类型和工艺模式，有些卷着眼于应用(核材料、生物材料)，有些卷则偏重于性能（相变、表征、塑性变形和断裂）。有些题材的不同方面有时会被安排在两卷或多卷中，而有些题材则集中于一专卷内(如有关腐蚀的论述就是编在第7卷的一章中，有关粘结的论述则是编在第12卷的一章中)。编者们特别注意到卷内与卷间的相互引证。作为一个整体，本丛书完成时将刊出一卷累积的索引，以便查阅。

我们非常感谢VCH出版社的编辑和生产人员，他们为收集资料并最后出

书，对这样繁重的任务作出了大量而又高效的贡献。对编辑方的Peter Gregory博士和Deborah Hollis博士、生产方的Hans-Jochen Schmitt经济学工程师表示我们的特别谢意。我们亦感谢VCH出版社的经理们对我们的信任和坚定的支持。

R. W. 卡恩 (Cambridge)
P. 哈森 (Göttingen)
E. J. 克雷默 (Ithaca)

我们的朋友和主编P. 哈森教授，在今年五月份生病，并于10月18日在哥丁根 (Göttingen) 逝世，时年66岁。直到临终的最后一段时间，由于意志的驱使和对科学的热爱，他一直从事与我们合作的事业和参与有关的编辑工作。他的逝世对他的深为他热爱的家庭，他的同事们，他的教会，以及对全世界与他有密切联系的、从事金属物理和物理冶金方面研究的同行们是巨大的损失。

哈森博士为哥丁根大学的金属物理教授逾30年，直到近来退休，他的名字传遍了大西洋两岸。在他的祖国，他智慧的箴言，在公众界和学生间将会留下巨大的影响。他是《金属材料杂志》(Zeitschrift für Metallkunde) 的编辑，曾是哥丁根艺术与科学院 (Göttingen Academy of Arts and Sciences) 主席，Deutsche Gesellschaft für Metallkunde理事会的中心人物，欧洲科学院院士，美国工程院院士。

1986年，他首先倡议而最终导致出版《材料科学与技术》丛书前18卷，他亲自编著的关于相变方面的第5卷《材料的相变》于1991年出版，并获赞誉。我们感谢他对这一伟大事业的贡献，并以成功地完成这一事业作为对他的纪念。

R. W. 卡恩 (Cambridge)
E. J. 克雷默 (Ithaca)
1993年10月

前　言

本卷介绍了半导体工艺的诸多方面内容。这套系列丛书的第 4 卷讨论了半导体的基本电子结构和性质。本卷内容涵盖了与半导体制备相关的广泛的工艺过程，始于半导体材料的提纯，制作器件用的单晶的生长，然后是外延生长工艺、掺杂与腐蚀，卷中还包括有关器件结构和器件工艺的章节，结尾论及保护器件及其与外部相连的封装工艺。书中许多章节仅描述了写书当时的技术状况。由于半导体技术仍处于迅速变革之中，此卷的一些内容可能在本书出版前即已过时。

人们可能感到吃惊的是，工艺的叙述很少依附于半导体的基本物理知识。半导体性质仅决定在制备过程中应该做什么，而不是怎样实现它。工艺的关键取决于使用的五花八门的各种材料的性质，同时在被称为“Fab”的半导体生产线上采用的工艺也是一个复杂的多步工序。一条新的生产线现在需要约十亿美元的惊人的费用，这足以说明其工艺的复杂性和所需设备的精密程度。

半导体工艺中使用的材料常常受限于其性能。半导体材料要像所制备的单晶那样纯净和完美，沉积层须均匀且无缺陷，导电层的横截面由电流密度限定，绝缘层必须均匀且无针孔，光刻胶存储时应性能稳定、使用时灵敏度高，不仅对半导体本身要求超纯，同时对所有工艺过程中的化学药品，如掺杂剂、腐蚀剂、清洗材料包括水，均要达到超纯。甚至半导体生产线中的空气也是特殊的：有一整套技术支撑建立旨在限制空气中颗粒的数量和大小的超净间。所有工艺材料和工艺过程在微细的细节方面都已经并继续予以审慎研究，以便提高性能和效率并降低成本。

虽然半导体设计很明显是器件生产的必要的第一步，但本卷并未涉及设计过程。对于新的处理器、存储器芯片及 ASIC（专用集成电路）的设计，现已广泛采用计算机辅助设计。不但电路设计使用计算机，而且也用计算机模拟来检验这些设计。根据设计所做的电路元件的布局也由计算机来完成，并将此输入电子束制版机，制作整套光刻掩模版。这些掩模版送至生产线后被依次用来制作半导体中各种掺杂分布、介电层和金属化导电层的图形。很多电路设计者从未进过生产线，而生产线上的工作人员也无须过多地了解设计工艺。

有关半导体制备的另一个重要方面是测试，本卷并未对其论述。简单的电路仅做抽样检测，但对于如微处理器之类昂贵的芯片来说，则必须进行大量的电学和性能的测试。通常一个芯片有一千万支晶体管，但仅有几百支输入/输出脚，检测这样的芯片上的所有晶体管需要复杂的测试程序。测试台价格昂贵

而且测试本身耗费时间，因此，在半导体生产中，测试是主要的成本因素。

本卷介绍了制作工艺。首先是半导体材料提纯，其次是单晶生长。晶体在切磨成片后送去抛光，抛光片则作为半导体材料送至器件生产线。每一种直径的晶片需要一套适于其自身的加工设备，目前已可加工直径12in(约0.3m)的晶片。由于每片具有几百个芯片的晶片加工属于批处理工艺，所以采用更大直径的晶片和更细的线宽仍然是继续发展的趋势。第1，2章阐述晶体生长和晶片加工。第1章介绍硅工艺技术。硅基器件在工业中占有较大的份额，在数量和产值方面都大于所有其它半导体器件的总和。第2章介绍其它半导体材料的工艺。对这些材料来说，工艺在许多方面相类似，但也有显著的不同。第3章阐述外延生长。外延生长广泛应用于器件工艺以调整和改善用于制作器件的半导体活性层的性质。第4章讨论光刻用材料和工艺。晶片上的光刻特征尺寸目前受限于光学分辨率，所以涂敷于晶片上的光致抗蚀剂必须能重现那些线条极细的图形。半导体工艺中依次使用的各掩模中的每一块在套刻时必须与前一块掩模所制作的图形精确对准。第5章讨论与光刻图形相关的采用离子注入和扩散工艺的半导体中的选择性掺杂。第6章介绍采用光刻和腐蚀工艺得到的介电层和导电层图形。第7章至第10章讲述器件结构和器件工艺。硅器件和化合物器件这两个领域将分别阐述。在集成度方面，硅工艺技术是最先进的，所以逻辑电路和存储器器件几乎都使用硅。但基于砷化镓等化合物半导体的器件，例如作为光源器件也很重要。对硅和化合物半导体器件来说，无论是器件类型还是工艺中的化学机理往往都有所区别。第11，12章为最后两章，主要介绍半导体芯片封装和互连技术。由于封装对器件成本和性能有显著影响，令人们愈加关注。

本人对R. W. 卡恩教授在准备本卷所给予的帮助表示致谢。同时也非常感谢各位作者在百忙之中抽出时间撰写各自的章节。他们参与日常的工艺过程，因而是工艺技术专家，其中许多人克服困难，挤出时间，完成写作。这卷书是阐述当今先进的半导体工艺技术的一个及时和珍贵的成果。

K. A. 杰克逊

Tucson，AZ，1996年7月

目　　录

1 硅 工 艺

John G. Wilkes
Formerly with Philips Components Ltd. Southampton, U. K.
(万 群译 屠海令校)

目录

符号与缩语表

A_n 傅里叶级数的系数

a_0 晶格常量(对 Si,$a_0=5.42$ Å)

A_0 常量

B 晶片弯曲深度

C 浓度

C_H 晶体惯性

C_l 液体中的浓度

C_p 颗粒中(氧化物中氧)的浓度

C_s 固体中的浓度

C_{es} 固体平衡溶解度

C_0 原始浓度

d 直径

D 扩散系数

E_c 颗粒的临界尺寸形成活化能

f_t 截止频率

$\overline{f_t}$ f_t 的平均值

ΔF_v 沉淀物体积的自由能变化

F_x,F_y,F_z 切片边缘所生产的力的值

g 熔体的凝固部分

h 高度

ΔH 反应焓

$I(\theta)$ 探测器信号

I 间隙原子

I_{cb} 集极-基极电流

k 玻尔兹曼常量

k_{eff} 有效分凝系数

k_0 平衡分凝系数

N 颗粒数

N_c 达临界半径颗粒数

n_f,n_t 快中子,热中子

n_1 在轴向键中氧原子数

n_2 在其它键中氧原子数

$[O_i]$ 束缚间隙态氧浓度

Pr 普朗特数

r　半径

R　沉淀物中氧总体积半径

r_c　临界半径

r_0　最终沉淀颗粒半径，与 R 相比其值甚小

t　时间

T　温度

T_m　熔点(Si：1412℃)

$t_{1/2}$　放射物的半衰期

t_{Si}　硅片厚度

ΔT　温度差

v　速度

V　空位

v_g　生长速度

W_c　X 射线本征信号半峰宽

W_m　所测信号半峰宽

ΔW　摇摆曲线扩展

α　α 粒子

$\alpha_{\parallel}$　平行应力轴的极化红外吸收系数

$\alpha_{\perp}$　垂直应力轴的极化红外吸收系数

γ　γ 粒子

δ　边界层厚度

ε　应变

θ　样品测试角

θ_B　布拉格角，X 射线反射

λ_n　傅里叶系数(量纲为长度的倒数)

λ_0　常量

ν　动态粘度

σ　表面自由能

τ　迟豫时间

τ_n, τ_0, τ_*　迟豫时间常量

ω　角速度

AC　交流电

ACR　先进的碳热还原

ASTM　美国材料测试学会

BP　沸点

CMOS　使用 n 型和 p 型互补金属-氧化物-硅(器件)

CVD 化学气相沉积
CZ 直拉材料
DC 直流电
DCS 二氯二氢硅
DI 去离子的
DRAM 动态随机存储器
EBE 扩展体材料的外延
EG 增强吸除
FZ 悬浮区熔(材料)
HF 高频
HI-LO 高温-低温(热处理)
LPCVD 减压化学气相沉积
MG-Si 冶金级硅
MOS 金属-氧化物-硅(器件)(n-MOS,p-MOS是指所用的掺杂剂类型的结构)
NFZ 掺氮区熔(材料)
NTD 中子嬗变掺杂
NTP 正常温度与压力
ppba 十亿(10^9)分之一原子比
ppma 百万分之一原子比
ppt 万亿(10^{12})分之一
psi 每平方英寸的磅数
RF 射频
rpm(r/min) 每分钟转数
SANS 小角中子散射
SIMS 二次离子质谱
SRAM 静态随机存储器
TCS 三氯氢硅
TD 热施主
TIR 总指数读数(弯曲度或翘曲度的)
UHF 超高频
ULSI 特大规模集成
UV 紫外
VLSI 超大规模集成
WCA 水分级的刚玉粉

• p.5 • [1]

1.1 引　　言

硅在今天是一种商品，它的价格是在大力推销和在激烈竞争的市场需求中形成的，这一切推动着工艺的发展，以求高成品率地制备所需的、具有严格公差值的材料。一方面，分立器件和电力电子器件要求一些悬浮区熔的及中子掺杂(NTD)的硅；但在世界范围内，生产集成电路却消耗了所有生产硅的75%以上。产品市场分布的发展情况如图1-1所示。这种材料的供给主要取决于直拉单晶的生长，其操作规模由1962年前后的几百克到现在的60公斤以上。

众所周知，半导体工业的发展是从50年代开始的，当时一些大的电气公司从事了锗的化学与冶金。他们的原料为二氧化锗，先将其还原成金属粉末、熔融，再进行区熔提纯和晶体生长，然后再进行机械加工，最后制成分立器件。因为锗是一种贵重的稀有金属，所以在加工过程中产生的渣是有价值的副产品，应予以回收。由于所需的纯度非常之高，就给化学分析、物理检测、材料的选择以及整个化学工程带来了问题。

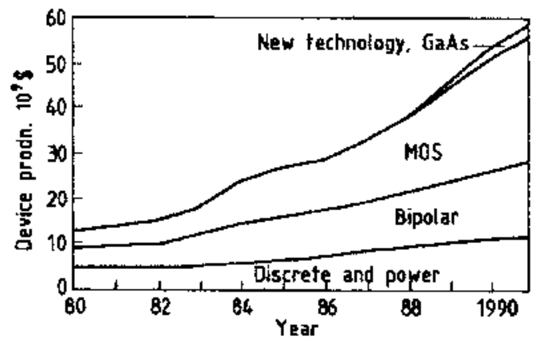


图1-1　半导体产品市场的发展

回过头来看，很少有几家电气公司同时兼有资源和进行此类工作的经验，所以在其后不久开始使用硅时，几乎所有的厂家都利用这个机会使这种产业与化学脱钩。硅是含量最丰富的元素之一，它的废渣无经济价值。从这以后，他们的原料是超高纯多晶硅，用它来制作单晶硅。随着时间的变化，就连生严单晶硅的厂家也在减少，到今天，只有少数几家电子生产者从事体材料的制作。实际上，大多数是购买抛光片，而且是经清洗封装好的，可直接入炉进行生产。有一些生产厂家自已作外延，这是保留下来的仅有的材料工作。

在现代的超大规模集成电路(VLSI)中，光刻的特征尺寸已达1μm或更低，并使用多层互连技术在不断增大面积的芯片上做出复杂程度高的器件。因此，每个硅片上所作的芯片数就要减少，这就伴随着增大硅片直径的要求，以减少周边的损失，改善生产线的成品率、产量，如图1-2所示，由此要不断地增大晶体的尺寸，这要求很大的投资。

• p.6 •

这种放大不是以牺牲质量为代价，实际上正好相反。随着对材料性质与器件关系研究的深入，对硅材料性能的要求不断提高。如果要比较一下在70年代中期的购买规格与今天的用于相同最终产品的规格，就会发现，在要求参数的种类方面和对公差的严格性方面都有明显的变化。对这种变化的推动力为：由于光刻尺寸的缩小，提出了平整度的指标，这是10年前尚未曾考虑的问题；使用片盒以及现在使用机械手操作，这就要求尺寸公差要小，而且要经过倒角的硅片，以防止崩边和在超净设备上颗粒的积聚。对硅中氧、碳在器件

1）为原著页码，下同。——译者注

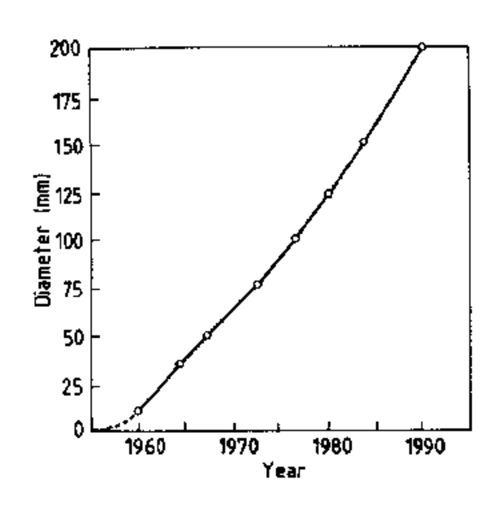


图 1-2　引入最大硅片尺寸的年代
(请注意:这种趋势在继续。少数的主要来自远东的公司正在考虑使用 250mm 直径[1]的可能性)

炉内处理条件下的沉淀行为的研究导致了引入新的规格参数,新的晶体制作工艺以及形成了“晶体工程”的概念。在投入器件制作生产线之前,进行有控制的氧沉淀,能在这些位置上发生内吸除,将不需的、扩散快的、电学上有害的杂质从表面吸除掉,而 MOS 器件是做在这个表面层上的。晶体加工所残留的损伤也可起到类似的外吸除作用。在今天的“晶体工程”的许多应用方面,联合使用机械的和氧化物沉淀吸除使之达到硅的优化性能,以满足 MOS、CMOS 和双极型器件的各自要求。为了与之相匹配,必须考察生产的所有热过程,以便选择合理的结构。

在 90 年代初期世界经济出现衰退的时候,微型计算机的市场却暴涨,与此相联系的是以微处理器芯片为主的发展,使器件售额不断增长,到 1993 年达 600—700 亿美元,预计到 2000 年可达 1500—2000 亿美元。这些微处理器芯片在不断地增大其尺寸与复杂程度,例如 Intel 公司的奔腾芯片有 300 万个晶体管,速度为每秒运行 1 亿个指令,它的面积大约为 $0.5in^2$($\sim 3cm^2$)。在存储器芯片中,16 兆位动态随机存储器(DRAM)正在被 256 兆位所取代,因为 DRAM 每个单元需要一个晶体管,就是在缩小各种尺寸的同时,也要增大芯片尺寸。显示用的电荷耦合器件也要求大的芯片面积。特大规模集成电路(ULSI)的应用在今天成为 200mm(8in)直径硅片需求的主导,而且不可避免地还需要更大的直径。为了这种直径的要求,现有的直拉单位炉必须扩大到 100—150kg 装料量的规模。这种很大的热量将造成掺杂剂、氧、晶体缺陷浓度的控制及其均匀性方面的困难。微小尺寸的光刻需要超平的硅片,大于 0.1μm 的颗粒每片不超过 10 个。高集成度 DRAM 的漏电控制要求表面金属污染要低于 10^9 原子/cm^2。这对硅的最后清洗和封装提出了严峻的挑战。

· p.7 ·

总之,对硅材料供应者的要求是:直径要大的,要在严格的工艺中生产出的一致性极好的,在均匀性、掺杂剂、杂质、点缺陷沉淀、清洁表面特性以及测试方法等方面都符合严格规范要求的硅片。然而,由于市场竞争是无情的,在所有这些要求下,还要有尽量低的价格,这种强制性会反馈到硅材料制作的每一道工序。这反映到原材料领域中,使得在过去 20 年来,硅的供给一直集中在少数几家专业化的外销大公司中,通常这些公司又是更大的综合性化学公司的一个分部。这些公司的大部分现在又无情地进入到与此平行的砷化镓材料市场,因为在 90 年代,这种材料在商业化方面变得更为重要了。总之,这种在任何时期都不能忽视的高度商品竞争的环境对本章所述内容一直是一种有影响的背景。

1.2　冶金级硅

用来制造半导体级材料的原料是冶金级硅,它是将二氧化硅在电弧炉中经碳热还原

1) 250mm 直径的规格未被采用,现在直径 300mm 的硅片已在小批量地试生产。——译者注

制成的。二氧化硅在自然界呈石英岩存在于石英脉矿和砂石中，或呈松散的砂及碎石，因此它是一种在世界上布满的矿物。硅是仅次于氧的丰富度最高的元素，但它在自然界并不以元素状态存在。自由态的二氧化硅以及存在于各种形态的火成硅酸盐的二氧化硅构成了地壳的四分之一。但是金属硅的生产者则要求矿石的 SiO_2 的含量大于 99%，并对各种杂质，特别是砷、磷、硫等的允许含量有严格的限制，因此只有小部分的矿石能够满足其纯度规格。在河床中受地质条件冲刷的砾石及受类似条件冲洗的石英砂是高纯度的原料。在美国的 Arkansas 最近发现了到目前为止纯度最高的石英岩的矿床，其中一些单晶体每个重达数吨，曾在世界展览会中展示过。

在当前世界应用最多的传统的电弧炉过程中，块状的硅石与作为还原剂的碳(它可以是煤、焦碳或活性碳)起化学反应，这些还原剂中杂质的含量至少比氧化硅中的高一个数量级。它的总反应式看来很简单：

$$SiO_2 + 2C \rightarrow Si + 2CO \quad (1)$$

但是，根据 Healy(1970)的讨论，实际上在炉内各温区的反应顺序远比它复杂得多，如图 1-3 为其反应示意图。

• p. 8 •

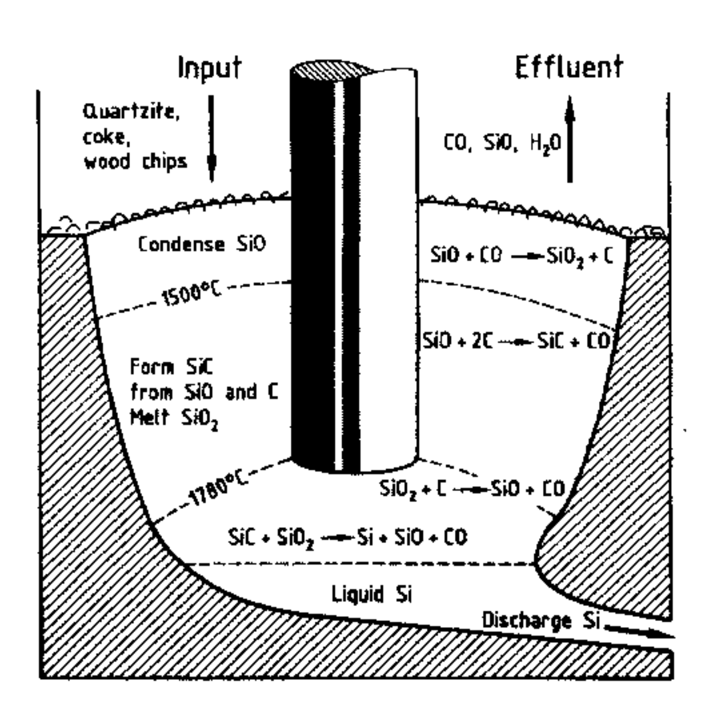


图 1-3 埋弧电炉生产冶金组硅的反应示意图

(a)靠近炉子的底部，在电极的电弧区，此处的温度超过 2000℃，按下式产生硅：

$$SiC + SiO_2 \rightarrow Si + SiO + CO \quad (2)$$

(b)在此部位的上方，温度稍低一些，达 1700—1500℃，上升的副产品气体发生反应形成中间产物碳化硅，如下式：

$$SiO + C \rightarrow SiC + CO \quad (3)$$

(c)靠近顶部，这里的温度低于 1500℃，根据热力学，预计逆向反应占主导地位：

$$SiO + CO \rightarrow SiO_2 + C \quad (4)$$

炉料是从炉顶加入炉内的，而液态硅则是从炉底周期性地放出，铸成锭条。如果铸锭是定向的，符合被称作正常凝固的条件，那么其杂质再分布可利用来进行一定的提纯，它是按 Pfann(1952,1958)所提出的方程式进行：

$$C_s = k_{eff}C_0(1-g)^{k_{eff}-1} \quad (1\text{-}1)$$

为了使电弧炉反应进行得顺利，很重要的是要保持炉料的多孔性，使得 SiO 和 CO 能有均匀的气流，并能使 CO,SiO 和 H_2O 能散出到炉顶。为此，加入一些木块在炉料中，而硅石的状态必须是在炉上部加热时不易碎化，否则会造成过早的熔融，结壳，随之有由炉料内部的气压而产生爆炸的危险。显然，氧化硅的碳热还原不是一个简单的工艺。

• p. 9 •

表 1-1 硅石、碳和冶金级硅中的杂质

杂质	石英(ppma)	碳[a](ppma)	MG 硅[b](ppma)
Al	620	5500	1570±580
B	14	40	44±13
Cr	5	14	137±75
Fe	75	1700	2070±510
P	10	140	28±6
其它	10	600	——
Mn			70±20
Ni			47±28
Ti			163±34
V			100±47

a-称重的；b-平均值±标准偏差。

Crossman 和 Baker(1977)给出了一个很有意思的比较。他们列出了相当于生产出 2000 多吨冶金级硅所用的有代表性的石英岩和碳的杂质的光谱分析结果。将他们的数据列入表1-1，从表中看出，石英岩中杂质含量约为 750ppma；碳中为 8000ppma，形成的冶金级硅中为 4000—4500ppma。分析数据表明，铝和铁是主要的杂质，它们大部分来自碳，和别的杂质在一起，约占硅中杂质的 80%。因为这些涉及冶金级硅的结果对半导体级多晶硅的生产有关，所以对原料碳的纯度是应当重视的。

最近的发展集中在使用改善的和更纯化的工艺和优质碳，并努力开发利用石英砂作为廉价高纯的原料。为了保持炉料的孔隙度的构成这一对埋弧电炉操作的最重要的要求，人们的注意力放在如何满足它或回避它。在大幅度地降低电弧炉中生产的硅中的杂质含量方面，美国 Hemlock Semiconductor 公司的 Dosaj 等(1978)报道了利用高纯氧化硅与碳黑作原料，加入蔗糖粘合剂制团得到 99.99%纯度的冶金级硅。虽然硼含量在材料中是不高的，但是这个特殊的杂质在后面的半导体硅的生产中总是顽固地残留下来，因此最近有使用低硼含量的石油焦作为碳还原剂的兴趣。

• p. 10 •

将高级石英砂制团可以给纯氧化硅以相应的形状。这种材料可以单独地，也可以与碳粉混合制成团块。几个研究小组，包括欧洲最大的金属硅生产厂家——挪威的 Elkem A/S 公司，都在进行这方面的工作，但是到现在为止，还只处于开发阶段。最近，Aulich 等(1985)报道了 Siemens 公司的先进的碳热还原(ACR)工艺，在这里将高纯石英砂制团后用压块的碳黑进行还原，碳黑是用热 HCl 浸出过，使其纯度与氧化硅相当。因为在电弧炉中大约 10%的碳是来自电极，因此碳中的有效杂质含量要高一些。尽管如此，杂质的含量得到了大幅度的降低。

比较激进的克服孔隙度问题的方式是采用直流等离子弧技术来生产硅铁和金属硅。等离子电弧炉的重要特点是它可以直接处理矿粉，而不需要压块或制团。这种方法的潜力还在于它可以把冶金级硅进行非常有效的提纯达 10 万倍，这是据 Amouroux 等(1986)报

道的。在南非，这种技术已开发到能完全生产铬铁矿的规模，现在一些别的国家对此技术正在评估。

基于铝氧化产生大量热来还原难熔氧化物，如 Cr_2O_3 和 MnO_2 的铝热工艺是热源的一个重要革命。将这种技术用于硅，形成了崭新的生产方法，这是由 Dietl 和 Holm 在德国 Wacker Heliotronic 公司[例如见 Dietl 等(1981)，Dietl 和 Holm(1986)]将石英砂进行铝热还原，利用 $CaO\text{-}SiO_2$ 液相助熔剂在 1600—1700℃下按下列反应进行的：

$$3SiO_2 + 4Al \rightarrow 3Si + 2Al_2O_3 \tag{5}$$

这种助熔剂一方面可以溶解副产物氧化铝，同时又作为液-液萃取介质。一旦硅被释放出来，它与助熔剂是不互熔的，从而被分离开来。由于硅的密度较小，它浮在上层，经过一段时间，将其灌入铸模中进行有控制的正常凝固，以便分离分凝系数小的杂质。用这种新的、半连续的工艺能得到比通常冶金级硅纯度高的硅。它具有较低的硼、碳含量，然后将其进行破碎、酸洗和液-气萃取，这种材料可供太阳电池使用。

在最近 10 年间，金属硅生产在经济上最重要的趋势是放弃过去小规模分散的、产量不高的工厂，使用非常大的电弧炉，专用于特定的产品，它具有较低的单位成本。一个现代化的埋弧电炉是三相，装有 3 个电极，每个电极的直径达 1.25m，使用的电源功率为 24MW，能生产 8000—10000t/年冶金级硅，电耗为 12—14kW·h/kg。

对冶金级硅的需求主要来自钢铁工业和铝合金工业，它们要求金属的纯度为 98%。稍高一点纯度的为大于 99%，是用来制作氯硅烷，它是为硅酮工业合成有机硅化合物的关键中间体，用于制作硅油、硅脂、润滑剂、防水剂等。虽然半导体工业要求纯度尽量高，但它的用量在整个世界市场的供应量中仅占很小的比例。例如 1986 年全球冶金级硅产量接近 60 万吨，用于制作有机硅消耗了其中的 20%。相比之下，当年半导体级超纯多晶硅的产量大约 6000t，经换算，它消耗了冶金级硅总供应量的 2%弱，更值得一提的是，它仅相当于一个单弧电炉部分产能[1)]。西欧具有世界生产能力的一半以上，它们以挪威的 Elkem 和法国的 Pechiney 公司为首，其能力分别为 10 万吨和 7.5 万吨。

总之，尽管半导体硅的生产者对冶金级硅质量的影响是有限的，但这种产品已有了改进。虽然这种改进的动力大部分来自有机硅对纯度的需求，但其中一些冶金级硅生产公司已与半导体市场建立了密切的联系，他们的贡献在全球金属硅市场的背景中，具有更大的意义。

·p.11·

1.3 半导体级多晶硅

如表 1-1 所示，冶金级硅的纯度为 99%，除含碳外，还含 1000ppma 以上的铁和铝，各种过渡金属和其它金属——钛、铬等——大约 100ppma，以及低含量杂质，包括硼、磷等大约几十个 ppma。半导体硅的规格要求所有这些杂质均应降到十亿分之几(ppba：在 10^9 原子中有一个杂质原子)的水平。对生产者而言，还要经济地达到这一要求十分严格的任务，以便能承受由市场竞争十分激烈而给整个产业带来的价格压力。早先建立的多晶硅厂的

1) 作者的这一论述有误，应改为不足两个大型电弧炉的产能。——译者注

能力约为 100t/年，而现在为了达到价格目标，建立的工厂能力约为 1000t/年或更大。

从冶金级硅生产半导体级多晶硅有两个主要方法：用氯硅烷（主要是 $SiHCl_3$）或用硅烷（SiH_4）。前者从 50 年代后期开始一直是主要方法，但是现在遇到了挑战。

1.3.1 三氯氢硅法

此法为西门子公司开发的（Bischoff，1954），它很快就淘汰了当时主要提供硅原料的 $SiCl_4$ 锌还原法。此法有以下三个关键工序：

(a) 硅粉与氯化氢在流态化床上进行反应以形成三氯氢硅（TCS）。

(b) 对 TCS 进行分馏，以获得 ppb 级超纯的状态。

(c) 将超纯 TCS 用氢气通过化学气相沉积（CVD）还原成所需产品——半导体级多晶硅。

这个可逆的基础反应为：

$$Si_{(固)} + 3HCl_{(气)} \underset{CVD}{\overset{流态化床}{\rightleftharpoons}} SiHCl_{3(气)} + H_{2(气)} \tag{6}$$

流态化床装置的示意图列入图 1-4，但是，实际上的反应比这个要复杂得多，而且在这些反应之间以及反应的最后阶段需要一定的循环。整个流程的设计、热交换器的利用效率以及中间产品循环的精确控制是对生产成本起关键作用的因素。

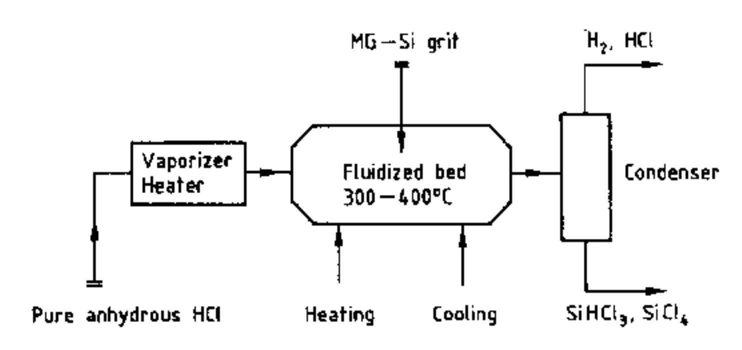


图 1-4 流态化床反应器示意图

在三氯氢硅厂中，大量的循环与硅烷厂相似——见图 1-5

• p. 12 •

硅粉与无水氯化氢气体在 300—400℃会发生强烈的放热反应，其产物含大约 90%所需的 $SiHCl_3$[沸点（BP）：31.8℃]，大约 10%$SiCl_4$（BP：56.6℃）以及少量的 SiH_2Cl_2（BP：8.5℃）；与氢在一起的还有未反应的 HCl 以及一些挥发性的金属氯化物。对这种转化，高纯度的无水 HCl 是关键，需要一套复杂的提纯装置才能保证此工序所规定的杂质小于 1ppma 的水平。三氯化磷（BP：76℃）和三氯化硼是从冶金级硅带来的两个主要的电活性杂质，它们在室温下为气体；还有少量的 $AsCl_3$（BP：130℃）形态的砷和其它挥发性金属氯化物，例如 $AlCl_3$；在流态化床的工艺阶段中能将带入的杂质大幅度地降低。

下一个阶段是高性能的多塔板分馏，用以提纯 TCS，它将其中的其它的氯硅烷和 Si-H-C-Cl 类的物质分离出去，并把不需要的金属杂质降到 ppba 级。分馏与选择性吸附相结合可获得极高的纯度。这个阶段纯属化学工程，与任何石油化工提纯相类似。由于能保持干燥，氯硅烷和无水氯化氢无论是气态还是液态均无化学活性，因此可在普通碳钢的管道与储罐中移动与输送，但需要特殊的阀门和泵，以保持无漏气的环境。这样，这最终的超纯

的 TCS 就比较容易地处理，使之进入下一个硅沉积的工序。

在此工序中获得的半导体级的 TCS 的质量见表 1-2。该表示出杂质有代表性地能降到何种水平。在这里不得不开发新的分析技术以便使这些杂质含量能够定量，甚至使用很高灵敏度的紫外光谱，所有的金属杂质一般也在其分析灵敏度之下。存在着比这个纯度更高的等级的产品，例如外延沉积用的。在这种水平上，一般只有一种方法可以鉴别两种不同的 TCS 源，那就是在严格控制的条件下比较其所获材料的性能。

· p. 13 ·

表 1-2　半导体级三氯氢硅与多晶硅中的杂质[d]

杂质	三氯氢硅	多晶硅
$SiHCl_3$	99.9%min	——
SiH_2Cl_2	<0.2%max	——
$SiCl_4$	0.01%max	——
电阻率	——	>1000Ω · cm
碳	<0.5ppma[a]	<0.5ppma[b]
氧	没报	没报
施主	<0.02ppba	<0.10ppba[c]
受主	<0.03ppba	<0.05ppba[c]
金属	低于紫外光谱的检测极限，例如：	由中子活化分析：
	Fe<5ppba	Fe<0.4ppba
	Ca<1ppba	Cr<0.05ppba
	Al<1ppba	Zr<0.2ppba
	Mg<0.02ppba	其它金属分别<0.02ppba

a. 碳氢化物使用化学分析；
b. 使用红外法；
c. 使用对沉积的多晶硅的电子测量；
d. 根据 1989 年主要供货单位所提供的标准规格。

当我们将表 1-2 的数据与过去发表的结果相比较，例如 Crossman 和 Baker(1977)(他们对冶金级硅的研究曾被提到过)，就会发现最近 10 年的进步，特别是在降低碳及残留的施主含量方面。

工艺的第二个阶段是硅的沉积，在这方面全世界的主要生产者都使用西门子化学气相沉积技术。虽然今天的容器要大得多，但其结构仍基本是 50 年代中期所提出的样子。两根细的超纯硅芯，直径大约 5mm，现在的长度可达 2—3m，被固定在底盘的重的电极上，它们的上端，用细硅芯作桥将其连接而形成倒立的 U 形。在当电流通过硅时，在三氯氢硅-氢的混合气氛中硅棒被加热到 1100℃左右，在这个热表面上沉积超纯硅。过程继续 200—300h，一直到硅棒的直径达到 150—200mm。主要使用 TCS 而不是 $SiCl_4$(在 60 年代一些公司为了回避西门子专利曾采用 $SiCl_4$)，因为用 TCS 的沉积反应温度较低，速度较快。正如上面所说，反应要比式(6)更复杂，在高温下，中间产物二氯化硅 $SiCl_2$ 对在表面吸附-沉积过程和副产品 $SiCl_4$ 的形成起重要的作用。因为氯硅烷外延是利用同一过程以沉积单晶硅薄层，因此对此反应进行了大量的研究工作，其中应当指出的是 Bloem 和 Gilling 以及他们的同仁早年所作的工作(Bloem 和 Gilling，1978；Bloem 和 Classen，1980，1983/1984)。

在这种沉积过程中，任何的同相成核和随后在气相中的颗粒生长会导致含粉末沉积物的气流充满整个系统，这是破坏性的。因此要选择 TCS 的工作参数，以确保其为异相表面控制反应。在此种条件下，它的单位沉积速率(kg/h)与表面面积或正比，随硅棒直径的增大而增大。显然，棒的生长直径愈大愈好，因此将这些反应器(还原炉)的尺寸放大会明显地降低成本和减少物料循环。

在给入还原炉的 TCS 中，只有一部分转化为硅。在尾气中含有未反应的 $SiHCl_3$ 以及

$SiCl_4$,HCl,H_2 和少量的其它组分。所有这些都要进行分离和再提纯到所需的程度,然后返回到前面相应的工艺阶段,例如 HCl 返回到流态化床。一些 $SiCl_4$ 副产品并不返回而有其不同的应用市场;用来作外延,作一些硅的和硅酮的产品,最近又用来制作光纤。

• p. 14 •

总之,西门子工艺尽管有其操作的复杂性问题,但它的三个基本工艺阶段:化合、高效分馏和再沉积,可低成本地将 ppma 级纯度的冶金级硅变成 ppba 级的超纯半导体硅,因此它远远优于早先的 $SiCl_4$/Zn 的杜邦法(Dupont process)(Lyon 等,1949),并将其完全取代。据报道,在 1959 年试验室制作的区熔硅单晶具有已接近本征的电阻率,达 100 000Ωcm以上(Hoffman 等,1959)。利用收集到的多晶硅供销者的最新规格,将当前有代表性的电子级多晶硅的分析数据列入表 1-2,它反映了包括三氯氢硅前体在内的质量的不断提高,使材料支持了器件领域在这 20 年间的进步。

1.3.2 硅烷法

虽然研究硅烷(SiH_4)在半导体方面的潜在用途开始得很早,但硅烷变得有商业价值却开始于 20 世纪 60 年代后期,那时出现了平面工艺,要用化学气相沉积法来沉积二氧化硅或氮化硅介电质和形成多晶硅作器件的互连层。这些硅烷大多是在氢化锂、高温熔盐 LiCl(45%)/KCl(55%)的电解槽中制成的(Sundermeyer,1957),其主反应是在 390—430℃下进行的:

$$SiCl_4 + 4LiH \rightarrow SiH_4 + 4LiCl \tag{7}$$

外销市场对此种需求量在 1986 年曾达 110t,随着硅集成电路的增长,现在这个数量要翻一番还要多。但我们这里探讨的是用来制造体状多晶硅的硅烷。

多年来,日本的小松公司(Komatsu Ltd.)在进行硅烷生产(Yusa 等,1975;Taylor,1987)。他们的工艺基于下列的反应:

$$2Mg + Si \longrightarrow Mg_2Si \tag{8}$$

$$Mg_2Si + 4NH_4Cl \xrightarrow[\text{液 } NH_3]{} SiH_4 + 2MgCl_2 + 4NH_3 \tag{9}$$

$$SiH_4 \longrightarrow Si + 2H_2 \tag{10}$$

将镁粉与硅粉熔炼成硅化物,将其与液氨溶剂中的氯化铵在 0℃以下进行反应。因为硼会形成稳定的 $BH_3 : NH_3$ 加成化合物,在这个阶段就把硼含量降得非常低,达 0.01—0.02ppba 的水平。磷呈磷化氢 PH_3,比较难从产生的硅烷气体中去除掉。因此,下一个步骤是多塔板的分馏,分馏是在减压下的很低的温度,−112℃在低于它的沸点下进行。进一步的提纯是在改良的 A 型分子筛上进行选择性吸附,在−20℃到−30℃温度下可将 PH_3 除到非常低,低于 0.01ppba(Yusa 等,1995)。对强化分子筛的改进工作还在继续进行,例如 Showa Denko KK(1984)。

最后的步骤为沉积,是在如上述的西门子过程的设备内进行的,但是为了避免同相反应,操作温度较低,只是 900℃左右,是一个简单的热分解过程,不要求有任何其它的反应物参加,未分解的硅烷和氢气是仅有的需回收的副产品。所获多晶硅的质量非常之高,但比三氯氢硅法要贵。Komatsu 工厂的生产能力非常小(1986 年为 150t),其优质级的硅产品在高阻区熔单晶和中子掺杂方面找到了应用市场(见 1.4.2 节)。

· p. 15 ·

在美国能源部70年代中期的太阳能计划项目中，对各种有潜力的制造硅的方法进行了探索和重新评估。例子有 $SiCl_4$ 的Na还原或Zn还原法以及 SiF_4 的方法等。这些已由Dietl等(1981)作了综合论述。从这个项目中，有一个工艺在一个工厂内达到了完全成熟的程度，它给世界硅的生产增加了一部分可观的能力。在华盛顿州，Moses Lake的联合碳化物公司(Union Carbide)生产硅烷作为沉积的前体，它将TCS工艺和硅烷法在中间阶段联合起来(Tylor，1987)。生产还是从冶金级硅开始，进入流态化反应器，但是操作运行都与上述的西门子工艺不同，在这里硅与大量的循环的 $SiCl_4$ 和氢发生下列反应：

$$3SiCl_4 + Si + 2H_2 \rightarrow 4SiHCl_3 \tag{11}$$

工作是在500psi(≈35bar)的高压下，在500℃下进行，此反应在热能方面几乎是中性的。一次效率为30%—35%，它与西门子系统的强放热反应(6)很不相同。紧接着这个阶段的是分馏，将 $SiCl_4$ 分出并返回流程。

下面的两个阶段是为了形成硅烷，是一种递次的催化歧化反应步骤：

$$2SiHCl_3 \rightarrow SiCl_4 + SiH_2Cl_2 \tag{12}$$

形成的二氯二氢硅然后再经

$$2SiH_2Cl_2 \rightarrow SiCl_4 + SiH_4 \tag{13}$$

两个反应均在压力大约50psi(≈3.5bar)，温度60—80℃，使用叔胺离子交换树脂触媒，一次转化效率为10%—12%。各种组分按阶段分馏进行分离，而硅烷最后通过低温分馏将其提纯。如上面所指出的那样，由于一次转换效率的因素，所以整个过程的循环的流量大。图1-5为Union Carbide公司工艺的流程示意图，表明步骤间的反馈量大。

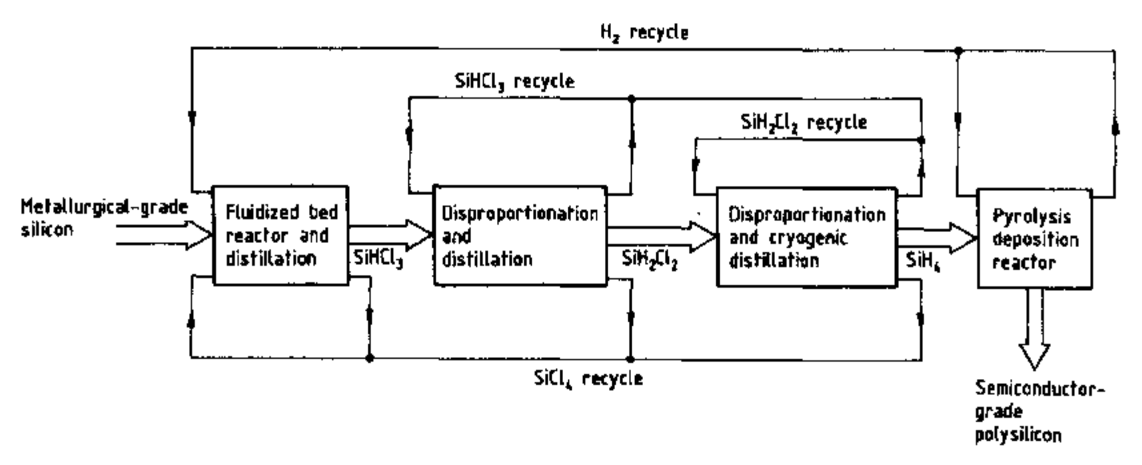


图1-5 Union Carbide超纯硅烷-硅流程图

应指出的是一次转化效率低，因此控制回流是关键因素，这方面比三氯氢硅法更为重要。为了使流程简单化，最后阶段的未利用的 SiH_4 的循环被略去，因为它还需要在前面的反馈环中设置各种冷凝器等

开发提纯方法以达到极高的纯度，需要同时提高原有的和开发新的分析技术，诸如深能级瞬态光谱和光致发光光谱，据报道其灵敏度通常可达万亿分之几(ppt)的水平(Taylor，1988)。

· p. 16 ·

如上所述，最后的热分解是在900℃下进行，产生的副产物为氢与未反应的 SiH_4(图

中未示出)，它们在流程中进行循环。

从现有的多晶硅质量看，来自最新的硅烷工艺的纯度比已建成的三氯氢硅法要高一些，特别是在硼的超低含量方面。虽然差别是完全清楚的，就是在整个的大的设备中也是如此，同时情况表明，此法的成本要比三氯氢硅法高一些。

1.3.3 多晶硅的市场

虽然本章所涉及的是技术，但它受市场的影响，因此需要进行一些评论。为了进行竞争，工厂就必需大。1984 年在 Moses Lake 建的厂的规模为 1200t/a，它可以进一步到 3000t/a。在美国的另一个硅烷法工厂是由 Ethyl 公司所建立的，1986 年的生产能力为 1000t/a，计划将扩充到 2000t/a，较老的德国瓦克(Wacker)公司的三氯氢硅工厂是在不断地进行改造，现已扩大到 3000t/a，能达到 5000t/a，同时日本的德山曹达(Tokuyama)具有类似的生产能力与扩建的余地。现在西方世界所建立的总能力难以准确地说清楚，大约为 12 000t/a，而东方集团(1987 年大约 2200t/a)现在已超过 3000t/a。

应当指出的是，这只是建立的生产能力，并未考虑停工、停产和成品率下降到设计水平以下等；从历史上看，实际的产出只占能力的 70%—80%，而且元器件产业的周期性和多变性质给竞争带来更多的问题，因为公司想保持或增大其市场份额；另外远东进入到硅材料领域，并在 80 年代获得明显的增长。因此不难理解，尽管能源价格上涨，通货膨胀，但市场竞争的压力使多晶硅的价格在这 10 年内几乎保持不变。图 1-6 示出多晶硅的价格/时间变化，以及将在下面讨论的与单晶价格的关联。新工厂投产的结果，使硅烷法多晶硅的份额比三氯氢硅法的明显地增加了。

图 1-6 1956—1990 年多晶硅与单晶硅的价格

· p. 17 ·

继续发展到 1990 年末，Moses Lake 的 Union Carbide 工厂卖给了日本的 Komatsu，后者对硅烷法工艺有长期的经验，其细节如前述，并对扩大远东市场有利。这个公司更名为 A. Si. M：先进的硅材料。根据器件市场的现状及趋势预测，分析家再一次地担心，可能到 2000 年前会出现硅的短缺。不管这会不会发生，有一点是肯定的，那就是要在这方面进行重大的投资，建立一个 1000t 的多晶硅厂需要相当长的时间。最终还要看由谁来建和建在哪里。

1.4 单 晶 硅

用超纯多晶材料生产单晶硅的活动基础远比多晶硅生产要广阔得多，后者的一些金

属提纯工作者使其生产过程不再向前延伸，不进入到操作的半导体部分。进行单晶硅生产的有大的产销者，其中有的只有部分资源，有的没有自己的多晶硅生产；还包括几个最大的器件生产厂家，他们有自己的单晶生产，但还部分地购入单晶锭或者抛光片。那些保留材料生产的器件厂家一般都是在历史上被卷进来的，他们还经常使用来自大的外销厂家的第二种来源，其数量大约200—300t/a。这样，近些年来晶体生长和晶片制备正在从器件公司脱离出来，成为具有专业化的材料科学与化工专业的产销者。

生产单晶硅有两种方法——悬浮区熔法（简称区熔法）和从石英坩埚进行提拉的Czochralski法（又称直拉法）。这两种方法制成的单晶具有不同的性质和很不相同的器件用途。目前悬浮区熔法占有很小的市场比例，先对它进行讨论。

1.4.1 悬浮区熔硅

悬浮区熔提纯是在20世纪50年代初，由几个研究组彼此独立提出的（Keck和Golay，1953；Theurer，1952，1956），而且很快就被应用到晶体生长的技术中。

在区熔法中，使圆柱形棒固定于垂直方向，用高频感应线圈在氩气氛中加热，使棒的底部和在其下部靠近的同轴固定的单晶籽晶棒间形成熔滴，这两个棒朝相反的方向旋转。然后将在多晶棒与籽晶间只靠表面张力形成的熔区沿棒长逐步向上移动，将其转换成单晶。

原料为2–3m长的圆柱形棒，其直径是在还原炉沉积过程中控制其生长的。原生多晶的表面呈粗糙的毫米级颗粒状的结构，要用金刚石滚磨机将其去除并达到严格的直径公差。然后将棒进行深腐蚀，使其呈光亮而光滑的表面，以求将机械加工所引入的损伤与杂质全部去除掉，同时达到区熔所需的直径。最后，多晶棒在区熔前要用非常纯的去离子水清洗。

• p.18 •

如上面所指出的那样，在多晶还原炉中，硅的沉积速率与多晶的直径成正比，因此，限制其过程以生长小直径材料会增大成本，降低还原炉的能力。因为只能是棒的笔直部分才能用于区熔，再加上机械加工与处理都考虑在内，这种原料要比在坩埚中熔化所需的经简单破碎的多晶块的价格要贵。

悬浮区熔有其固有的技术难度，其问题是如何控制好这个自由的熔区。直拉法的热对流受加热器形状和它相对熔体的位置、保温结构的影响，而且锅转与晶转均可随意选择，与其相比，在区熔炉中，为调整其性能可供选择的自由度要小得多。大量的工作集中在线圈的设计和使用辅助线圈以达到所需的温度梯度。

因此它在大直径的开发方面落后于直拉法若干年。曾经认为几乎不可能保持住大直径的熔区，因为它的容量大到难以单靠表面张力支撑而不致下落。一种新的途径，被称为"针眼法"(needle-eye)的工艺(Keller，1959)，如图1-7所示，一下子就把这个问题解决了。在上述的原料棒的机械加工过程中做了一些改进，在滚磨成平行的圆柱体以后，将其底部磨成锥形，使其截面与籽晶相匹配。高频线圈的直径做得比圆棒直径小，把这样建立起来的熔区向上移动，使其通过多晶圆棒，现在的线圈正好处于圆棒直径之内，所形成的较小的熔区容量可以顺利地沿其长度通过圆棒而不致跌落。为将此方法变成可靠的工业生产技术，进行了大量的努力，包括设计专门化的区熔炉。

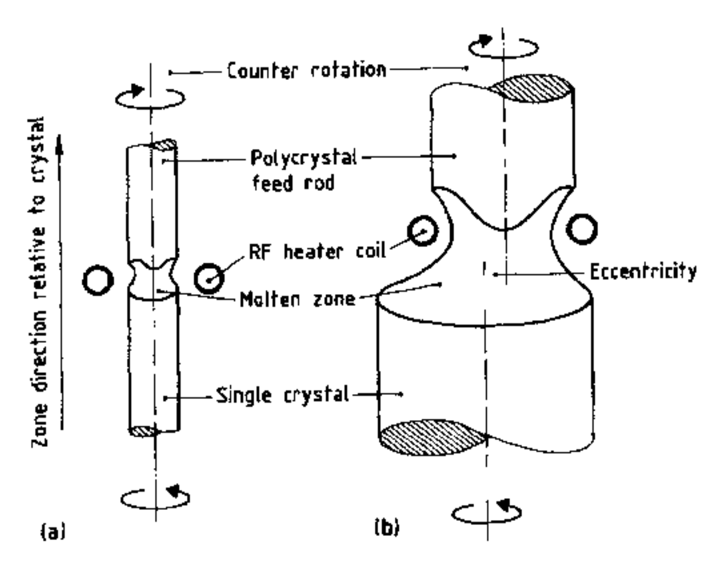


图 1-7　悬浮区熔生长示意图

(a)Keck 的小直径;(b)针眼法的大直径

用这种无坩埚的工艺已制成直径达 150mm 的无位错的标准晶体产品,其纯度与多晶硅棒接近。电阻率已达 5000Ωcm,少量的可以更高,在这方面远远地超过了直拉法。

区熔单晶掺杂到规格要求的电阻率的方法有三种。第一种是气相掺杂,它是在晶体生长过程中将稀释的磷化氢 PH_3 或乙硼烷 B_2H_6 通入到炉内氩气氛中,这样可以获得在较广范围内的 n 型或 p 型的各种规格。但是难以满足高电阻率的要求,而且电阻率的公差值宽。硼和磷的平衡分凝系数分别为 0.8 和 0.35,因此,掺硼较容易地达到轴向和径向均匀。

• p. 19 •

第二种掺杂方法仅适于多晶硅生产者。还原炉中作成"U"型结构的硅芯,一般是用快速提拉法从高纯熔体中制成的。在此熔体中添加磷或硼,就可作出各种规格的硅芯,并将其存放,然后可来沉积制作所计划用于区熔的硅棒,当熔区通过硅棒时,芯中的掺杂剂就被释放出来。用此法可获得非常精确的电阻率控制和批次间的重复性。第三种方法只适合于掺磷的 n 型材料,即中子嬗变掺杂,它对电力电子应用领域是非常重要的。

1.4.2　中子嬗变掺杂硅

在非常洁净的环境中悬浮区熔非掺杂材料可制成电阻率达 5000Ωcm 或更高的晶体,它具有含量非常低的残留的磷与硼。如果把这个单晶放入核反应堆中,由嬗变掺杂产生的磷分布得非常均匀,摆脱了悬浮区熔和直拉法所固有的生长条纹现象,这一点将在后面进行论述。这种方法特别适合制作电力电子器件所要求的高电阻率单晶,在这方面其它的掺杂方法无法在获得严格电阻率公差方面与之竞争。

正常的硅元素含有三种稳定的同位素,它们的含量为:

^{28}Si　92.21%

^{29}Si　4.70%

^{30}Si　3.09%

通过嬗变能将同位素^{30}Si转化为^{31}P是Lark-Horowitz(1951)首先提出的。后来Tanenbaum和Mills(1961)做了详细的试验，证实了这个过程具有潜在的应用价值，但这个工作只是此方法的一个方面，只有当Herrmann和Mucke(1973)发表了他们的电力电子器件的工作后，此方法才重露头角。从那时起进行了重要的开发工作，由此召开了一系列的国际会议并发表了大量有关的文章。

这个过程所依从的核反应为：

$$^{30}Si(n_t,\gamma)\longrightarrow{}^{31}Si \xrightarrow[t_{1/2}=2.62h]{} {}^{31}P+e^- \quad (14)$$

稳定同位素^{30}Si俘获一个热中子形成^{31}Si并放出γ射线。这个同位素的天然丰度为3.09%，它的一个热中子的俘获截面为$0.11\times10^{-20}cm^2$，或0.11barn。它当转换成^{31}Si是不稳定的，它的半衰期为2.62h，以形成磷的稳定同位素^{31}P并放出一个具有1.47MeV能量的电子。

• p.20 •

在中子照射中，还发生其它一些核反应，其中有些需要考虑的为：

$$^{28}Si(n_t,\gamma)\longrightarrow{}^{29}Si \quad (15)$$

$$^{29}Si(n_t,\gamma)\longrightarrow{}^{30}Si \quad (16)$$

这两个反应中的热中子俘获截面分别为0.08barn和0.28barn，这些对过程的实际影响仅为由发射γ射线而使锭条加热。但是发生的另外两个反应却是比较重要的：

$$^{10}B(n_t,\alpha)\longrightarrow{}^{7}Li \quad (17)$$

在此反应中，总的释放能量为2.5MeV，并伴有α和锂粒子，这会造成严重的短程晶格损伤。硼具有很大的热中子俘获截面(>755barn)，但是由于提供的单晶中硼的含量非常低，因此这个效应很小。在本过程中最严重的反应是：

$$^{31}P(n_t,\gamma)\longrightarrow{}^{32}P\xrightarrow[t_{1/2}=14.3d]{}{}^{32}S+e^- \quad (18)$$

因为这里的俘获截面只有0.2barn，所产生的硫的数量是微不足道的，但是^{32}P的半衰期很长，将给低电阻率NTD硅的使用带来一些限制。

这样，所有的反应都可归功于热中子，面中子已经过足够的堆内跳跃散射，它们的能量平均值在进入硅前已达热平衡。这种中子在室温下的平均能量仅为0.025eV，速度为2200m/s。但是在堆中的快中子的能量超过1MeV，也进入硅。这就在嬗变掺杂过程中造成过多的晶格损伤，而且会形成下列类型的反应：

$$^{28}Si(n_f,\alpha)\longrightarrow{}^{25}Mg \quad (19)$$

形成高能量的α粒子。即使不发生反应，硅原子与1MeV能量中子正面碰撞也会使200个原子离开它们的格点。所以反应堆中的慢快中子比是关键性的，由此，重水堆的慢快比大致为1000：1(这远比轻水堆或其它种堆的比值要高)，被证实这可成功地进行中子嬗变掺杂。

关于中子辐照的损伤问题被证明是很复杂的，已超出本章的范围。在辐照以后，形成严重的晶格阵列的破坏，获得很高的电阻率值，形成的磷在这时大部分处于间隙位置。因此辐照后的热退火是关键性的过程，对此研究得很深。经过反应堆中子辐照的预期电阻率可以在600℃下1h得到全部实现，但是缺陷的研究表明需要较高的温度，而且少了寿命

短是一个问题(Meese,1978)。制作者的后退火在NTD刚引入的阶段多使用中等温度,有时还依靠器件的高温制作来完成其退火,后来已转向采用高温和使用复杂的温度时间变化曲线。关于供货者退火曲线的真实细节属敏感的专利性质的信息。

1.4.3 区熔硅中的碳和氮

· p. 21 ·

在很长一段时间里,人们认为硅中残留碳的多少并不重要,因为它是等电子结构的4族元素,在晶格中占替位位置,而碳化硅是一个绝缘体。Akiyama等(1973)报道了高碳含量与击穿电压的降低及整流二极管漏电流的增加的关系,这是关于碳对器件影响的首次报道。由于这个工作所使用的硅中含碳很高,在$(1-2)\times10^{17}$atom/cm^{3}之间,很接近其固溶度,而且文章是作为简报出现的,所以它的重要性在那时基本上被忽略了。在当时碳含量并未列入大多数的购买规格中。

正如1.2节中所指出的那样,有机硅与半导体用途对三氯氢硅的要求是共同的,而且世界上的大多数的多晶硅厂与硅酮生产厂建在一起,或建在它的附近。这样,在1975年中期,偶然地一批未经检测的含碳量高的区熔硅用到了器件的生产线,结果给整流器、晶闸管、功率晶体管生产的成品率造成很大的问题。接着的研究表明,与之较低的碳含量虽对击穿电压已不构成影响,却仍使漏电性能变坏,如图1-8的曲线所示。当认识到这一严重问题时,多晶硅主要生产厂进行了大检修,从泵、阀门、密封垫等处排除含碳源;实行新的低碳操作标准;建立严格的检测手段。在单晶中,替位碳的红外吸收峰在16.6μm(605cm^{-1}),使用级差(双束)光谱法,按ASTM的F123标准检测。现在碳含量已列入所有硅烷、三氯氢硅和多晶硅制作者的常规控制范围,以保证硅的最终产品的碳含量低于2×10^{16}atom/cm^3。

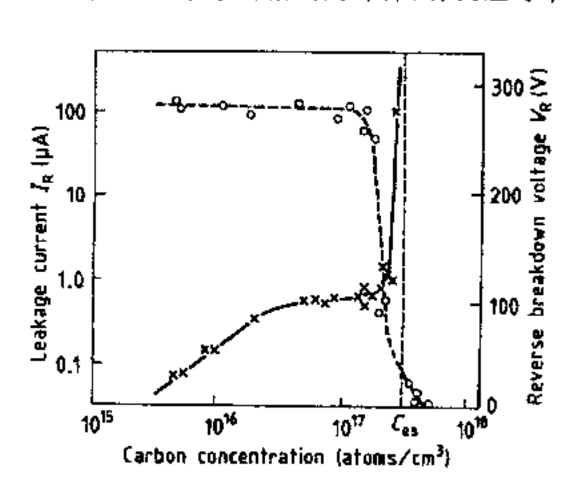


图1-8 整流二极管的失效与碳含量的函数关系(○表示击穿电压;×表示反向漏电流。注意,当击穿电压已经恢复,漏电流效应仍持续到很低的碳含量。垂直的虚线表示C_{es},即碳的饱和固溶度)

氮在硅中的作用却完全不同。它不像5族的其它元素诸如磷或砷,氮不呈施主杂质行为。它的在禁带深处的一个电子中心被Tokumaru等(1982)所报道,但在一般情况下,氮在熔体掺杂的硅中不呈电活性。另一个被确认的特性是它的低的固溶度:在硅的熔点下为3×10^{15}atom/cm^3(Yatsurugi等,1973)。这比其它轻元素低得多,例如碳,$N=3.5\times10^{17}$ cm^{-3},或氧,1.7×10^{18}atom/cm^3。在区熔硅中常常超过这个平衡固溶度,而与熔区移动的速度成正比,其代表值一般可达5×10^{15}atom/cm^3(Yatsurugi等,1973)。

· p. 22 ·

硅中氮的电活性低是有好处的,因为它的主要作用是在低的为固溶度所限制的浓度下能有效地抑制位错的产生与传播,此为Abe等(1981)首先报道。第二相的固化作用是一种已知的冶金现象,但一般都产生在高浓度下。硅中低浓度的氮,在10^{15}atom/cm^{3}范围,

可能产生对硅片热翘曲的阻力，这种翘曲是在器件制作中遇到的问题。在石英坩埚中制出的直拉硅晶片，有约 8×10^{17}atom/cm^{3}的氧含量，它具有抗翘曲性，除非其中一部分氧被沉积出来，这时这种材料的抗翘曲性能就变小了，在这里，氧含量要高出三个数量级。正常的区熔硅片，其氧含量小于 1×10^{16}atom/cm^3，碳含量也很低，在热应力下很容易发生畸变；但如果掺氮，它的性能可超过高氧的直拉材料。下面将展示出它与正常区熔单晶和直拉材料的比较。

标准的且抛光的〈100〉晶向的单晶片，直径 76mm，厚度 380μm，放置在有三个支点、间距为 63mm 的石英架上，荷重 50g，加热到 1150℃，保持 1h，从 850℃升温或降温时间为 30min。然后测量翘曲，并用 Secco 腐蚀以测定由控制的热应力所产生的晶体学的滑移量。图 1-9 示出 NFZ 掺杂的优越性。此材料成功地被应用于双极型和 MOS 型器件，但尚未能进入主市场。

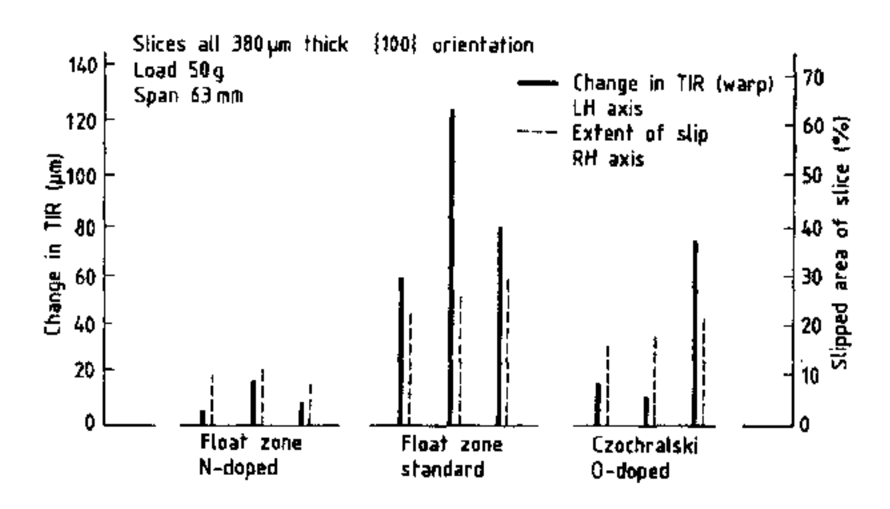


图 1-9 受负荷后硅片的翘曲与滑移对比

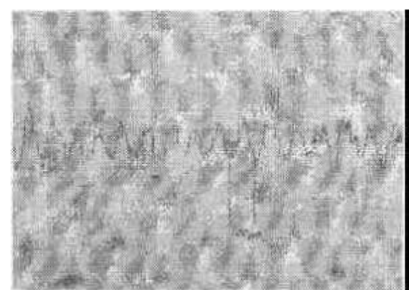
在 1150℃ 1h(LH：左手，RH：右手)[注意，硅片的翘曲很难像碟状，而是比较像炸土豆片状。现代的检测设备可以扫描整个表面而得到一个单一数值，这是总指数读出法(TIR)，并能提供整个表面的曲线图]

1.4.4 周期性的晶体生长

在晶体生长过程中的温度振荡已经被发现很长时间了，它的效应也被解释(Carruther，1967；Hurle 1967；Chedzey 和 Hurle，1966)。初看起来，这似乎是一个古怪的概念，但其基础原理却是简单并容易表达的(Hurle 等，1974)。一个小的管道中装有金属镓(这种金属通常在 30℃以上呈熔融状态)，沿其长度等距离地装设几个热电偶，整个管道用热绝缘材料包裹，以防止热损失。管道一端固定在水流冷却器上，使其温度保持在 35—40℃。另一端则与加热器相连接，加热器在逐步地升温。在开始阶段，沿管道的热流形成一个温度梯度，这可被热电偶记录下来。但是当温度梯度达到某一点时，热电偶的信号突然变成了正弦曲线的振荡。这个系统表现类似于由交流电驱动的振荡器，其频率取决于电感-电容的乘积。在这里，热扩散系数、动态粘度和管道尺寸取代了它们的电学对应物，形成热学-力学谐振器。

• p. 23 •

热振荡现象在晶体生长系统中可广泛地观测到，它不仅存在于半导体材料 Si，Ge，GaAs，InSb 等中，而且也存在于 $LiNbO_3$、石榴石和大多数氧化物、氟化物（Cockayne 和 Gates，1967）中。振荡叠加在晶体和它的熔体的固-液交界面附近的温度上，会形成生长条件有规则的大的波动。决定生长整体速度的驱动力来自于过冷，接近界面的熔体温度略低于其熔点。因为大多数晶体生长的速度都很低，在正常的情况下比热振荡值要低，这就使得生长变得高度动态性的，甚至在每个周期的生长峰值时会包括瞬间的回熔。晶体生长的这种周期性控制着掺杂剂和杂质向晶体的引入，它们的浓度可以变化得很明显，这种变化准确地重现了这种周期性。这种生长条纹的规律性可以用腐蚀和扩展电阻（微观电阻率）测量显示出来，图 1-10 示出晶体的垂直断面上的上述测量结果。因为晶体生长界面相对直径永远是弯曲的，切下的片子与一些条纹相交叉，经下一步的处理就能显示出片中的螺旋状杂质分布图形，图 1-11 示出了碳在区熔晶片中的 X 射线形貌图（注意：关于 X 射线形貌技术将在 1.6.1 节中介绍）



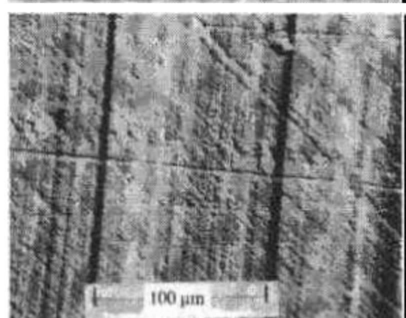


图 1-10　周期性的晶体生长（1）
上图为扩展电阻率测量曲线，测量是沿生长轴方向，测量的间距为 10μm；下图为腐蚀表面显微图像，示出单一的生长条纹的结构变化

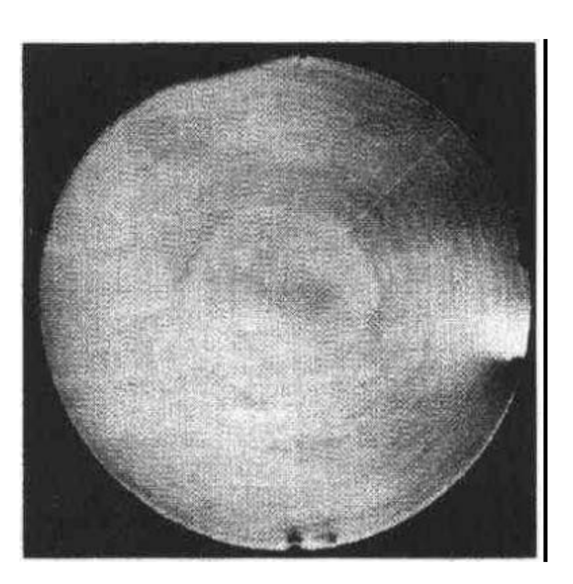


图 1-11　周期性的晶体生长（2）
在切片上的碳分布的 X 射线形貌图。
$C_s = 4\times10^{16}$atom/cm^3

· p. 24 ·

如果生长的周期性在一个循环中不含有回熔，那么它对杂质的分布的影响远不会那么严重。这可以通过悬浮区熔生长小直径单晶来说明，在这种情况下，在生长界面产生的固化潜热比大直径更容易释放出去，从面可以保证高的生长速率。当生长速率达到某一点时，其过冷梯度克服了热振荡，当生长速度超过 3mm/min 时条纹会消失。这个研究虽然很有意义，但不是生产的选择。

在直拉法生长的场合（这将在后面加以论述），熔体被安放在热对流低的热场中，其条纹的间距与生长参数的关系密切。图 1-10 是晶体的纵剖面，它取自 80mm 直径、〈100〉晶向、生长速率为 1.5mm/min、晶转 15rpm，这样每个变化层的厚度为 100μm，根据测量的

结果也是条纹的间距。另一方面，如果晶体在强的热对流中生长，也就是强制对流条件，此时条纹是紧密地排列的、不连续的、非周期性的(Carruthers 等，1977)。从这种单晶上切下的片子进行扩展电阻测量，会呈现数值十分分散。这样的材料应立即退货。

具有正常条纹的硅对器件制作的影响。在一些情况下似乎不构成问题，但在另一些情况下，条纹会造成严重的损失。由于区熔操作的困难性，区熔硅会有更多的问题。例如，制作应用于 500MHz 的 UHF 超高频晶体管，其截止频率是集电极-基极电流 I_{cb}的函数，此电流对小的局部的微观电阻率波动十分敏感。在一个直接对比的试验中，对三种材料测量了在操作电流 I_{cb}下，相对于截止频率 f_t 的平均值 $\bar{f}_t$ 的标准偏差的百分率(见表 1-3)。

所用的第三种材料是外延层，它的型号、电阻率与衬底相同，是用气相沉积形成的，因此没有熔体生长的条纹，实现了体材料的延伸，把晶体管做在其上面。如表中所示，不论是 CZ 还是 FZ，都无法与扩展体材料的外延(EBE)相比，FZ 在此种应用中是最坏的。EBE 材料大量应用于这种器件的生产，由成品率改善所获的效益远远超过用 EBE 增加的开支。

表 1-3 电阻率条纹对器件性能的影响(σ：标准偏差，$\bar{f}_t$：平均截止频率)

材料类型	$\sigma(\bar{f}_t)$%
FZ	24
CZ	10
EBE	3

• p. 25 •

因此，外延是克服体生长条纹的途径之一。另一个则是中子嬗变方法，已如上述，它在高电压和高功率的领域的重要性现在显得更加突出。当然，成本显然比通常掺杂方法的要高一些，但是器件的制作与性能却远超过这方面。Herzer(1977，1980)，Herrmann 和Herzer(1975)曾研究过在 NTD 掺杂中杂质条纹的相互作用。采用原始电阻率是最终电阻率的 10 倍时，未发现背景条纹，当是 5 倍时，可看到轻微的条纹，当原始电阻率为最终的两倍时，它的波动值为±10%。第三种克服条纹的途径是应用得最广泛，无需增大成本，应用于 MOS 集成电路的制作。以 n-MOS 为例，其衬底是 P 型的，用硼掺杂至电阻率 20—30Ω·cm。MOS 器件全部用离子注入来完成，形成 n^+的源极和漏极沟道和一个 n^-的栅极注入，相当于电阻率为 1—5Ω·cm。这种注入的浓度至少高于衬底中硼浓度的 10 倍以上，这样，条纹的作用就不明显了，这与 NTD 的情况相类似。

在今天，集成电路生产消耗了世界半导体硅的 75%以上，它是以直拉硅的形式，这就是我们下面要讲述的内容。

1.5 直 拉 硅

使用 Czochralski(1917)工艺的晶体尺寸不断增大，以及与无位错材料制备的相应的技术开发，不但使得掺杂剂，面使所有的杂质都能得到精密的控制，这一切是半导体加工工艺的杰出成就之一。最早使用的硅拉晶设备十分简单(Teal 和 Buehler，1952)，由被打碎的多晶硅块和准确数量的掺杂剂，诸如 P、As、或 Sb(n 型)，或硼(p 型)所构成的炉料装入到高纯石英坩埚中，石英坩埚嵌于石墨坩埚内以免其下垂，加热到刚超过其熔点 1412℃，使其熔化，保持在氩气氛下，曾使用高频或电阻加热两种方式。一个细的单晶籽晶棒固定在旋转的上轴上，将籽晶下降使其与熔体相接触，接着熔掉一小部分，以形成纯净的固液界面。然后随着温度的降低，硅开始在籽晶上固化，而籽晶则按控制的速度向上提拉出所

需电阻率的晶体，直到最后，坩埚几乎被拉空。这个显然而十分简略的说明是使人容易产生误解的，其实其中还有很多隐蔽的奥妙之处需要了解和掌握。很快就解决了为了使单晶能顺利地拉出而埚边不结晶问题，最主要的是要有对称的热场，然后再使坩埚旋转，这还可以排除熔体的随机的对流。

由于装料量的增大，高频加热法已被淘汰，而采用有斜度的加热器以形成良好的垂直热场。在确立了熔体-晶体界面区热场分布以后，它只有靠坩埚的上升以供给熔体的消耗才能加以保持。单晶炉的结构如图 1-12(a)所示，在大型单晶炉中仍然这样被使用着。

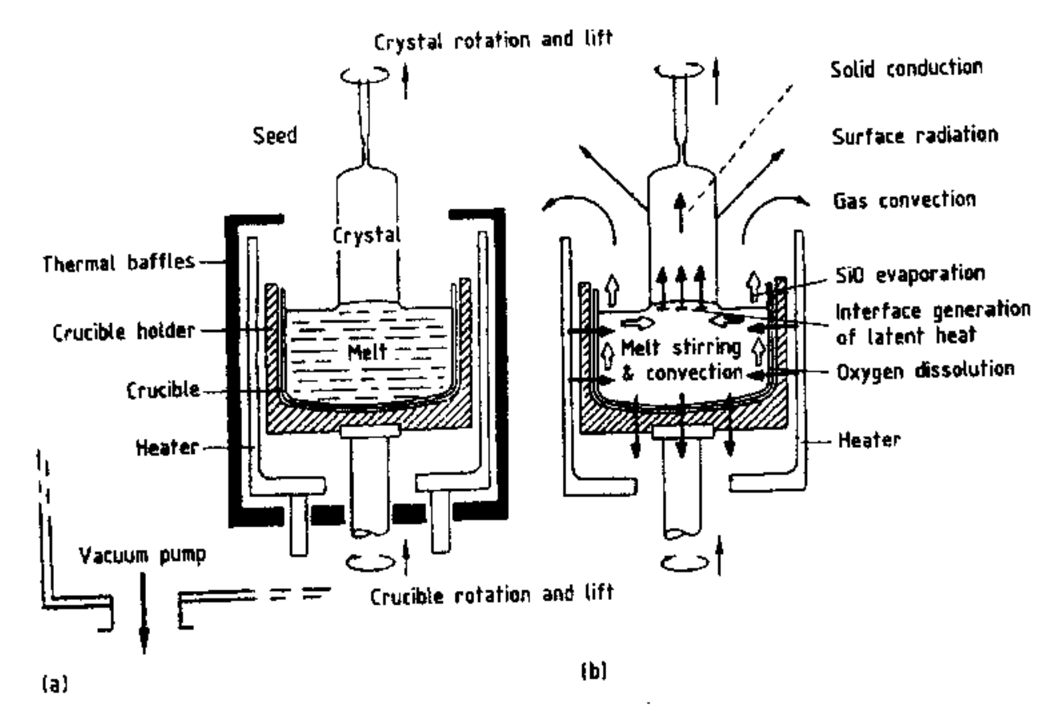


图 1-12 直拉单晶炉

(a)热场的主要部件；(b)在晶体生长过程中的热流(⬬)和氧的输运(⌂)

·p. 26·

1.5.1 无位错硅单晶

第一颗无位错材料(Dash，1958，1959，1960)是靠慢速生长小的有精确斜度的单晶获得的，但是 Zeigler(1961)在接籽晶后快速提拉以形成细颈，其中仅有的少量位错会长出它的侧表面，然后在此细颈上能长出大的无位错单晶。这所以可能，是因为一旦形成无位错单晶，它就会更好地抵抗在晶体生长中所产生的热应力。在引入无位错生长法之前，锗和硅的晶体均含有 10^5—10^6cm^{-2}的位错。由于系统中存在着温度梯度，这些位错会形成网络或小角晶界而使下部晶体劣化，并产生双晶，这些是使成品率降低的重要问题(Wilkes，1959)。能否拉制出无位错单晶取决于在弯月区固—液交界面的形状。由于所有的晶体都有其上述交界面的形状，都与这个问题有关，因此我们首先讨论它。

晶体的外形与两个基本参数有关，每一个都是一个总的方面，它由有关的因素构成：

(a)温度，T，它包括热流的各个方面——传导、对流等；热的产生——从加热器和在界面上释放的潜热。

• p. 27 •

(b)晶体惯性，C_H，它包括形貌学的各个方面——成核、晶体沿基面的生长、位错形成、孪晶化等。

明矾的由各小平面构成的单晶，是在接近等温的溶液中按晶体惯性控制生长的，而从原始的、无阻碍的、具有高的温度梯度的熔体中生长出几乎不成形的物质，是由温度控制的。正常的直拉法生长是由设计好的系统来制备晶体，它的宏观特征表明，存在着“温度”和“晶体惯性”之间的平衡。在这种拉晶炉中，〈111〉晶向的单晶，在很低的晶转条件下可以慢速或高速生长，此时，晶体的侧面并不呈现明显的“小平面”。在这种情况下，在晶体生长区附近的熔体表面具有高的温度梯度。另一方面，在快速晶转的条件下，固-液交界面的形状是受液流控制的，晶体生长是在接近等温的表面上生长出的，因此不管生长速度如何，晶体总是显示极为明显的小平面。在正常的生长条件下，采用适度的晶转，晶体在其接近顶部的位置上出现窄的小平面，其宽度愈往下愈宽，当拉至尾部时，空的坩埚起着“黑盒”的作用，因此是接近等温的腔。由于这个原因，使带有剩余熔体的坩埚提升的速度比需要保持熔体表面稳定的速度快一些，以便离开这个过于等温的区域，避免过分的小平面生长。

$T \rightleftharpoons C_H$ 平衡到处都要应用，其中包括在固-液生长界面上，这是我们下面要讨论的重点。

虽然单晶炉的整体温度分布是由主加热器和保温罩所确定的，但它实际上很少能影响生长晶体的界面形状，此时晶体的热传导保证了生长过程中的良好的散热。但是，被释放在界面的固化潜热(12.1kcal • mol^{-1}或 50J • mol^{-1})是一个重要的热源。随着拉速的增加，界面的曲率在变化，从突向熔体变成凹向熔体。硅结晶于金刚石型立方晶格结构，{111}面为排列密集面，其邻近的{111}面间的键合力比其它晶向要弱。沿着{111}面生长速度快，但垂直方向生长慢，造成在晶体上出现{111}小平面，因此解理、孪生及位错的产生与传播均发生在这主导的基础晶面上(Ellis 和 Treuting，1951；Townley，1973)。因为在 $T \rightleftharpoons C_H$ 的交互作用模型中，小平面只产生在近似等温区，它的位置与尺寸是可以预知的，因为在生长〈111〉晶向硅单晶过程中，随着界面的形状由凸变凹，如图 1-13 所示，并对应一系列真实晶体的界面，这界面是处于从熔体中增大拉速的条件下，从凸变成转换点，变成环形小面，最后变成凹面(Wilkes 和 Perkins，1971—1972)。位错形成在凸形界面的边缘的{111}小平面上，而且位错一旦形成，即随着晶体生长而向下延伸。如果〈111〉晶体有一个环形的小平面，或者生长〈100〉单晶具有凹形界面，这种情形就不会发生。

这些硅的零位错生长的条件是在接籽晶后形成细颈，在放肩前形成的。正如上面所指出的那样，当晶体在开始阶段已生长成无位错，它会更好地阻挡由热区拉出的单晶在冷却中所产生的紧缩应力。

• p. 28 •

为了避免拉晶收尾所产生的热冲击，即晶体从剩余的熔体中拉出时由应力形成的位错会反延伸，而影响晶体的实收率，因此将晶体的最后部分拉成锥体最后形成一个点。在 20 世纪 60 年代末期开始掌握的 CZ 和 FZ 的零位错生长技术成为后来拉晶设备发展的前提，这个发展已能拉制出大于 60kg 单晶，单晶的直径达 150mm 或更大，现产量可达每年数千吨无位错硅单晶。

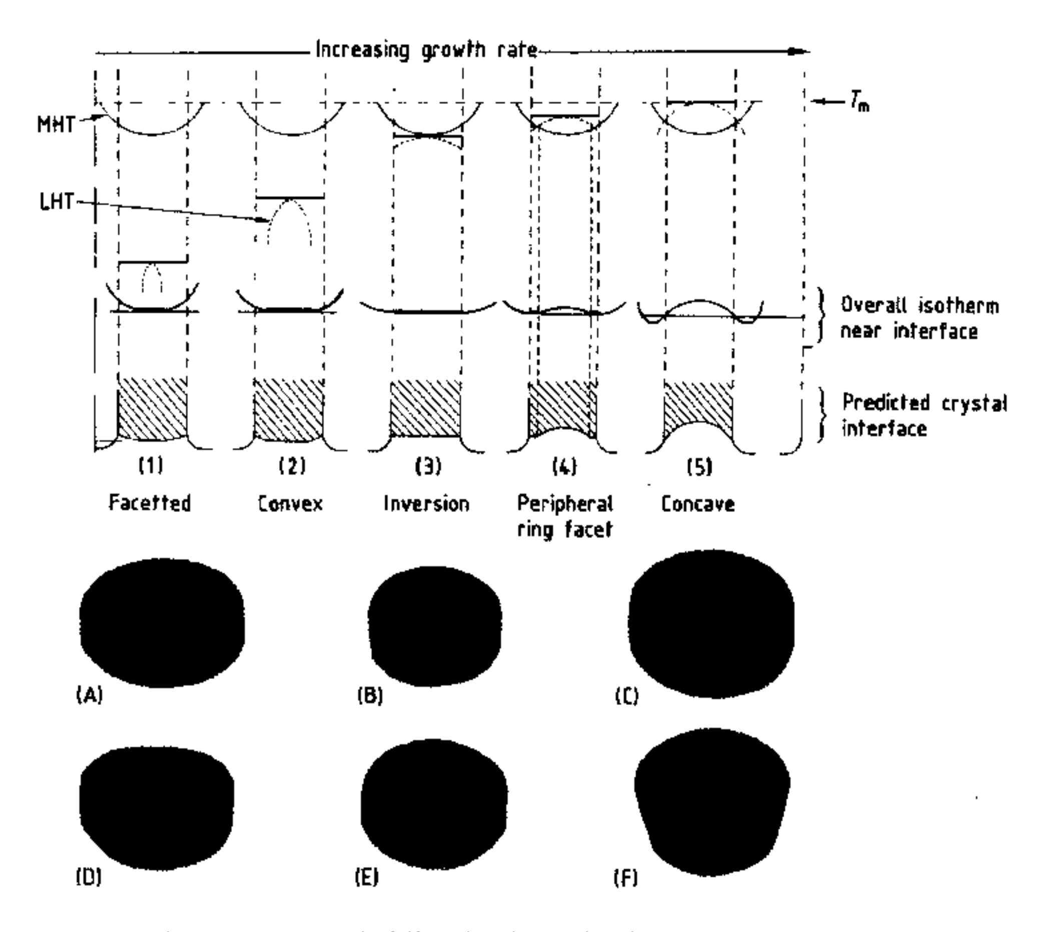


图 1-13 （111）晶向硅单晶随着生长速度增加引起的界面形状的变化

随着生长速度的增加，固化潜热在决定形状方面起着最主要的作用(LHT，潜热温度曲线；MHT，主加热器温度曲线；斜线画出的部分标出的是固化的晶体)。(1,A)低速，小的中心小面，凸形。(2,B)拉速稍快一些，较大的中心小面，仍为凸形。(3,C)更大的拉速，所形成的潜热完全可以补偿整个界面的热损耗，{111}表面成为镜面，为转换点。(4,D)拉速比转换点大，形成较宽的环形小面和小的相对较浅的中心凹面。(4,E)拉速更大，中心凹部更深，更宽，形成一个窄环。(5,F)拉速非常快，MHT/LHT 的平衡已达晶体周边之外。非常深的凹面，无环形小面

1.5.2 组分过冷

• p. 29 •

为了作外延衬底，需要大量重掺 n^+和 p^+的零位错晶体，这种晶体存在着曾为 Rutter 和 Chalmers(1953)研究金属时所阐述过的组分过冷这一特殊问题，在生长晶体的晶体-熔体、固-液交界面上发生杂质的分凝，其分凝系数因每个杂质不同而异，它可定义为：

$$k_{\text{eff}} = \frac{\text{固体中的浓度}}{\text{液体中的浓度}} = \frac{C_s}{C_e} \tag{1-2}$$

对向外排出的杂质而言，k_{eff}小于 1.0，其结果在界面液体一侧形成了边界层，其浓度高于生长晶体的液体内部的浓度。因此，在一定的拉速下，有效分凝系数 k_{eff}要比平衡分凝系数 k_0 大，并随拉速加快而变大。边界层中的液流是层流，相当慢，主要的传质机理是扩散，而其厚度 δ，取决于晶转的搅拌，随着晶转速度加快，边界层厚度则变薄。其关系为 Burton，

Prim 和 Schlichter(Burton 等,1953)的等式所表达：

$$k_{eff}=\frac{k_0}{k_0+(1-k_0)\exp(-v_g\delta/D)} \tag{1-3}$$

其中,v_g 为生长速度,D 为杂质在液体中的扩散系数,为 5×10^{-5}cm·s 量级。这个公式表明,k_{eff}可连续变化,从拉速非常低时的 k_0 到拉速非常大的 1.0。

· p. 30 ·

在边界层中的高的杂质浓度形成了低凝固点的硅-掺杂剂组分,如图 1-14 所示。在该生长速度下所需的从固体到熔体的温度梯度也在图 1-14 中示出。在为了获得所需界面形状以保证零位错生长所需的较高拉速的条件下,而且掺杂剂浓度也比较高时,在晶体的前端的液体中形成一个区,由于这个区的局部组分而出现过冷,在这里可能发生成核和随机的结晶。当界面发展到这一点时,单晶立刻就成多晶。最大的危险性发生在 n^+或 p^+单晶生长的较后阶段,这时,由于按(1-1)式的正常凝固的规律,进一步地提高了已经很高的原始杂质浓度。对在晶体中产生过冷现象的研究(Wilkes 和 Perkins,1971—1972)是用条纹腐蚀技术,以显示其细节。结果表明,最初的扰动和胞状结构在〈111〉晶向硅上是产生在环形小面的内边缘,如图 1-15 所示。要想达到这种材料的高成品率和重复性,需准确地控制拉晶参数。

图 1-14　在晶体生长过程中的组分过冷

$k_0=C_s/C_l$,$k_{eff}=C_s/C_L$,$\delta=1.6D^{1/3}\cdot v^{-1/3}\cdot\omega^{-1/2}$,$T_{CG}$晶体生长温度。随着 v_g 和 $\delta\to0$,$k_{eff}\to k_0$;随着 v_g 和 δ 变大,$k_{eff}\to1.0$

1.5.3　碳与氧的引入

单晶炉的加热区的大部分部件是由某种形式的碳构成的-石墨加热器、坩埚支持件和隔热层的碳毡,但只需小心操作就可以有效地排除这些污染源。保持单晶炉的气密性,使用超纯氩气为保护气体,在装料后执行严格的开炉程序以及排除氧和水分,因为它们可与石墨件发生化学反应以生成 CO,从而溶于熔体硅;而且正如上述,多晶硅本身具有很低的碳含量,但碳仍有可能出问题。

当多晶硅在纯石英坩埚进行熔化时的第一阶段,整个系统的温度最高,可达 1500—1550℃,以便能使之在短期内熔化,在这种条件下,石墨托与其支撑的石英坩埚的外表面发生化学反应而放出一氧化碳[见反应(1-1)]。这是碳杂质的主要来源。当完全熔融之后,温度降到 1420—1430℃以便开始拉晶,这时此反应在以低得多的速率进行着(Barraclough 和 Wilkes,1986)。

· p. 31 ·

当单晶炉在常压下工作时,这时氩气的流量为 60L/min,晶体中开始的碳含量为 2×10^{16}atom/cm³ 左右,但如果有意将开始拉晶后延,由于有更多的碳慢慢地溶入,碳含量会

图 1-15　在生长〈111〉晶向，掺 Sb n^+ 无位错硅单晶时，开始出现组分过冷是在环形小面的内边缘上。说明：在放大像中，箭头↑指的是沿径向外端。在晶体生长的较后阶段，在单晶变成多晶前，整个的界面断裂成六角的胞状结构

上升。当单晶炉在减压的条件下操作时，其压力大约 20torr（≈2600Pa），按正常的温度与压力的氩气流量为 10L/min，这时清洗炉室的有效换气次数增加至原来的 6 倍，因此拉出的硅单晶的碳含量大大低于前者，至少低一个数量级。如果精心调节有关条件，可使拉出的大部分晶体的碳含量低于红外检测极限 5×10^{15}atom/cm^3。在这种条件下，当熔融过程完了，在拉晶过程中，碳的继续引入是微不足道的。现在所有的大型直拉单晶炉都是在减压下操作的。

引入碳的危险基本上可在熔融阶段予以限制，而另一个化学反应却延续整个过程，这就是硅与坩埚的内表面发生的反应，将氧熔入熔体：

$$Si + SiO_2 \rightarrow 2SiO \qquad (20)$$

在此反应的同时，可以把石英中所有的电活性杂质引入熔体。显然，坩埚的质量是很重要的，由于半导体级原料合成的 SiO_2 进行熔融以取代天然硅石，其质量得到不断改善。因此，现已可正常拉出大于 200Ωcm 的补偿度低的非掺硅单晶。这就允许生产者能提供电阻率高到 50Ωcm 的 n 型及 p 型 CZ 单晶。

我们回到氧的溶解，如图 1-12(b)，它主要发生在较热的坩埚内壁，它的底部是次要的；尽管热对流输运 SiO 到熔体的自由表面时，它能挥发掉，但大量的氧还是被引入到生长的晶体中。在这里存在着高度的动态平衡，随着硅不断地从坩埚中拉出，而熔体体积与坩埚的接触面积的比例也在变化。氧的浓度沿晶体的长度而减小，一般由顶部的接近 10^{18} atom/cm^3，降到尾部的 5×10^{17}atom/cm^3，也就是从 20 降到 10ppma。

在直拉系统中，熔体的流体力学显然对晶体生长，对所有杂质向晶体中的引入起着十分重要的作用；起主要作用的是热对流和机械推动的晶转和锅转（一般两者的方向相反）。对流的驱动力受各种因素的影响。靠近热壁的熔体流速是温度梯度、热壁高度 h 和普朗特数 Pr 的函数(Schlichting,1968)：

$$v \propto f(\Delta T) \cdot \sqrt{h} \cdot Pr^{-1} \tag{1-4}$$

其中无量纲的普朗特数为动态粘度与热扩散系数之比，是流体运动与热输送难易的度量。

• p. 32 •

熔体硅的 Pr 值为 0.015，比汞的 0.023 为低（为了比较，室温水的 Pr 为 7，而甘油的 Pr 为 300）。因为熔体硅具有很低的 Pr 值，所以热流很容易沿壁对流至硅中形成良好的对流。（将低 Pr 值结合旋转形成的热振荡进行的稳定性分析，见上面 1.4.4 节所述。）

因此，扁平熔体的热对流比正常 CZ 硅中的热对流要小，而且随液体的减少而减小。（注意：用 CZ 法生长氧化物时，它的 Pr 为 30 左右，常使用细高的坩埚。）如果降低锅位、使熔体上部得到更强的功率传输，也可以降低对流的驱动力。再有，在加热器与坩埚间放入的挡板结构可以减少系统的温度梯度，对其进行调整使坩埚壁保持较低温度，这样可以降低其溶解速度(Moody,1986)。

机械转动的作用却彼此不同。晶转只是将晶体与熔体结合在晶体底部不大的面积上旋转，并将熔体提至离自由表面约 4mm 高度而形成半月胞。这样，晶转就直接影响掺杂剂的引入和沿晶体断面的均匀性，但对整个流体运动影响较小，犹如滑冰者与冰的关系。另一方面，锅转却带动整个熔体，特别对大单晶炉而言更是如此，会形成重要的离心力[1]，从而强化了热对流。

热流和旋转流体的理论在数学上是复杂的。一般说来就是使用计算机的逐步逼近法，也具有很大的近似性。虽然如此，由于它的重要性，还是进行了大量的工作，对 CZ 液流图形(Robertson,1966)不混胞子(Carruthers and Nassau,1968)，对坩埚中界面形状与流动的计算机分析(Kobayashi 和 Arizumi,1970；Kobayashi,1978；Kobayashi 和 Wilcox,1982)，数字流动模拟(Langlois 和 Shir,1977；Langlois,1984,1985)，在 CZ 系统中的传热(Dupret 等,1986)等，所有这些工作从整体上都认为自然对流在对流中占主要地位，而强制对流占次要地位。在一个良好设计的热场并有缓和的热对流，就可能靠锅转形成的离心力[1]在形成稳定的热流体力学的熔体方面起主要作用。

当锅转很慢所形成的熔体对流的简单模型为单一的 Benard cell（本纳德流动胞），液体沿壁上升，然后沿径向沿熔体表面向内移动到生长着的晶体。随着锅转的加快，离心力[1]与热对流的方向相反，使流体运动转慢，当到达一定高速度时，熔体的行为几乎像一个刚体。这种刚体式的旋转在水-染料示踪的 CZ 系统模拟中可以看到，并在控制晶体氧含量中得到实际应用。因为流体热对流所输运的不仅是掺杂剂，还有热量使之到达晶体的附近，而且增大坩埚转速会减少热流，因此必须增加坩埚壁的温度进行补偿，以保持等径生长。用光学高温计测量的结果表明，在高转速下，锅壁温度提高了 30—40℃，结果造成石英的溶解速度明显地增大，给晶体提供了高氧流。图 1-16 示出了在高锅转下一系列单晶的结果，从这里还可以看出，随着晶体生长加速锅转能使硅获得特定的氧含量极限

1）原文为向心力。——译者注

(Barraclough,1982;Murgai 等,1982)。

· p. 33 ·

这个工艺方法用于制作中氧到高氧的硅单晶的效果很好,但难以在低氧单晶方面获得高的成品率。这个问题是下一节讨论的对象。

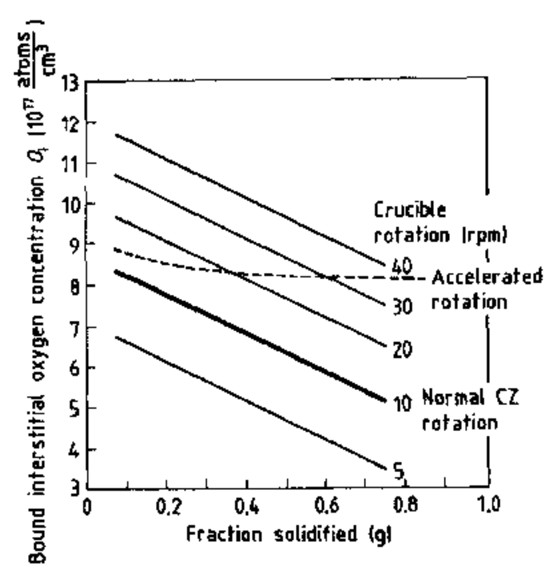


图 1-16 坩埚旋转速度对直拉硅中氧的引入的影响

1.5.4 磁控直拉硅

多年以来对熔融金属的电磁搅拌等方面的作用进行了报道,而且在区熔设备中,加热线圈的强的高频场中的磁悬浮力对熔融硅起到了部分支撑作用。一些大的直拉炉曾使用三腿的石墨开槽加热器,用 50—60Hz 三相交流电驱动,可以产生 20rpm 的流体运动。最近的单晶炉设计又回到两腿开槽加热器使用直流电,以避免产生这种效应。现在相当重要的是采用静态磁场以抑制直拉系统中的热对流。

Chedzey 和 Hurle(1966)的早期工作是为了抑制 FZ 单晶中的生长条纹,后来又为抑制 CZ 单晶(Hurle,1967)的生长条纹。在水平磁场中进行直拉法生长曾为 Witt 等报道(1970),但近期的复兴是由 Hoshi 等(1980)开始,他们在商业化的单晶炉上加上大型电磁铁,这引起了世界范围内兴趣和重大的发展。

索尼(Sony)公司的结果表明,在强磁场下的直拉生长的产品的氧含量可控制在很宽的范围内。此种技术可控制电阻率达 5000Ω · cm,而且拉速比正常拉速高。电磁体或超导低温磁体两者都可用来提供 1000—5000G(0.1—0.5T)的磁场。Hoshi 等(1980)和 Suzuki 等(1981)首先使用水平磁场,其磁力线与熔体表面相平行;后来也使用轴向磁场(Hoshikawa,1982,Hoshikawa 等,1984;Cartwright 等,1985)。

随着磁场强度的增强,流体垂直于磁力线的运动被抑制得更强烈,直至完全被抑制,在高场强下,使整体被抑制。这样在垂直轴向磁场下,沿液面的径向流被减少;而在水平磁场下,垂直运动(沿坩埚壁上升,在晶体底部下落)和沿坩埚的旋转运动被减少了,但不减少径向流动。

· p. 34 ·

显然,在这两种模式中,对热对流有强烈的影响,Hoshi 和 Suzuki 的试验证明,当水平场强为 0.15T 时就足以抑制住装在直径 25cm 坩埚中的熔体对流。而且,磁场强度与锅转、晶转之间的平衡,涉及后两者的速率和相互关系,对杂质的分配有明显的影响。在垂直磁场下,能获得的氧浓度的范围很宽,但由于径向流被降低,很难得到与不加磁场时的那种径向均匀性;而采用水平磁场时,可以获得良好的杂质的径向分布均匀性。

这两种磁场模式在温度分布及温度梯度方面有原则性的巨大差别,这些在相当程度上决定着两者的产品质量。在使用垂直磁场的条件下,增大了的温度梯度,这大于不施加磁场的条件,而使用同一个单晶炉在水平磁场下,温度梯度被减小了,可以比不加磁场小

得多。正如我们前面所指出的那样，氧的溶解速率取决于锅壁温度，现在的试验建议，水平磁场适合于制取可控的低氧硅单晶。两种模式都可以大幅度地降低生长条纹，这种条纹是由于靠近生长界面的熔体的温度波动造成的，条纹在零磁场拉晶下普遍存在，另外在0.15—0.3T 的水平磁场下，由于晶体底部的温度梯度小，可能比不加磁场的拉速提高50%也不会改变保持无位错生长要求的正确界面的形状。根据上述的趋势，为了满足器件生产者的要求，看来应走向水平模式的材料，但最新的研究开发了一种由垂直与水平复合形状的磁场，使设计的各个低场强的分量进入熔体的不同部分，这是靠两个垂直磁场叠加而形成的(Barraclough 和 Series，1988)。直拉单晶炉的批量生产厂家可以提供上述两种磁场之一的具有 60—150kg 容量的单晶炉(例如 Hamco 公司或 Ferrofluidics)。

综上所述，直拉硅工艺实际上是很复杂的。在下述的设计方面存在有众多的相互关联的、可调节的参数：在炉子核心的热场设计方面，它的加热器、保温系统、熔体的比例等方面；在机械传动到位，即坩埚和晶体的升降和旋转方面；以及现在的磁场条件方面，它的模式的选择、它的场强与位置。但是，正是这种在设计与晶体生长方面的灵活性，是区熔法所不及的，它使得直拉法在满足用户的要求方面具有很大的能量。

1.5.5 直拉硅的商业化生产

市场竞争的压力不断，需求的片直径继续增大，大约每 7 年翻一番(见图 1-2)，与此同时，对质量规格的要求愈来愈严格，这一切不仅是推动了如上所述的工艺方面的工作，而且加速了规模增大的进程。从坩埚中拉制出晶体，不可避免地要使晶体的头部、尾部和坩埚中的残料损失掉。下一步的必然损耗来自滚磨，在锭条按参数要求(例如电阻率、氧含量等)切割前，先滚磨成准确尺寸的圆柱体。随着直径的增大，必需要增大装料量以保持其投入-产出比。图1-17的曲线清楚地示出，为什么生产直径150mm 的硅片需要 30—60kg 的装料量，而生产200mm 硅片需要的装料量则更大。现代化的单晶炉除了具有上述的特征外，还具有>60kg 的装料量，全部自动化、计算机控制拉晶，具有 2m 或更长的籽晶杆行程，设计用于 150—200mm 直径晶片生产的单晶炉，其价格达 100 万美元一台，随着新型磁场的引用和更大型设备的建立，其价格会进一步提高。

· p. 35 ·

虽然自动化可以带来产品的高度的重复性，而且用这类炉子连续生产可以达到很高的产量，但是一组这样炉子的操作需要专业化知识，才能获得经济效益，这也可以很好地解释，为什么器件生产厂家大部分放弃了材料的生产。上述的发展是在过去通货膨胀、竞争激烈的 10 年里生产成本下降的关键；如图 1-6 所示，其中的单晶硅曲线是代表了符

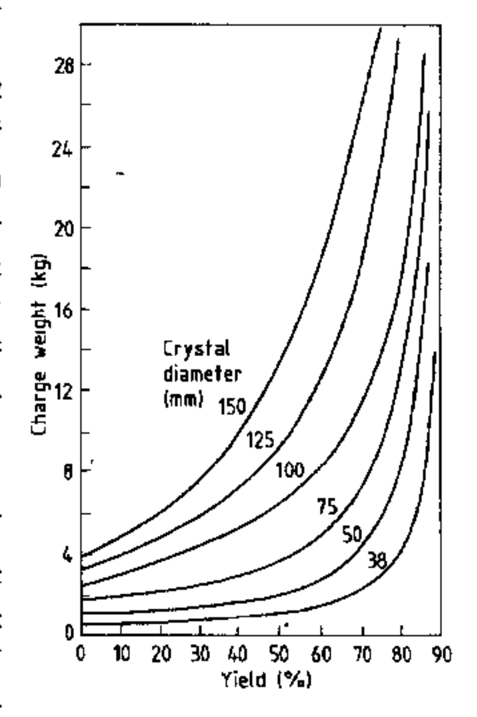


图 1-17 直拉硅的生长晶体的直径对装料量和最大可能成品率的影响

合标准基线规格的材料。为了把全部操作排出序列，表1-4给出了硅材料生产从冶金级硅开始，一直到外延片为止的各关键工序的附加值，将多晶硅当作参照基准，其值为“100”。

表1-4 硅材料附加值的比较

材料阶段	产品价/kg
冶金级Si	20
超纯多晶硅	100(参照基准)
单晶硅棒	500—900
Si抛光片	2000—4000
硅片外延[a]	5500—14000

a 外延是本卷第3章的题目。

在今天，ULSI的芯片尺寸正在不断增大，如在绪论中所述，它促使硅片直径增大到200mm；250mm[1)]的材料已经在做，并积极地研究300mm的硅片，随着熔体体积的增大，其液流的运动就更难控制。如图1-12(b)所示，热是从坩埚的垂直壁输进，而散热是轴向的，向下通过锅底，向上通过晶体，还有熔体表面的辐射热。即使在熔体量为30—40kg时，其流体运动也是很复杂的。虽然传热机制仍是使熔硅沿坩埚周边壁上升，然后在中心区下降，但其形状已不再是简单的Benard cell(本纳德胞)。由于半径中间区的涡流旋涡叠加于整个液流花样之上，使之变得复杂得多。用从熔体拉断的方法获得的晶体生长界面显示了更大的热学复杂性，它形成了在生长过程中的大多数问题，从引晶开始到直径达到足够尺寸时，晶转能够沿轴向稳住液流的几何形状。随着装料量朝着100—150kg方向发展，这些问题变得更为严重了。为了获得掺杂剂与氧的径向与轴向分布的公差范围小的材料的高成品率，需要对所有的动作(移动与转动)、熔体在热场中的位置、氩气流量与压力进行全计算机程序控制。在拉晶过程中，所有这些参数都能连续地变化。

· p. 36 ·

许多年来，人们一直认为使用外延材料能给MOS的生产带来好处，特别是在改善寄生电容、漏电、阈值电压控制等方面，但外延片的成本高构成了障碍。现在，大规模的DRAM和SRAM以及一些其它的集成电路使用pp^+和nn^+外延硅的比例在增高。然而由于在制作过程中吸除作用被重视，这意味着对外延用的重掺杂硅片还必须有精确的氧含量要求。使大直径单晶要兼有高浓度的重掺杂和氧含量的控制，已成为今后工艺发展的课题。

1.6 制 片

简单地说，投入到器件生产线的抛光片应当是平整、洁净和无损伤的。但是在过去，一些公司常常在获得良好质量的体单晶后，却做不出合用的晶片产品来。在制片的各个工序中隐藏着许多造成损失的环节。在切片和研磨过程中，给材料表面造成大量的损伤，以及形状是否正确，这两者都应当得到控制。在下一步的腐蚀与抛光工序中，必须除去损伤层，并制成能用于作器件的最终表面。但是背面的低度机械损伤有一种有益的性质，可以作为吸收源，将有害的快扩散的电活性的重金属污染物从正表面或器件的表面吸收过来。这被称之为“外吸除”。另外，在片子的内部的氧沉积也可以提供内部的吸收源，起到类似的作用，把污染物从表面吸收过来，称之为“内吸除”。这些问题是如何实施与操作的，是本节的内容。

1.6.1 硅中的机械损伤

由于金刚石滚磨、切割、研磨所造成的亚表面损伤可以用各种方法检测出来。最早的

1) 250mm的规格未被采用。——译者注

方法是基于这样一个事实，被损伤的硅的腐蚀速率比未损伤的要快。这样，作出不同深度的腐蚀速率的曲线，就可以判断出某种工艺造成的损伤层深度。少数载流子表面复合速度在损伤区很快，当损伤区被腐蚀掉以后，速率就马上变慢，这也是一种检测损伤深度方法(Buck 和 McKim，1956)。用铜缀饰位错与损伤中心，然后用红外透射显微镜，可直接观测到硅中的缺陷(Thomas，1963)，但缀饰需要在 900℃下进行，然后进行淬火，其效果会引起疑问。X 射线双晶衍射法是明确地测量出晶体中应变与缺陷的方法。它是被 Bond 和 Andrus(1952)首先用在硅方面，此方法已成为研究加工的主要手段。

· p. 37 ·

X 射线系统如图 1-18(a)所示，在这里，双晶图形是在单色辐射到达样品后获得的。其检测器的信号 $I(\theta)$是靠转动样品使之偏离布拉格反射的一个小角度获得，并形成图 1-18(b)的摇摆曲线。所用的参考晶体应具有足够高的质量(Tanner，1977)，可通过摇摆曲线的角宽度测量被检样品存在的缺陷与应变。摇摆曲线的半峰宽，可根据初始的原理用结构因子和角光束漫布计算出来(Deslattes 和 Paretzkin，1968；Batterman 和 Hildebrandt，1968)，其中所用的本征半峰宽值 W_c 对硅而言为：

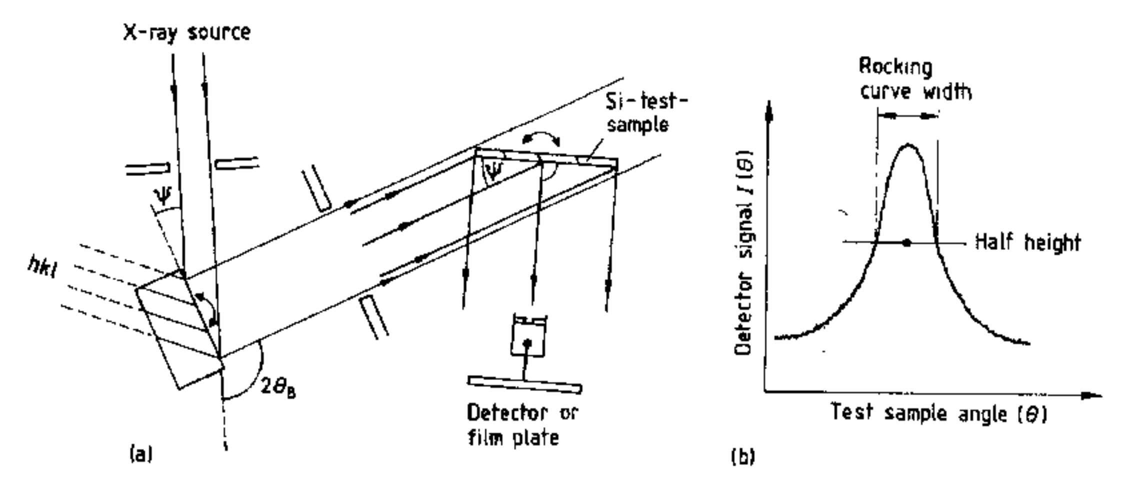


图 1-18　晶体中应变与缺陷的测量

(a)双晶测角仪；(b)测量的摇摆曲线

(a)由{111}硅的{115}反射：$W_c=6.3''$，

(b)由{100}硅的{422}反射：$W_c=15.4''$。

如果发现其半峰宽大于其本征值就意味着晶格中出现了应变，用下式可以定量地将其算出：

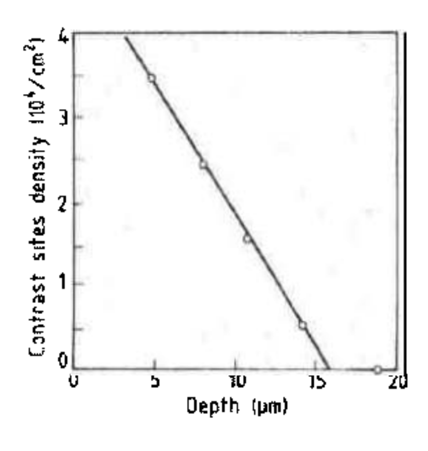
$$\frac{\Delta a_0}{a_0}=-\Delta\omega\cot\theta_B \tag{1-5}$$

其中 $\Delta W=(W_m-W_c)$，即为测量的半峰宽与本征半峰宽之差。

除了测量摇摆曲线外，X 射线还可进行形貌测量。当样品旋转至信号等于半峰宽值位置，并用照相底片取代探测器，所获图像的反差是由信号的强弱造成的，而信号的强弱则是由样品表面上的缺陷周围的局部应变造成的，碳的原子比硅小，它在晶体中的替位会造成局部应变，这可以从整片的形貌图中看出它的径向分布(图 1-11)。

· p. 38 ·

当 X 射线应用于摇摆曲线和形貌图两者的情况下，它的穿透深度是受到限制的，并不超过 30μm，因此，这些方法常常与腐蚀相结合，使之去除掉预定的深度，这样可以获得损伤状况的全貌。图 1-19 示出了切片分段腐蚀的 X 射线形貌图及与此相关的分段腐蚀深



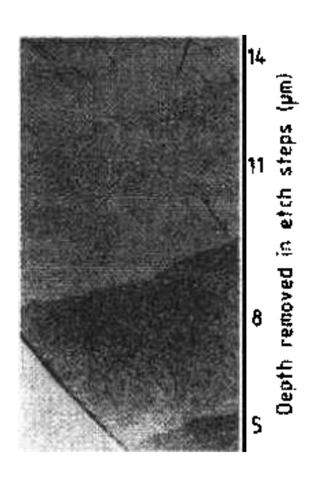


图 1-19　切割片的分段腐蚀 X 射线形貌图。反射：{220}$MoK_{\alpha 2}$发射

度与蚀坑密度关系的曲线。此例中，大多数的切割损伤是在离表面 20μm 范围内。这个结论也为图 1-20 的摇摆曲线结果所证实。在 20μm 以外还存在一些密度低的点状损伤，在形貌图中不容易看到，但被此种测量所固有的集成信号检测出来。当对切割片的两个表面都进行测量时，常常发现两者的损伤程度不相同，这表明片子是弯曲的。重要的是要区别弯曲是暂时性的还是永久性的。

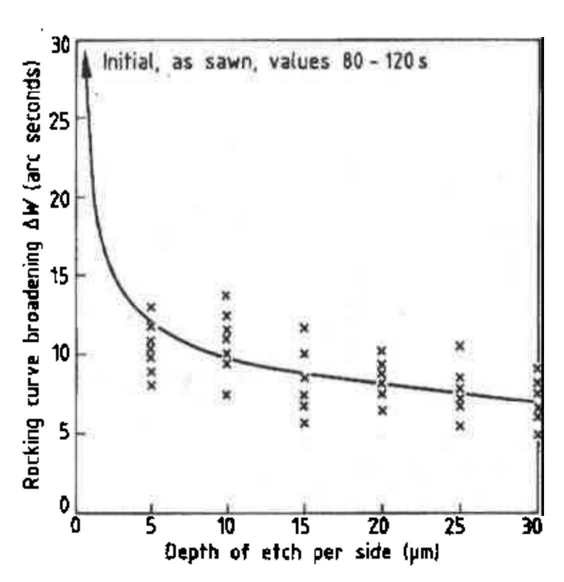


图 1-20　用 X 射线摇摆曲线结合分段腐蚀所测出的切割片表面的损伤层厚度（$\Delta W = W_m - W_c$）

切割片表面的损伤可以用沿键合力弱的{111}而碎裂形成的擦伤所描绘，其应力来自剥落的碎片楔入所形成的微裂纹。对擦伤在 1100℃下退火半小时，然后用干涉相衬显微镜观察，如图 1-21(a)所示，显示出{111}的滑移线，图 1-21(b)显示出塑性流引起的应力释放，从而在擦伤两边的滑移面上形成的长的位错环网络。这样，由于片的两边的损伤程度不同，就会形成弯曲，而损伤程度小的一面成为凹面，令 B 为凹入的深度，d 为直径，如果弯曲具有一个均匀的曲率半径 $r=d^2/(8B)$，那么应变与弯曲的关系式(Tamura 和 Sunami，1972)为：

$$\varepsilon = \frac{16t_m B}{3d^2} \tag{1-6}$$

• p. 39 •

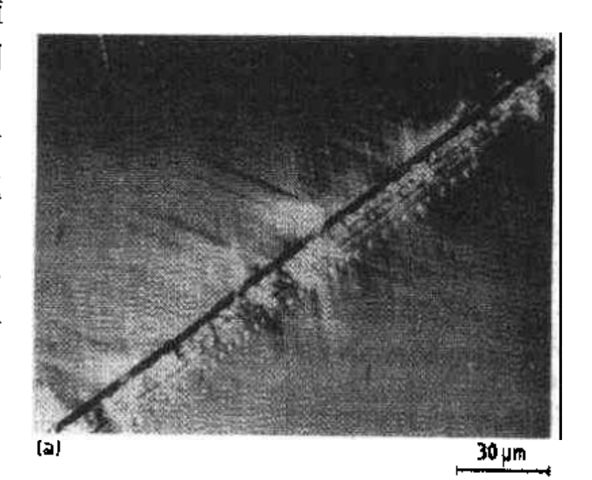
当温度大约在 500℃的弹性形变温度之下，硅中应力＞10^9N • m^{-2}时，$\varepsilon > 5\times10^3$ 会发生脆

性断裂。在较高的温度下，弹性的弯曲，随着施加的应力，会让位于塑性形变，如图1-22的曲线所示。

由于硅和锗都是硬的脆性元素，具有金刚石型结构，从半导体工业一开始到现在都使用金刚石刀片来切锭条。开始时，切割刀片为钢制圆盘，在圆盘的边缘上开槽，压入金刚石细粒。这种刀片在1500—2000r/min下用水冷却，可以顺利地切割锗和硅。但是要想准确地切成薄片，这种刀片就必须做得比晶片还厚，这样就把很多有用的晶体材料变成废料。结果是这种外圆刀片很快就被内圆刀片所取代。将高强度轧制钢板冲成大圆盘，带有中心空洞，沿中心空洞边缘用电镀的方法将粒径严格控制的金刚石封入。将这种刀片夹在一个安装框架上，此框架靠强拉力将外环拉紧，使中心切割孔接近其弹性极限，这样就形成一个薄的、具有很大刚性的刀片，用它可以进行精确的切割，并使材料的刀口损耗降低到最小。进行了大量开发内圆切片机和刀片的工作以满足单晶直径增大的要求。

· p. 40 ·

当被外环拉紧的内圆刀片高速旋转切入硅中以切割成片时，此拉力稍有松



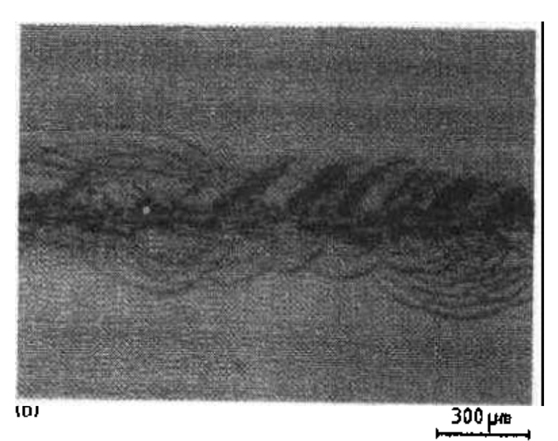


图1-21 硅的表面损伤

抛光片沿{111}面的划伤的退火(1100℃，30min)。(a)干涉相衬显微镜显示出沿{111}的滑移释放。(b) X射线形貌图示出塑性流形成长位错环网络在擦伤的{111}面的两边所造成的应力释放

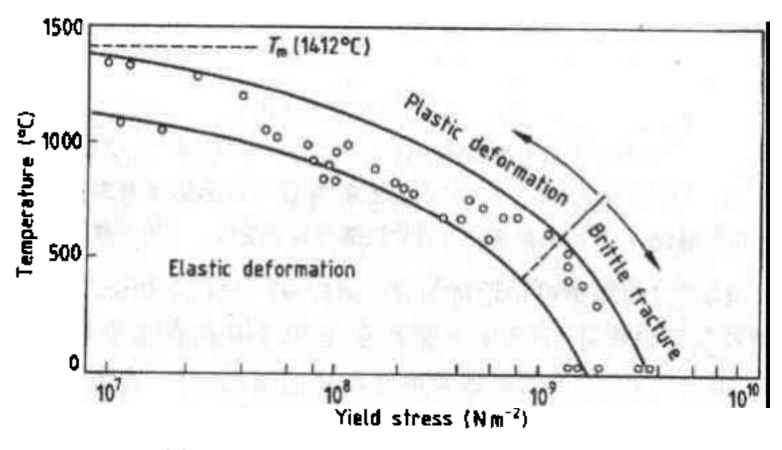


图1-22 由机械应力所形成的形变和脆裂

注意：对硅，$Y/(1-P)=1.8\times10^{11}(\mathrm{Nm^{-2}})$，这样，应力/应变之比为$2\times10^{11}$（$Y$：杨氏模量，$P$：泊松比）。因此，例如应力为$10^8\mathrm{N\cdot m^{-2}}$时，相应的应变为$5\times10^{-4}$

弛，而刀片会发生轻微的抖动(颤动)，处于切缝的一边的锭条是刚性的，但处于另一边的局部被切的硅片能稍有松弛。随着刀片边缘的抖动，刀片上的金刚石对锭条和硅片的作用造成了两边不同的损伤，当重新切另一片时，刚暴露出的锭条表面就成为新的一片的一个边。这种晶片可以被切成厚度完全均匀，但是是弯曲的，直到抛光前经腐蚀以去掉其损伤层，这时它们松弛下来，只形成很小的弯曲度。另一方面，如刀片安装或操作得不正确，这样在切割时，刀片变斜，下一步无论如何腐蚀也校正不了所产生的永久性的弯曲。

在刀片切割边缘所产生的力可用装在锭条上的测力计跟踪，测力计联有 x-y-z-t 记录仪。当刀片通过整个直径时，可同时测量出 F_x，F_y，F_z，这些数值与操作条件有关。图1-23示出在变换切割速度的条件下所获得的典型结果。其中，F_x 为进刀时锭条与刀片间的直接负荷力，F_y 为沿刀片外圆的切线方向的牵引力，F_z 是垂直于刀片的振动力，它虽然很小，但很重要。当进刀速度很小时，刀片与硅只是轻度的接触，不发生振动；然后将进刀速度提高到接近最佳值，刀片被固定得更牢，振动也随之减小……，在切割片上会出现弯曲。最后，当进刀速度过高时，锭条与刀片之间的压力造成刀片张力的松弛，F_z 再一次增大，弯曲度变得更严重。如果进一步地增大进刀速度，超过其应力极限，刀片就会断裂。

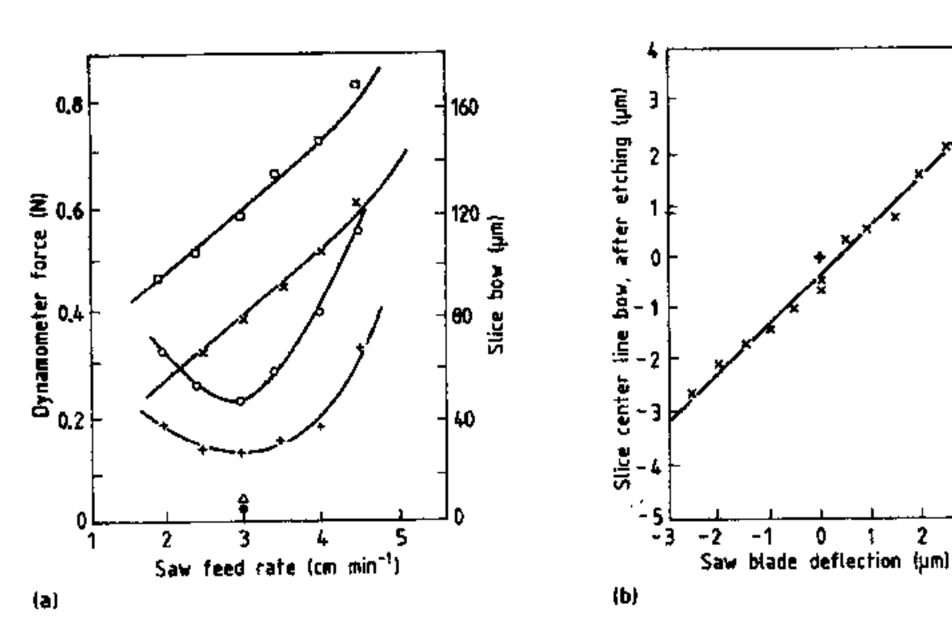


图 1-23　切硅片时的损伤

(a)力的测量结果，用蒸馏水作切割液，其中：□——F_x，×——F_y，+——F_z，○——弯曲度。用含1%聚乙烯乙二醇代替水的，可由 F_z(Δ)表现出来，它仅为0.04N，而弯曲度(·)小于10μm。
(b)切后必须进行腐蚀，以显示出真实的与刀片挠曲有关的变形。+为弯曲

对切割液(滑润剂)的作用也要进行研究。例如，在大约2000rpm这样高的转速下，离心力[1]会将切割液从刀口甩开，只留下一层薄膜，其能减缓 F_z 的厚度是非常薄的。具有长链的聚乙烯乙二醇分子，一方面可以改善高速液体的流线，另一方面可增加其粘度，从而可保持一个较厚的膜。将其用于硅切割可在另一种最佳进刀条件下，使 F_z 减半，而弯曲度减少得更多。现在已经公认，切割的质量，虽然作器件的用户难以见到，但在以下的抛光各

1) 原文为向心力。——译者注

工序中会对其性能、成品率、返工起关键作用，对整个生产成本有重要影响。销售的内圆切割的切片规格在平坦度、弯曲度和平均厚度分布等方面都有严格的要求。

• p. 41 •

从片到器件的工艺过程中，有三个阶段使用研磨。在接近制作的后期，在器件组装前，进行晶片的背面研磨，以便大幅度地减薄。在此工艺中，晶片在旋转的有负载的杯形滚磨器下进行横向运动，其负载条件与切割时相类似，其中，材料沿着与晶片表面相平行的方向被除掉，而与表面相垂直的、造成损伤的力保持很低。事实上，产出的表面将不再经受高温过程，而是呈半玻璃化的状态。再回到制片过程，切片后，要进行倒角，以避免产生崩边，后者在自动操作中，在超净线上有产生颗粒的麻烦。为此，使用一个有负荷的旋转的金刚石轮，具有所需的边缘形状，对此，硅片本身亦慢速旋转。在此之前的研磨是将生长出来的晶体滚磨成圆柱形棒，以便下一步切割。这两种研磨都给边缘造成损伤，这可用腐蚀将其除去。

在以后的器件制作过程中，晶片将经受几次高温过程，如果其边缘有剩余损伤，在加热与冷却过程中会形成滑移，从而造成损失。这可由图 1-24 示出，在这里标出的是在试验-1 中晶片上晶体管失效部位与晶片背面经腐蚀所显示出来的滑移线相符合，它是由研磨后腐蚀得不充分造成的。在锭条滚磨、切割和倒角之后，在进行抛光前，一般要从表面腐蚀掉 40μm(80μm 的厚度，80μm 的直径)。对晶片的背表面而言，除非需要外吸除(见后)，这道腐蚀为最后的加工，其规格为无损伤。它的表面状态可根据用户的选择做成“抛光的”(polished)或“半光的”(semimatt)。为此需要不同的腐蚀条件。

• p. 42 •

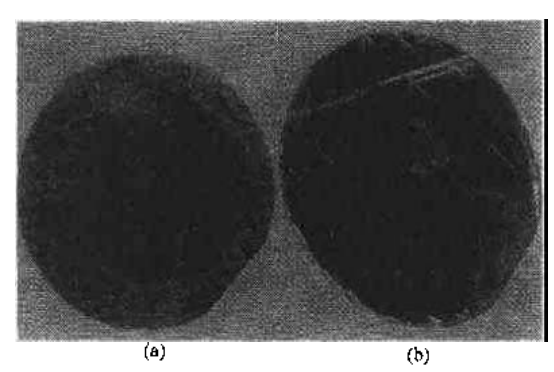


图 1-24　由制片造成的器件失效

试验-1 标出在晶片上超高频晶体管的失效，在(a)中是由于过程引入的晶体缺陷造成的，这由择优腐蚀相对应的背面所显示出来，见(b)。请注意，这些失效大量发生在边缘，特别是靠近参考面的部位，这是由于研磨后腐蚀得不够造成的

磨片可以造成多方面的结果。虽然在切片后，它可用来：使晶片的厚度相近，以便进行下一步的腐蚀和抛光；除去各种刀痕；改善平整度和平行度。但从根本上说，它是一个劣化的过程。研磨的压力是直接朝向硅的表面。在低负荷下，手研磨所造成的损伤的深度是与磨料的颗粒尺寸相当并更大一些(Buck 和 Mckim，1956)。当为了在工业规模的磨片机上获得必要的去除速度时，压力就要增大，这样在损伤深度的密度方面就会直线上升，在正常的工作条件下，至少是磨料粒径的 3—4 倍。例如，使用 20μm 的经水分级的彼此相近的刚玉粉 WCA，负荷为 $30g/cm^2$，所造成的损伤深度大约 90μm，这比切割片原有的损伤更糟。当磨片为晶片加工的一部分时，就需要深度腐蚀以清除其亚表面的结构损伤。

这个残余的机械损伤问题和新型 ULSI 微处理器及存储器件所需的 200mm 或更大直径硅片的平整度的要求，使得更加注意磨片过程或其取代工艺。对最终的抛光产品的平整度要求已达纳米级($1nm=10^{-9}m=10Å$)。这种需求是源于光刻的亚微米尺寸，现在最

小特征尺寸为 0.5μm 左右，到本世纪末将达 0.15—0.2μm。

与这种尺寸相伴随的是栅极氧化物的厚度已降到 200—100Å 范围，此厚度公差值仅为±几埃，并仍在减小。因此，衬底的表面要抛光到与之相适应的数值，其总的平整度应在几十纳米的范围内。再说，这些大直径硅片要经过几次炉内处理，热应力是一个严重的问题，这就必须对残余机械应力所造成的缺陷的作用给予更多的注意(Wanatabe，1991)。这个文献给出了 ULSI 硅片的现行的和预测的规格参数和定义出(例如 TIR)测量技术术语的辞汇表。

上述的对制成的晶片用加负载的旋转的杯形研磨器进行研磨可获得非常好的平整表面，并且正如上述，它去除物料的方式是靠横向运动，这样就会给硅片造成比磨片小得多的损伤。作为磨片的取代，此过程愈来愈引起注意，而且一种新型纳米研磨机(nanogrinder)正在开发中。这种设备的刚度很大，以使振动降低到最小，并保持非常低的表面粗糙度和损伤，它的进片装置附有纳米级的间隔，在开始时，间隔大一些，在结尾时，步进得非常小。切割好的晶片经双面纳米研磨获得了非常好的平行度与平整度。亚表面的晶体结构损伤的深度也很浅，这给下一步的腐蚀与抛光提供了方便。结合测量仪器的进步，可以在生产规模的控制中对 ULSI 硅片表面进行检测，得出纳米级的测量结果。这些测量表明，经纳米研磨的材料可以具有接近镜面的光洁度，通过整个 200mm 直径的 TIR 值低于 100nm。与过去的标准相比，例如对 100mm 直径的硅片 TIR 的通常值为 1—3μm，现在要求这种高的标准是能被认可的。

· p.43 ·

为了迎接这些挑战，在磨片技术方面也取得一些进展，注意磨料的质量、颗粒形状、尺寸分布，以及工作压力和操作工艺对研磨质量的影响，还对磨片机的结构进行改进以获得更平整的产品。这两种方法的经济成本在此竞争激烈的领域内也是应当考虑在内的。但是，随着公差要求愈来愈严格，这包括测量方法和损伤程度，还随着硅片直径的增大，纳米研磨的优越性显得更重要。最后应当指出，在研究中，另一种新技术，原子力显微镜已被应用于在纳米尺寸上观测硅的表面。

总体说来，在硅中的机械损伤是个严重的问题，它与材料在器件制作中的行为密切相关。

1.6.2 抛光与清洗

在这里只能进行轮廓性的叙述，虽然它很重要，但很多是和实际操作和材料的选择有关，其次才是半导体科学的问题。硅是一种很硬的、金刚石型的元素，但它的化学性质极为活泼，它永远被覆盖一层本体的氧化物，其厚度大约 20Å。所用来抛光的物料都比硅软得多，所用的工艺其本性为化学机械性的，操作是通过整个本体氧化物(Walsh 和 Hertzog，1963)进行的，这是 Monsanto Syton 专利。因此在原则上，当硅被除去时，并未发生或稍有晶格损伤。通常使用三段工艺。

在第一段，使用碱性的、胶体状的二氧化硅抛光液，以及比较硬的，但多孔的抛光布。硅片成组地被固定在刚性的、非常平坦的圆盘上，一般是用腊固定，也有不用腊固定(背后垫的微孔起到真空吸着点的作用)。这些圆盘被驱动进行自转，并被压在旋转的底盘的抛光布上，向抛光布供给抛光液，在这里进行快速的剥离，在 50—60℃下，其速度为 1.0μm/

min 左右。底盘的温度被控制在非常窄的范围内，开始时是靠加热，随后，过程本身就产生热，要对底盘和固定硅片的圆盘进行冷却。

· p.44 ·

工作压力所剥离的是晶片的最高点的氧化物，同时热的碱性抛光液溶解这新生成的、具有化学活性的氧化的含水的硅化物薄膜，此薄膜是由硅与高 pH 值抛光液相互作用生成的。在此阶段可以剥离 20—25μm，形成高度抛光的状态，在腐蚀的表面上无残留的“桔皮”、雾缺陷和划伤。经去离子水冲洗后，被固定好的晶片被转移到第二个相似的抛光机上。在这里的抛光布比较软，所用的抛光液是比较柔和的，接近中性 pH 值，操作是在比较低的压力下在室温附近进行。在这大约 10min 左右比较短暂的第二阶段的抛光期间，只有很小量的硅被剥离（1—2μm），但是它提供了最终的无缺陷表面。在第三阶段，是在同一个抛光机上，将压力取消了，晶片几乎浮在上面，将第二阶段的抛光液换成“雾”缺陷抑制剂（haze supressant），这是一个复杂的有机-硅酸脂，稀释在乙二醇-水的介质中，它可形成疏水性，使清洗的液体从晶片脱离，在过程的最后将其去除时不留痕迹。能达到高的技术标准的抛光过程的细微的操作，包含着远比上述概括性叙述要详细而复杂得多的内容。

化学-机械抛光兼有了机械抛光所能达到的平整度和化学过程所保证最终的晶体学的完整性，具有未被破坏的原子结构，无各种损伤。

最终的清洗与包装在使用材料与操作的指导思想方面与抛光相类似。概括地说，抛光以后的第一步是除去残留的抛光液、腊和有机物，为此使用脱脂剂和/或有机分解法，例如使用热硝酸然后用去离子水清洗。最终清洗是要去除痕量的表面污染物、金属等，以及任何形式的亚微米级颗粒。Kern 和 Puotinen（1970）首先介绍了 RCA 清洗工艺，这个工艺以后获得了广泛的应用。所有使用的化学试剂都应是电子级的，而且用隔膜过滤，使之达到去离子水那样低的颗粒含量。软材料构成的擦洗器和单片甩干机的性能很重要，它们是以片盒—片盒传送的模式进行工作的，现在在 10 级或更低的超净环境中愈来愈多地使用机械手。在工艺过程中，如果需要疏水性晶片，就要插入一个用 HF 浸渍的工序，但比较常见的是要求亲水性，这就要进行氨-过氧化氢处理，这些都要在最终的去离子水擦洗-冲淋-甩干程序之前进行。在多片的超净的片盒中进行包装来结束片加工过程。

ULSI 的要求对这些过程的影响和上面的过程一样。在抛光阶段，对抛光机底盘的结构给予了很大的注意，以保证在抛光过程中平整度不会劣化。而且工艺过程本身也在进行重大的改进，其目标是降低各阶段的温度和压力，使过程变得柔和。抛光布和抛光液在不断地完善；现在抛光液的给料已由原来少量地给在抛光机上，改成靠循环槽使之淹没，以保证所需的化合物能到达大直径晶片的中心部位．上述的关于超净线的论述正在加强，而且更多的注意放在检测化学品中杂质的方法上，其检测限非常之低，以便满足 ULSI 对表面金属低于 10^9 原子/cm^2 的目标。

1.7 直拉硅中的氧

1.7.1 氧在硅中的状态

如 1.5.3 节和 1.5.4 节中所述，溶解、挥发以及液流、动态平衡在控制着氧在硅中的

引入，但上述这些均未曾考虑它的分凝系数。在这种生长条件下，对它难以测定，过去的一些估算数值彼此相差甚远，从 k_0=0.5 到 1.4。现在的观点认为它小于 1.0，这为最近的研究结果(Jackson，1990)所支持，其所得值为 0.7。

· p.45 ·

碳在晶格中为替位型杂质，占硅的位置，但氧却不然，是间隙型杂质，在结构上它被束缚在两个邻近的硅原子之间，呈较复杂的振动模(Newman，1973)。室温下观测到的宽的 9μm 的吸收带缘于大量能量相近的振动模。硅中间隙态的氧浓度可用 9μm 的吸收进行测量(ASTM 标准 F-121)，而当加热到 1050—600℃的范围内时，如果氧沉积出来，这个吸收峰就会变小。再加热到高温＞1100℃时，这些沉淀物会消散，吸收峰又得到恢复。但是当温度保持在 450℃左右时，所有的未沉淀出来的氧会形成"热施主"，这可使晶体的电阻率发生很大的变化。这种热行为的情景首先为 Kaiser 等(1956)所确立，然后又进行进一步的扩展(Kaiser，1957；Kaiser 等，1958)。

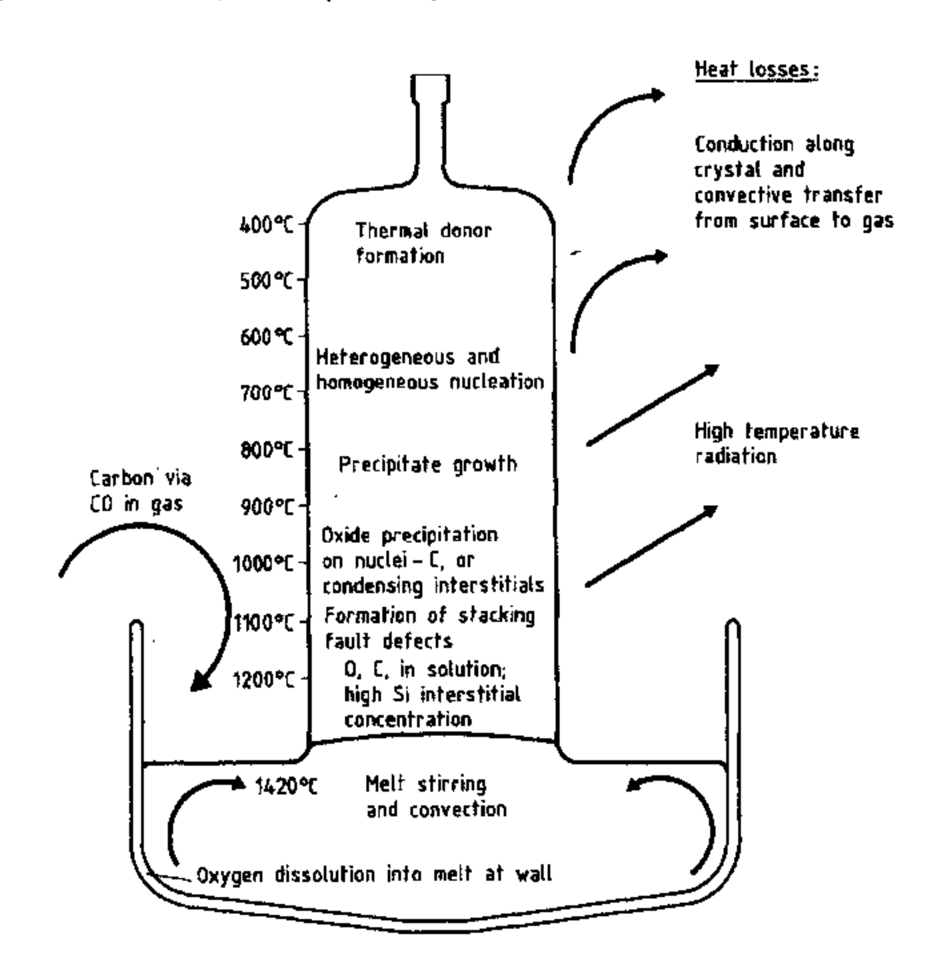


图 1-25　生长出的直拉硅晶体的不同热历史

长的晶体是经过许多小时生长过程并缓慢地被拉入到较冷的炉室内的，从籽晶到收尾部，经历了各种不同的热历史，如图 1-25 所示。这对器件有直接的影响，例如，据 Steinbeck(1980a，b)报道，16K DRAM 由漏电引起的失效率与晶片切割的部位有关。

· p.46 ·

另外一些研究表明，器件的失效与晶体缺陷，包括原生缺陷与过程引入缺陷有关，也和氧的状态有关。通过缺陷的腐蚀，不少的研究者指出，当晶片的一面有高密度的表面缺陷（例如在第一次高温过程后所发现的氧化诱生层错）时，晶片的另一面则只有很少的缺陷。从这个角度看，这可能与抛光的残留损伤有关。类似的工作示出了氧化层错与晶体热处理温度、氧的沉淀之间的关系（Matsushita，1982）。许多器件工程的研究对在制作过程中，氧化层错的产生与抑制进行了探讨（Stimmel，1986），但是对体单晶而言，则必须了解沉淀的基础机理。

1.7.2 硅中氧的沉淀

氧进入生长单晶硅中的最大值是在其头部（籽晶端），当冷却到大约1200℃以下时，其浓度超过了固溶度（Carlberg，1986），预期在任何较低的温度下，都会发生第二相氧化硅的沉淀。固态反应进行得要比液态或气态慢得多，因此晶体经过许多小时的冷却，过饱和氧的沉淀数量却非常之小，以致难以检测得出来。只有将从晶体上切出的晶片在较高的温度下加热许多小时，才会从微小的原有的核上产生出相当数量的沉淀。

由液相进行块状结晶的研究，例如制造化肥或盐类，为成核概念作出了许多贡献，特别是关于临界半径（r_c）的概念。在过饱和的液体或固体中，起始的细微原子团的生成与消失是处于高度动态的状态，一些在消失，一些在生长，直到达到某一个临界半径尺寸时，它们就变得稳定，就不可能再溶解了。在这种过程中，存在一个诱导期，在此期间有足够数量的核达到 r_c，然后就发生快速的沉淀，一直到接近平衡溶解度时才衰减下来。

许多系统具有这种行为，包括氧在硅中的固态沉淀，当它在750℃下，虽然经过1000h，还未达到平衡——固态的反应是非常慢的。在这种方式中，可以预期，靠存在的其它杂质成核将会影响起始成核的诱导期。于是，在硅中，经热处理后的氧化物沉淀在整个硅片上所形成的分布与生长引入的碳的分布情况基本重合，见图1-11（Wilkes，1983），而且还会影响沉淀的实际动力学（Kishino 等，1979；Craven，1981，Shimura 等，1985；Barraclough 和 Wilkes，1986）。

在成核以后，主要的沉淀过程是使受束缚的间隙态氧的浓度降低，根据温度的不同，发展成为不同数量，不同尺寸的颗粒。用一个简单的模型可以准确地预计其定性的行为，并为理论探讨提供基础。

假设两个位置邻近的相似样品具有相同的杂质含量，具有相同的原始成核位置的密度，对它们在过饱和范围内的不同温度下进行长时间的退火。

· p. 47 ·

（1）在加热温度较高的样品中，过饱和的驱动力低，但氧在硅中的扩散速度高。一旦有少数颗粒超出临界半径，快速进行着的沉淀就把氧的浓度降低，导致靠这很少的成核位置形成密度小、尺寸大的颗粒。

（2）反之，在加热温度低的样品中，由于同一理由，其过饱和度高，但扩散速度低。第二相必定会沉淀出来，但是由于氧仅能慢速地移动一个短程，可以预期会在大量具备的位置上形成高密度的小颗粒。

实际发生的情况也正是这样，而且替位型碳的信号也与其相仿（与成核相联系），在高温的情况下，它将保持不变；但在低温的情况下，它将迅速地消失。还有一个进一步的重要

后果：

(3)因为硅样品表面有本体氧化膜，实际上相当于一个半径无限的，其计算时间为零的颗粒，因此无需诱导期，过饱和扩散模型可以为在接近表面处存在一个无沉淀物的洁净区提供一个简单而又明显的解释。从开始加热时起，靠近表面处的氧就能扩散出来，而进入到本体氧化层中，就使这个区域的氧含量降低，抑制了沉淀物的生成。这个无缺陷区的深度预期与体内颗粒间距离为同一数量级，当形成温度较高时就会深些，如果退火温度低时就会很浅。这又是与在实际中所观察的结果一样。

在定量的探讨中，扩散-限制沉淀的数学计算(Ham，1958)被用于硅中的氧。假设受束缚的间隙型氧的原始浓度 C_0 为均匀的。在短暂的诱导期后，形成了小的沉淀物，其密度为 N，它在过程的以后阶段中为常数。设想颗粒是靠扩散生长成为球形，其共同的半径 $r_0(t)$ 远比颗粒间的距离为小，并在 $t\to\infty$ 时最终半径为常数 r_0。颗粒为二氧化硅，其含氧浓度为 C_p，靠近颗粒的母体的含氧浓度 C_{es}，它为所选温度下的平衡固溶度。用 Wigner-Seitz 近似来取代围绕颗粒周围的立方胞子，根据总体积，用当量球半径 R 来表达，可确定为 $(4/3)\pi R^3 N=1$。

氧的浓度分布作为位置与时间的函数 $C(r,t)$，可用傅里叶级数表示为：

$$C(r,t) = C_{es} + \sum_{n=0}^{\infty} A_n \frac{\sin[\lambda_n(r - r_0)]}{r} \exp\left(-\frac{\tau}{\tau_n}\right) \tag{1-7}$$

在 $r=r_0$ 时，满足边界条件 $C=C_{es}$，τ_n 为弛豫时间常数。

• p. 48 •

Fick(菲克)的球坐标的扩散方程可写作：

$$D\left[\frac{\partial^2 C(r,t)}{\partial r^2} + \frac{2}{r}\frac{\partial C(r,t)}{\partial r}\right] = \frac{\partial C(r,t)}{\partial t} \tag{1-8}$$

当要求没有净氧流通过球形边界，可写为：

$$-D\left(\frac{\partial C}{\partial r}\right)_{r=R} = 0 \qquad D \neq 0 \tag{1-9}$$

将(1-7)式对 r 和 t 进行微分并代入(1-8)式，就获得 Ham 核心表达式为：

$$\tan[\lambda_n(r - r_0)] = \lambda_n r, r = R \tag{1-10}$$

在此结果中 λ_n 的量纲为长度的倒数，当解方程式时，可获得无限多个正值。将变量的小的数值展成幂级数可得：

$$\tau_n = \frac{1}{\lambda_n^2 D} \tag{1-11}$$

和

$$\tau_0 = \frac{R^3}{3Dr_0} \tag{1-12}$$

如果颗粒不成核，$r_0=0$，没有氧的扩散，过饱和状态可以保持得无限长。通常，在起始的过渡期后，在(1-7)式中傅里叶级数的第一项占控制地位，因此，

$$C(r,t) - C_{es} \approx A_0\lambda_0\left(1 - \frac{r_0}{r}\right)\exp\left(-\frac{t}{\tau_0}\right) \tag{1-13}$$

常数 $A_0\lambda_0$ 的量纲为浓度，其数值比 C_0-C_{es} 小一些。

氧的分布如上述的那样应基本均匀，其数量低于 C_0，遍及整个的扩散体积，除了围绕

颗粒外半径大约 $5r_0$ 的小区域内，可按 random-walk-wall（随机-步行-阱）模型描述，见图1-26。对此公式进行进一步的变换会得出两个重要的表达式：

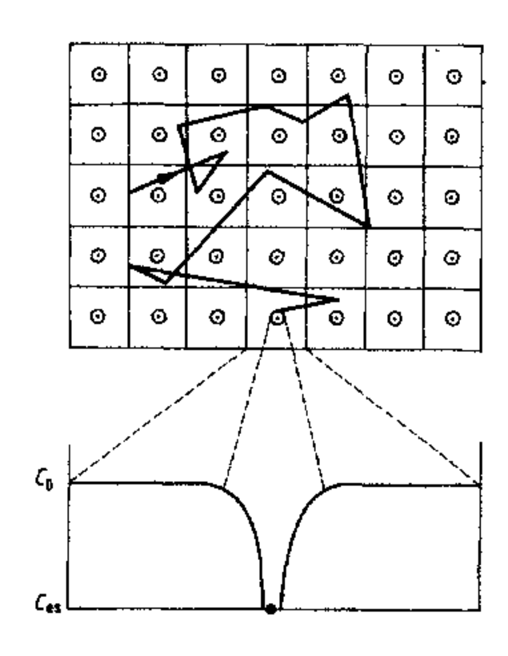
$$\tau_0 = \frac{R^2}{3D}\left(\frac{C_p}{C_0 - C_{es}}\right)^{1/3} \tag{1-14}$$

和

$$N = \frac{3}{4\pi}\left(\frac{C_p}{C_0 - C_{es}}\right)^{1/2}(3D\tau)^{-3/2} \tag{1-15}$$

有理由设定，氧化物的成分接近 SiO_2，这样 C_p值是已知的。C_0，C_{es}和弛豫时间常数 τ_0 可由用来研究沉淀过程的红外吸收测量结果获得(Binns 等，1983；Newman 等，1983a；Wilkes，1983)。

因此，完全基于动力学数据就可以求出在不同的退火温度下的颗粒密度 N 和它的半径 r。这些结果可以和积累腐蚀坑计数和散射测量的直接数据相比较。用近红外透射的光散射法测出的由高温退火形成的大颗粒可用于计算 N 和 r。与此相类似，用小角中子散射法(SANS)测出了其半径小于 100 Å 的微小颗粒数也验证了这个理论模型(Livingston 等，1984)，如图 1-27 所示。



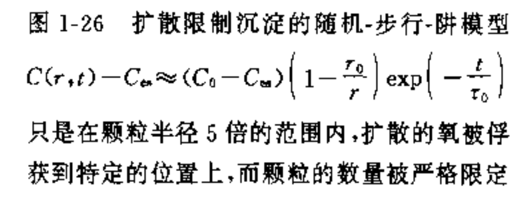


图 1-26　扩散限制沉淀的随机-步行-阱模型

$C(r,t) - C_{es} \approx (C_0 - C_{es})\left(1 - \frac{r_0}{r}\right)\exp\left(-\frac{t}{\tau_0}\right)$

只是在颗粒半径 5 倍的范围内，扩散的氧被俘获到特定的位置上，而颗粒的数量被严格限定

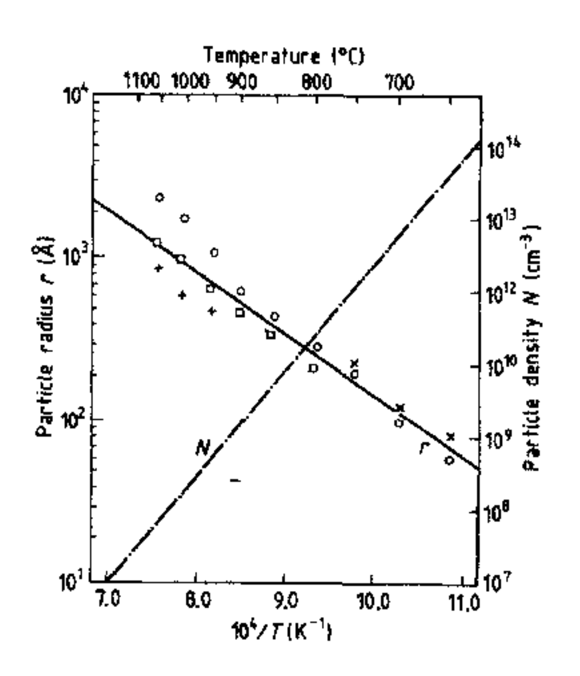


图 1-27　硅中氧的沉淀

以四种方法为基所得的颗粒半径与密度，均设定颗粒为球形。但在随机-步行——阱理论中颗粒形状对结果无明显影响。符号：○由动力学推出的半径；□腐蚀所得半径；×中子散射所得半径；＋光散射所得半径

对 SANS 的结果进行分析也提供了关于颗粒形状的信息，它与最近用高分辨率透射电子显微镜(见图 1-28)所显示的片状沉淀物(Bergholtz 等，1989)的结果相符。

• p. 49 •

上述各种方法所得的图 1-27 中的半径与温度倒数的关系曲线显示出结果的明显一

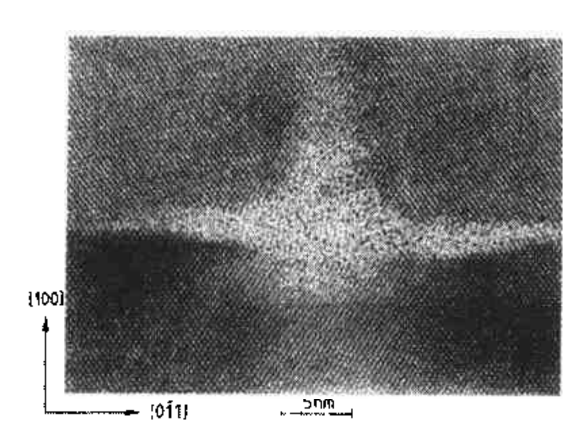


图 1-28　片状氧化硅沉淀物的直接晶格图像

向上也可能向下扩展的鳍形物为惯性的(100)面。样品在 750℃下退火 431h

致，无论所用的试验方法从其本性来讲有多大区别，扩散-限制沉淀理论支持了早先提出的定量模型。

1.7.3　热施主和增强扩散

了解热施主、它的形成、它的行为等问题的难度在于动力学研究都要在低温 350—500℃下进行，以及研究工作(Newman 和 Claybourn，1988)提出的 TD(热施主)中心是由四个间隙态氧所构成的结构的复杂性。为了研究在低温下氧沉淀的动力学，要求使用比红外吸收更灵敏的方法；这可由应力引入二色性的弛豫技术(Corbett 和 Watkins，1961)来解决，已将此方法应用到硅-氧系统中(Benton 等，1983；Newman 等，1983 b)。

• p. 50 •

在此操作中，小硅棒样品，切成轴向为[111]，加热到 450～500℃，沿轴加以高压，在施压不变的情况下将样品冷却。在受压下的扩散结果与母体硅在[111]轴向上相结合的受束缚的间隙态氧 n_1 变得比$[\bar{1}1\bar{1}]$，$[\bar{1}\bar{1}1]$和$[1\bar{1}\bar{1}]$每个方向结合的 n_2 的要少。如果将线性极化的 9μm 红外线用来测定氧的吸收系数，在平行和垂直受压样品的[111]轴时应用下式：

$$\alpha_{\parallel} \propto \left(n_1 + \frac{n_2}{3}\right), \alpha_{\perp} \propto 4\frac{n_2}{3} \tag{1-16}$$

从中，

$$(\alpha_{\perp} - \alpha_{\parallel}) = \text{const} \cdot (n_2 - n_1) \tag{1-17}$$

当这样处理的试验样品再经一些所选温度下退火，但不加负载，进一步的扩散又回到随机分布，使引入应力二色性产生弛豫，为一级动力学过程，其弛豫时间常数为 τ_*，使用归一化的无量纲的参数$(\alpha_{\perp} - \alpha_{\parallel})/\alpha_{\perp}$，那么常数 τ_*，可由斜率 $d[\log(\alpha_{\perp} - \alpha_{\parallel})/\alpha_{\perp}]/dt$ 求出，它等于 $\tau/8$，其中 $1/\tau$ 是在所涉及温度下的单扩散跳跃的基础频率。扩散系数由简单的关系式 $D = a_0^2(8\tau)$ 求出，其中 $a_0 = 5.42$Å，为硅的晶格常量。

为了解热施主的一个早期的问题是由它的形成速度产生的，它只需加热很短时间就会达到电阻率平衡。现在认为，在此过程中，晶格缺陷起了主要的作用。Benton 等(1983)在其应力二色性的研究中曾发现，如果硅先经 900℃/2h 热处理，然后快速冷却以消除热施主(这样就把过剩的自间隙硅冻住)，然后再进行上述的应力二色性操作，结果扩散系数 D 被增大了近两个数量级。另一个打破硅中本征缺陷平衡的方法是辐照。Newman 等(1983b)曾使用 2MeV 的电子对受应力的硅样品靶进行辐照，该样品置于水冷的密闭容器中，使之低于 60℃。在辐照后，9μm 的信号减弱了，同时氧-空位(O-V)的 A 中心可被 830cm^{-1}的红外吸收测出。这时二色性测量的弛豫却呈指数衰减，同时 D 增高几个数量级。氧还能俘获运动的自间隙硅形成(O-I)中心，它的吸收是在 935cm^{-1}。锡在硅中是空位

的有效陷阱；原生的掺锡单晶具有与未掺的硅的相类似的(O-I)中心浓度，但(O-V)A 中心浓度却低得多，并且在这种材料中，应力二色性的弛豫却减慢了约 6 倍。在扩散中，既有空位，又有自间隙参加是由 Gasele 和 Tan(1983)提出的。对单一跳跃的简单化的看法是两者均有可能：一个是氧俘获了一个空位形成一个 A 中心，该中心再捕获一个自间隙原子；另一个是形成一个(O-I)中心，然后再俘获一个空位。其真实的情况远比这要复杂得多。

· p. 51 ·

在被铜或铁的金属污染以后会发现增强扩散。碳进入到许多氧与硅的低温中心并成为自间隙原子成核的位置(Davies，1989)。自由电子效应被用来解释浓度相关的热施主动力学(Wada，1984；Wada 和 Inoue，1986)；另外在研究重掺 n^+ 和 p^+ 硅中，Bains 等(1990)发现的，氧在重掺的 n^- 和 p^+ 硅中增强的(p^+)和减弱的(n^+)沉淀作用，他们也归结为自由电子模型。最后，在 0.3Ω·cm 材料中，在 450℃形成热施主的同时，发现有替位硼的减少(Newman 和 Clayboun，1988)。总之，虽然扩散-限制沉淀模型为解释氧在无位错硅的行为提供了坚实的基础，但仍有许多关于增强扩散及热施主的详细机理有待进一步的研究；氧在无位错硅中的行为将用于下一节将要讨论的“晶体工程”中。

1.8 晶体工程

在本章的前几节中都曾提到关于缺陷可以作为快速扩散杂质的吸除点、源的一些方面，同时也强调了这些缺陷一旦遇到器件结构部位所产生的严重后果。另外，在固态中，氧的沉淀速度很慢的本性有如上述，如果想利用这类体内沉淀必须对此予以克服。现在我们就对有控制地应用外表面的机械损伤(外吸除)和利用体内的氧化物颗粒(内吸除)进行叙述。

1.8.1 硅中的外吸除

硅表面上的机械损伤可以用其密度与深度进行量化，在图 1-19 和图 1-20 中可以看出，只有很少的部位损伤得比较深。因为腐蚀速率是损伤强度的函数，它在腐蚀的起始阶段就很快地下落了，因此很难通过限制腐蚀使之在硅片背面留下控制得很好的剩余损伤并保持晶片所需的厚度公差。而且还给正表面遗留下来，使之不得不更多地被抛光掉。所需要的是有意识地造成高密度的但较浅的晶格畸变，在器件热过程的前期使应力的弛豫变成层错和位错环，以便能提供高的吸除能力。在位错周围的晶格畸变形成一个应变区，这就是实际的吸除点，它在收容扩散来的杂质后，发生松弛而变为稳定的能量低的原子结构。为满足不同器件过程——MOS，双极型等的要求，抛光片生产者有几种进行有控制的背损伤的方法。

损伤是在经腐蚀好的晶片上再引入的。一个常用的方法是使用可调节的高压喷射系统，压力为 1000psi(≈70 bar)，水中含有经细磨的具有一定尺寸(～1μm)的石英砂。靠射流向附近的运动着的晶片进行冲击所形成的损伤程度可由变换压力，喷嘴的个数和运行速度来调节，然后对其正面再用通常的方式进行抛光。

· p. 52 ·

用此种方法所获得的有代表性的损伤点密度在 $5\times10^3cm^{-2}$—$5\times10^7cm^{-2}$ 的范围。

图 1-29示出的例子为晶片处理前和高度损伤处理后的情况，在这里增大的摇摆曲线值是很小的，无需再减缓，其 $\Delta W=10''\sim30''$ [1)]（注意：深腐蚀片为 0″--4/8″，切片 80″～100″，磨片 $\Delta W>120''$）。



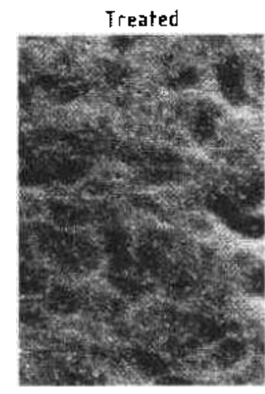


图 1-29 用高压力水喷嘴喷石英砂所进行的外吸除。注意在处理前要很好地腐蚀以除去非控制的损伤，以及产生的机械损伤点的均匀分布（SEM 照片）

较轻度的损伤是最适合于 MOS 器件工艺的，当它进行在 1000—1100℃的初次氧化时，在经过处理的背面就形成能进行吸除的层错，其密度为 10^5cm^{-2}，这对其以后的机械性能，如翘曲等的影响可以忽略。但是随着器件尺寸的不断缩小，其要求的重点是既要降低最高温度，又要减少制作过程的整体热负载。

在 1000℃以下层错的产生是比较复杂的，而且受氧化气氛影响（Claeys 等，1981）。再有，如果损伤度过于轻，可能形不成吸除点，其大部分会被退火消除掉。这可通过下面试验看出，将经一次粗抛的还带有亚微米损伤的表面在 1100℃下处理前后用腐蚀法显示进行比较，发现大多数的损伤点都已消失，形成的层错密度非常低。包括外吸除和内吸除的吸除性能的检测是靠对抛光表面层（器件是作在这个上面的）进行腐蚀以显示其点状缺陷；S 坑——浅的碟形蚀坑，或雾缺陷，它们与重金属的存在、低的载流子寿命、造成发射极一收集极间的漏电有关，这些都对器件的成品率有害。再有，当器件工艺包含有多次的高温过程时，外吸除的效应就会逐次地降低，为此，就需要有原始的较深的损伤才能补救。

对双极型的应用而言，规律是相同的，但在这里使用的高温过程高达 1200℃，在此条件下，轻度的损伤很容易被退火退掉，吸除效应在接连的高温过程中会更迅速地降低。因此，对 MOS 工艺，只要 1—1.5μm 的损伤深度就能满足要求；但对双极工艺而言，则要求有 2—4μm 的深度，尽管如此，其效果仍可能不高。

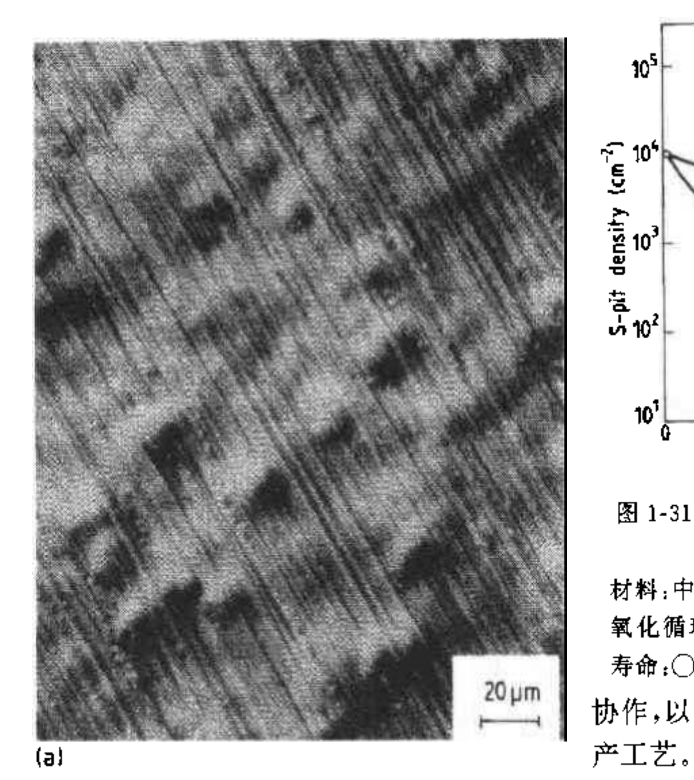
• p. 53 •

在背面形成机械损伤的广泛应用的方法中，还有对深腐蚀晶片进行刷伤或磨料抛光，其中一例如图 1-30 所示。靠选择材料和操作条件（刷子的软硬、磨料尺寸、压力等）可获得适合 MOS 和双极应用要求的控制良好的产品。最后，在外吸除的进一步的开发中发现，细微颗粒的多晶硅是一种优良的、耐高温的吸除材料。采用低压化学气相沉积（LPCVD），用硅烷作源，其过程与制作多晶硅互连相似，使一个 1—2μm 的薄层被淀积在深腐蚀的晶片上，所用温度为 600—650℃，将此过程作于抛光前，使其开始进行晶片背面外吸除。

这种被称为增强吸除（EG）的工序在生产中显然比上述的其它外吸除方法要贵得多，但是它的性能，特别对使用多次高温的工艺，例如双极型工艺，是优异的，保持了 S 坑的低密度和高的寿命，如图 1-31 所示。

在这方面要想达到良好的结果，要求晶片生产者与器件用户的工程师们进行密切的

1) 1″=25.4mm。——译者注



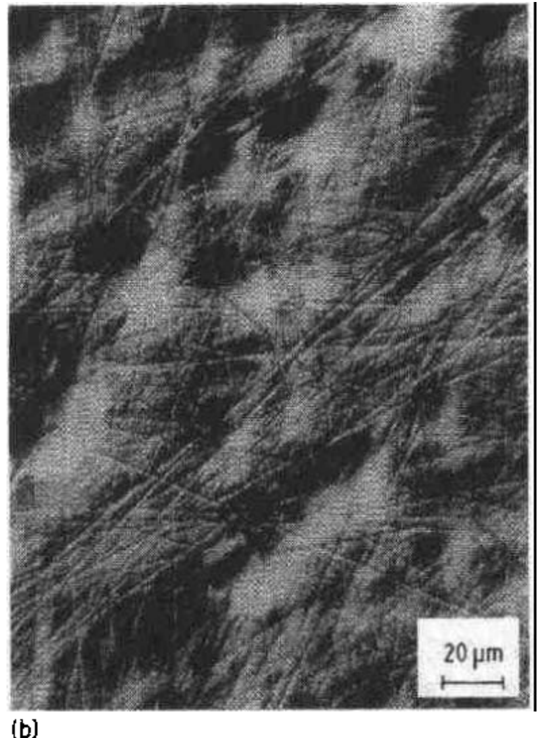


图 1-30 用擦(刷)伤进行的外吸除处理
(a)和(b)分别示出低的和高的损伤度。用来打底的是腐蚀好的衬底

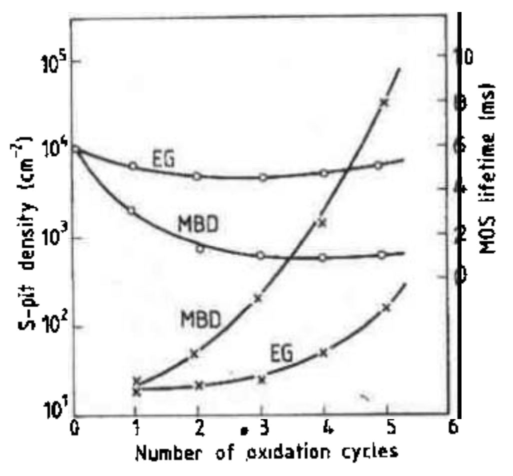


图 1-31 沉淀多晶硅的增强吸除。EG 与机械背损伤(MBD)的比较

材料:中氧浓度,p 型,〈100〉晶向。试验:双极氧化循环——1100℃,水蒸气,2h。S 坑:×;寿命:○

协作,以求使购入的材料能满足特定的生产工艺。

· p. 54 ·

1.8.2 硅中的内吸除

在器件结构的体材料中及外延衬底中氧沉淀的有益作用曾为 Tan 等(1977)和 Yan 等(1978)所报道。现在对此领域有大量的文章,因为它对器件工艺有直接关系,吸引了大量的注意力。

在 1.7.2 节中所述的单一的热处理过程,对达到晶体工程进行"裁剪"的晶片以满足器件规格的要求显得太慢,但这不是唯一的制约因素。任何一个有用的过程,都必须将购入的对正常直拉法生长有代表性的氧含量变化的晶片做成具有一致性的内吸除晶片。如果没有足够的氧沉淀出来,那么就会在其制作过程中,在器件区的一些部位产生二次沉淀。

过去的工作集中在两阶段工艺上,第一阶段为高温热处理,然后再接着进行较低温度的第二阶段,这被称为 HI-LO 处理。所使用的代表性的时间和温度:在

1150℃,16h 和在 650 C,64h(Yamamoto 等,1980)。

尽管也提出了不同的两段法,但是这个 HI-LO 过程却表明了利用 1.7.2 节所述模型所形成的原理。在第一阶段,在 1150℃的高温下,在此范围内的退火使受束缚的间隙态氧的过饱和度相对比较低,但扩散快,任何接近表面的已存在的微沉淀物趋向于溶解。氧很顺利地扩散到表面氧化物中,因此在表面附近形成一个浓度梯度,而较深的进入体内的部分开始形成沉淀。

除了常规的分析方法,例如使用二次离子质谱(SIMS)来测量晶片横断面外,也可以将样品再加热到 450℃靠残留的间隙态氧形成热施主,再对斜面的微观电阻率进行测量,可以计算出梯度曲线。当体内$[O_i]$约为 $8\times10^{17}cm^{-3}$,当处理 6h 时,表面浓度降为 5×10^{17},无缺陷层深度为 $20\mu m$,当处理 16h 时,浓度为$(3\sim4)\times10^{17}$,无缺陷层深度为 $50\mu m$。

尽管在第一阶段中氧的含量有所降低,但在第二阶段的 650℃的低温下时,过饱和度仍然很大,于是沉淀物在第一阶段形成的位置上继续生长,并且还增加了不多的新生成的核。所需要的内吸除结构,即体内沉淀物和表面无缺陷层形成了,但还存在一些问题。

• p. 55 •

在此过程中,间隙态氧沉淀的数量以及是否能形成无缺陷层,都是原始氧含量的直接函数,如图 1-32 所示。而且在此关系图中,低氧材料的数值比较分散,这反映,还有别的影响因素。例如,碳对成核的影响,当使用通常的高浓度氧,但超低浓度碳$<3\times10^{15}cm^{-3}$的材料时,沉淀过程会被严重地减缓,而且没有无缺陷层形成(Wilkes,1983)。De Kock (1982)展示了氧沉淀得不充分的效应。他发现当 n^+的磷扩散进入外延层时,在此扩散区下的无缺陷层宽度缩小了,在一种情况下,由 50 缩小到 $25\mu m$,在另一种情况下,由 $25\mu m$ 缩小到零。他对扩散区下无缺陷层的缩小解释为,由于大量的过剩间隙态氧的局部注入引起的临界尺寸核的快速形成和二次沉淀。这与在 1.7.3 节中所述的扩散跳跃机理与增强扩散相联系。此类二次沉淀是完全常见的,它在多段过程比在单一的专门过程更容易形成。再有,在 CMOS 低温制作工艺过程中,使用中到高氧含量的衬底,常常遇到的困难是产生热施主,这就需要进行阈值电压的调整工序。降低剩余氧的浓度可以排除这个问题。因此,虽然许多内吸除的研究都集中在无缺陷层的宽度和沉淀物的尺寸与密度等方面,但其后所残留被束缚的间隙态氧浓度却是一个关键的性能参数。一些两段工艺借助于 MOS 制作的在 1000—1100℃下的初级氧化以实现后面的沉淀,但由于要求形成的氧化物愈来愈薄,氧化的时间也就随之缩短,这样就不充分了。

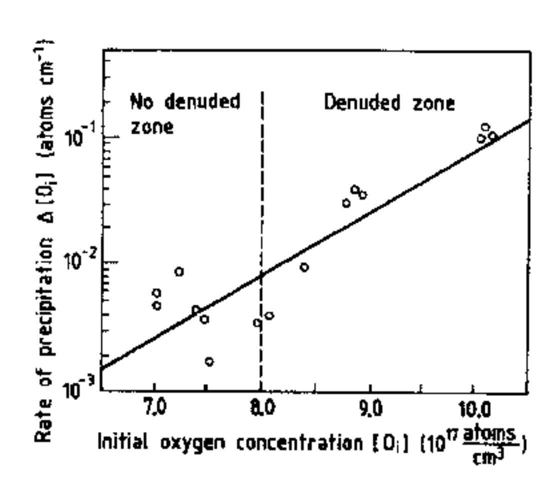


图 1-32 硅中两段氧沉淀

热周期:1150℃,16h;650℃,64h。另一个两段过程显示了类似的行为,在氧浓度在 8×10^{17}原子/cm^3下,无缺陷层未形成

一种优越得多的内吸除工艺能克服上述这些问题,并能调整与优化材料特性,以满足各种工艺线的要求,这是一种三段工艺,它把所需参数的控制分别开来。其主导思想如图

1-33 所示，在这里示出了每一个阶段的目的。最高氧含量一般居于直拉单晶的头部，大约为 1×10^{18}原子/cm³，这相当于 1200℃左右温度下的最大固溶度，从此晶体部位往下，含氧量降低。在第一个阶段选择处理温度为 1100—1200℃，对大多数晶片而言是超过了它的固溶度，在"最坏的情况"下，其过饱和度也很低。在这里没有沉淀，也没有任何长入的、已存在的核(图 1-25)，令入相信，整个材料处于均匀状态。外扩散会明显地降低氧含量，如上所述，时间一般是在 5—10h，取决于所选的无缺陷层的厚度，见图 1-33(a)。然后在第二阶段，晶片经低温热处理，比如说在 750℃，时间介于 5～30h。根据理论，会形成大量的小核，并开始慢速地生长，接近表面的被降低氧含量的那一层除外，在那里只有极少数核形成，而且都是很小的尺寸，见图 1-33(b)。上述处理的综合结果提供了统计学的颗粒尺寸分布，根据所选时间的延长，它慢速地增大，这符合 Ham 理论，如图 1-33(c)所示，它们

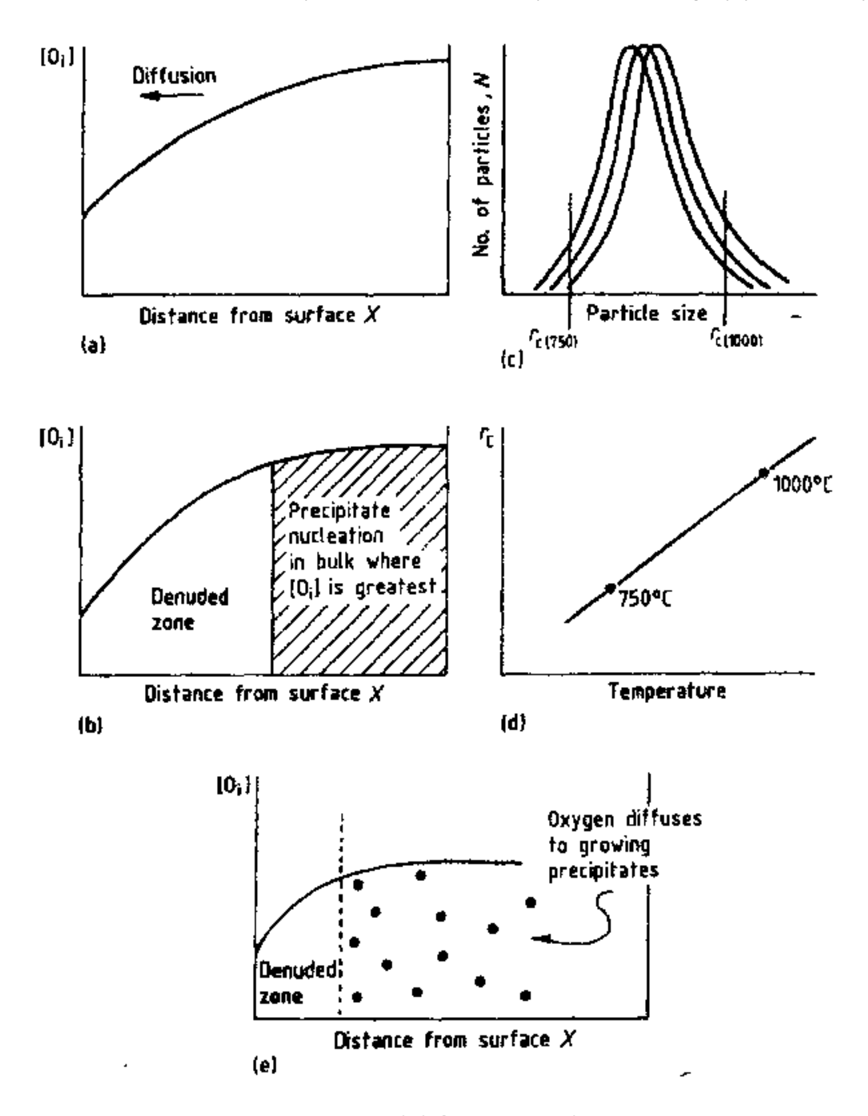


图 1-33 硅中的三段氧沉淀

晶体工程：(a)阶段-1：在 1100℃下氧的外扩散到表面；(b)阶段-2：在 750℃下成核；(c)在阶段-2 中的颗粒尺寸分布；(d)作为温度函数的颗粒生长的临界半径 r_c；(e)阶段-3：在 1000℃下颗粒的生长

的总数量接近是一个常数。

• p. 56 •

有关大于某临界半径的颗粒的稳定性的概念已在上面作了说明。这个半径值取决于许多因素：

(a)颗粒与母体界面的表面自由能，σ 和沉淀物的体自由能的变化。ΔF_v(Burke，1965)，可得出

$$r_c = \frac{2\sigma}{\Delta F_v} \tag{1-18}$$

(b)过冷度，ΔT，它为所取的退火温度，T，与氧浓度 C_0 处于平衡饱和的较高温度之差，为形成临界半径核所需的活化能 E_c，其关系式为：

$$N_c = C_0 \exp\left(-\frac{E_c}{kT}\right) \tag{1-19}$$

其中 N_c 为沉淀颗粒的浓度。

• p. 57 •

(c)体自由能，它与过冷和反应焓的关系式为：

$$\Delta F_v = \left(\frac{\Delta H}{T}\right)\Delta T \tag{1-20}$$

最后，沉淀物与母体界面的表面自由能可由下式取得：

$$\sigma = \left[\frac{3E_c(\Delta F_v)^2}{16\pi}\right]^{1/3} \tag{1-21}$$

对各种温度和过饱和度的临界半径值曾作出计算(Freedland 等，1977；Osaka 等，1980)。这些数值都很小，其范围从 10Å(是在 1050℃，这相当于核含有约 100 个原子)到仅仅 3—4Å(对应于 650℃，大约有 6—10 个原子)。尽管这些数值是很小的，应当记住，在 650℃生成的沉淀物是片状结构的，它的"当量"的球半径也不过是 30Å 左右(见图 1-27)。形成温度与临界半径的关系如图 1-33(d)所示。

将此模型扩展到成核速率以便能预测出在单段退火成核的诱导期，从开始到稳定核的形成，它与观察(Capper 等，1977；Hu 1981；Inoue 等，1981)的结果相符。但是要指出的重要的一点是，临界半径是依赖于温度的，在 750℃的要比在 1100℃的小得多。

因此，当晶片进入第三阶段时，是要在 1000℃下加热数小时，这时，大多数原来在第二阶段形成的核要被溶解，只剩下处于统计分布上端的核会继续生长。在第二阶段加热的时间愈长，留下的大核愈多，因此这个阶段是确定整个沉淀过程的颗粒密度值的阶段。这最后阶段是确定有多少原始进入的氧要沉淀出来，以及它的颗粒尺寸，见图 1-33(e)(Wilkes，1988)。图 1-34 的照相底片是取自 Huber 和 Reffle(1983)，它表示出在实际操作中的三段过程。这里所有的晶片都在 1100℃下外扩散 10h，然后在 750℃下成核，其处理时间按分组递增，最后在 1000℃下使沉淀物生长，也是每组递增 4h。预期的图形出现了，所有的晶片都具有同样的无缺陷层宽度，颗粒密度随第二阶段的时间增加而增大(图中自上面下)，以及颗粒尺寸随第三阶段的时间增长而变大(图中自左至右)，所有这些都得到了很好的控制。三段过程可以适应于处理广泛范围氧含量的材料，如图 1-35 所示，在这里与二段过程作了比较，对原始的不同氧含量能达到高度的和比较一致的降低，它保证在下而的器件工艺中有极少的再沉淀。

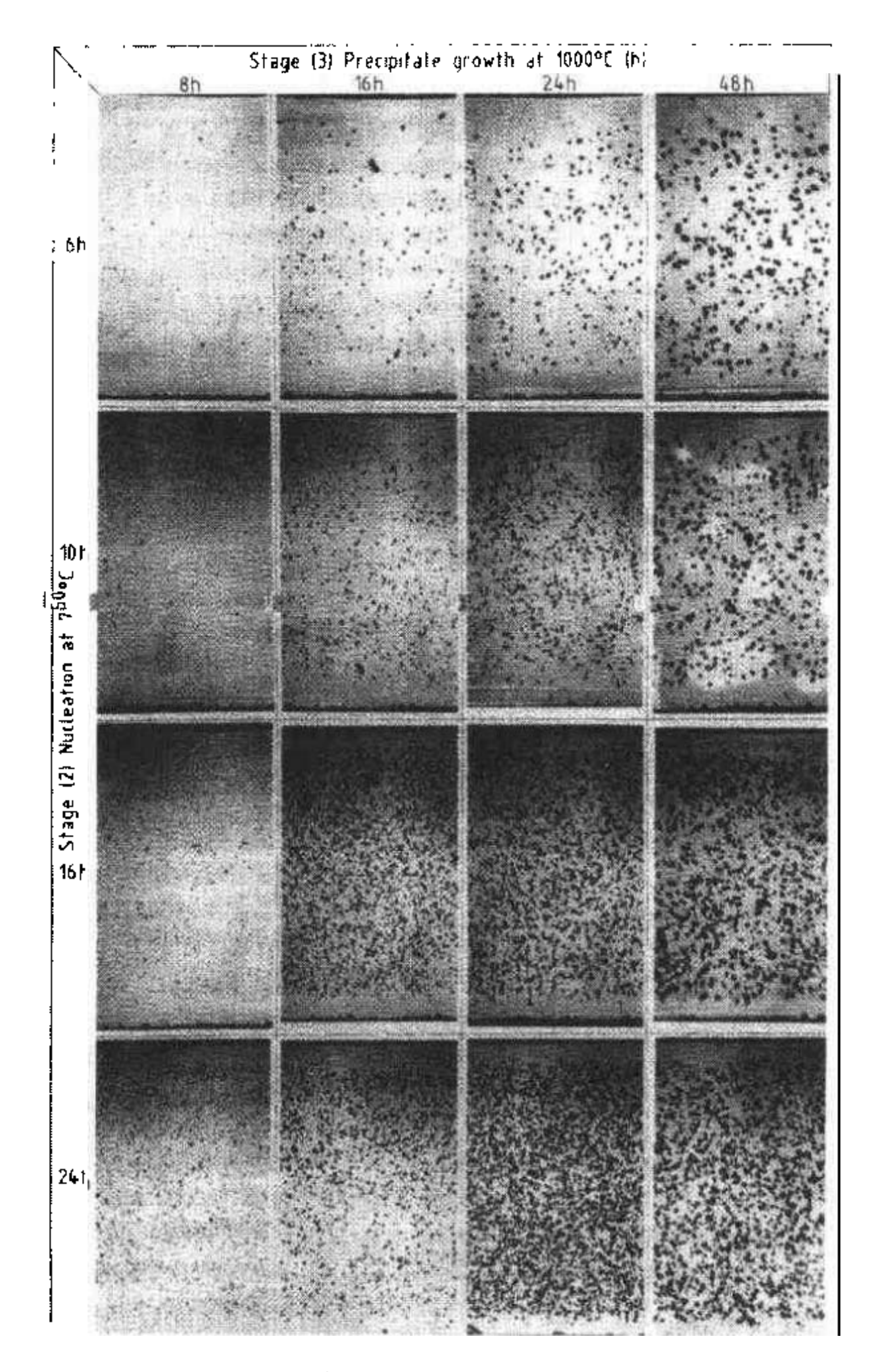


图 1-34　三段沉淀的照片

请注意各段的功能有明确的区分：(1)无缺陷层宽度，(2)密度大小，和(3)沉淀物尺寸。第一段在1100℃下外扩散10h。原始氧浓度为8.5×10^{17}原子/cm^3(Huber and Reffle，1983，被作者友好地允许发表)

总的说来，三段的本征吸除过程能克服以前两段过程所遇到的问题。它可以接受投入材料的宽的氧含量范围，而且功能是彼此区分的，第一段确定无缺陷层，第二段确定颗粒密度，第三段确定颗粒尺寸和过饱和自间隙氧从固体溶液中去除的总数量。三段过程可允许变化参数以满足不同用户的要求，使材料与特定的器件制作工艺相匹配。

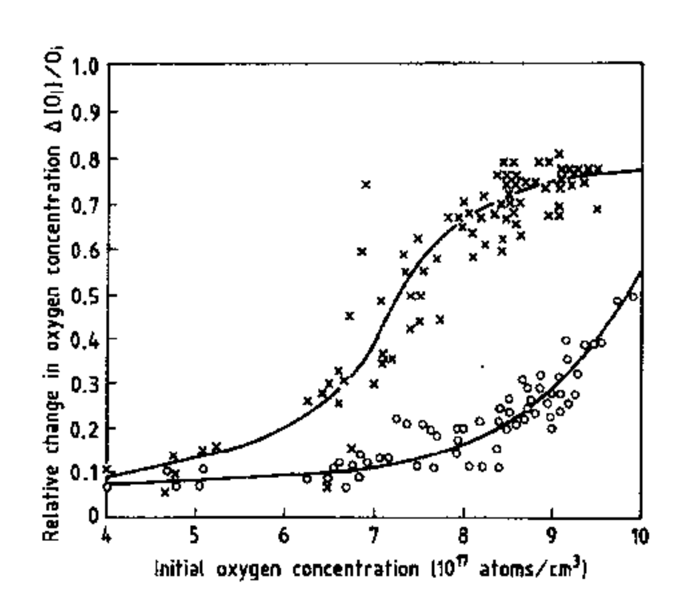


图 1-35 经两段退火(○)和三段退火(×)受约束的简间隙氧的减少。三段过程的优越性是明显的

· p. 58 ·

进入到 ULSI 的时代以来，硅的提供者和用户的密切协作是非常重要的，这一点已变得很清楚。如上面所指出的那样，大直径硅片的晶体工程不但已对中阻 p 型和 n 型硅的氧含量控制作了很大的努力，而且还对 p^+和 n^+衬底材料的氧含量控制给予了重视。虽然像上述那种内吸除的全过程被采纳得还不如所期待得那样广泛，但是提供部分热处理的硅片在现在却很普遍。另外，各种外吸除的方法得到广泛的应用，增强吸除材料的市场在不断地扩大。在经过多年的研究与开发工作之后，全晶体工程处理硅片，兼有外吸除与内吸除作用并能达到最佳性能的硅片现在已大量存在。

正如本章的其它几节所论述的那样，硅片生产的市场压力要求材料不断地吸收工程化的技术贡献。晶体中微缺陷和杂质之间的相互作用，以及器件制造及其性能之间的关系的知识快速地在增加着，它涉及到从晶体生长起整个的材料制作工艺，这些知识愈来愈专门化，并掌握在大型外销生产厂家手里。因此，硅材料提供者与器件生产厂家的最紧密的协作是关键的，以便能迎接经济与技术的压力，特别是来自远东的压力。

· p. 59 ·

1.9 致　谢

本章所叙述的内容体现了 30 多年所进行的不断的研究与开发。作者对在 Southampton 的 Philips/Mullard 公司材料部的同仁们在这些年里所给予的那些有价值的、令人振奋与愉快的支持深表感谢。我特别要感谢 Dave Perkins，Roland Kingsnorth，Dave Griffiths 和 Ian Baldwin；另外我还要感谢 Stan Bradshaw，Max Smollet 博士和 Brian Avient 博士对我的鼓励。

· p. 60 ·

我还要指出的是与 Ron Newman(Reading 大学)教授所领导的小组、Keith Barraclough(RSRE,Malven)博士所领导的小组,以及 Ed Lightowlers(伦敦大学)教授所领导的这些英国的小组在广泛的联合项目中所进行的长期合作。

必须指出的是,帮助我了解硅领域情况的有来自世界范围的设备和材料生产厂家与器件制造者,其中特别是 Bob Lorenzini(Siltec),Remo Pellin 和 Gordon Martin (Monsanto),Ken Jackson(Bell Labs)Ed Giess(IBM)和 Don Jackson(Motorola),他们与我长时期以来,对新的发展进行了讨论与分享。与 Erhard Sirtl 博士和 Dieter Huber 博士(Wacker Chemitronic)的密切合作为本章的撰稿作出了直接的贡献。图 1-34(首先由 Wilkes,1983 发表)是来自 Huber 和 Reffle,在获得他们允许后复制于本书;Horst Fleischmann 为我了解市场压力与工业趋势提供了重要的信息。

1.10 参考文献

Abe, T., Kikuchi, K., Shirai, S., Muraoka, S. (1981), in: *Semiconductor Silicon 1981:* Huff, H. R., Kriegler, R. J., Takeishi, Y. (Eds.). Pennington, NJ: Electrochem. Soc., *PV81-5*, p. 54.

Akiyama, N., Yatsurugi, Y., Endo, Y., Imayoshi, Z., Nozaki, T. (1973), *Appl. Phys. Lett. 22*, 630.

Amouroux, J., Morvan, O., Apostolidou, H., Shootman, F. (1986), *Electrochem. Soc. Extended Abstr. No. 298, PV86-1*, 441.

Aulich, H. A., Eisenrit, K. H., Schulze, F. W., Strake, B., Urbach, H. P. (1985), *6th E.C. Photovoltaic Energy Conf.* London: *Commun. Eur. Communities Rep. EUR 10025*, p. 951.

Bains, S. K., Barraclough, K. G., Griffiths, D. P., Series, R. W., Wilkes, J. G. (1990), *J. Electrochem. Soc. 137*, 647.

Barraclough, K. G. (1982), in: *Symp. Aggregation Phenomena of Point Defects in Silicon, ESSDERC, Munich:* Sirtl, E., Goorissen, J., Wagner, P. (Eds.). Pennington, NJ: Electrochem. Soc., *PV83-4*, p. 176.

Barraclough, K. G., Series, R. W. (1988), Patent GB 8 805 478.

Barraclough, K. G., Wilkes, J. G. (1986), in: *Semiconductor Silicon 1986:* Huff, H. R., Kolbesen, B. O., Abe, T. (Eds.). Pennington, NJ: Electrochem. Soc., *PV 86-4*, p. 889.

Batterman, B. W., Hildebrandt, G. (1968), *Acta Crystallogr. A24*, 150.

Benton, J. L., Kimmerling, L. C., Stavola, M. (1983), *Physica B 116*, 271.

Bergholtz, W., Binns, M. J., Booker, G. R., Hutchinson, J. C., Kinder, S. H., Messoloras, S., Newman, R. C., Stewart, R. J., Wilkes, J. G. (1989), *Phil. Mag. B 59*, 499.

Binns, M. J., Brown, W. P., Livingston, F. M., Messorolas, S., Newman, R. C., Stewart, R. J., Wilkes, J. G. (1983), *Appl. Phys. Lett. 42*, 525.

Bischoff, F. (1954), Patent DBP 1 134 459.

Bloem, J., Classen, W. A. P. (1980), *J. Cryst. Growth 49*, 435 (part 1), and 807 (part 2).

Bloem, J., Classen, W. A. P. (1983–84), *Philips Tech. Rev. 41*, 60.

Bloem, J., Gilling, L. J. (1978), in: *Current Topics in Materials Science*, Vol. 1: Kaldis, E. (Ed.). Amsterdam: North-Holland, p. 147.

Bond, W. L., Andrus, J. (1952), *Am. Mineral. 37*, 622.

Buck, T. M., McKim, F. S. (1956), *J. Electrochem. Soc. 103*, 593.

Burke, J. (1965), *The Kinetics of Phase Transformations in Metals.* London: Pergamon, Chaps. 6 and 7.

Burton, J. A., Prim, R. C., Schlichter, W. P. (1953), *J. Chem. Phys. 21*, 1987.

Capper, P., Jones, A. W., Wallhouse, A. J., Wilkes, J. G. (1977), *J. Appl. Phys. 48*, 1646.

Carlberg, T. (1986), *J. Electrochem. Soc. 133*, 1940.

Carruthers, J. R. (1967), *J. Electrochem. Soc. 114*, 1077.

Carruthers, J. R., Nassau, K. (1968), *J. Appl. Phys. 39*, 5205.

Carruthers, J. R., Witt, A. F., Reusser, R. E. (1977), in: *Semiconductor Silicon 1977:* Huff, H. R., Sirtl, E. (Eds.). Pennington, NJ: Electrochem. Soc., *PV77-2*, p. 70.

Cartwright, R. A., El-Kaddah, N., Szekely, J. (1985), *IMA J. Appl. Math. 35*, 175.

Chedzey, H. A., Hurle, D. T. J. (1986), *Nature 210*, 933.

Claeys, C., Declerck, G., Van Overstraeten, R., Bender, H., Van Landuyt, J., Amelinckx, S. (1981), in: *Semiconductor Silicon 1981:* Huff, H. R., Kreigler, R. J., Takeishi, Y. (Eds.). Pennington, NJ: Electrochem. Soc., *PV81-5*.

Cockayne, B., Gates, M. P. (1967), *J. Mater. Sci. 2*, 118.

Corbett, J. W., Watkins, G. D. (1961), *J. Phys. Chem. Solids 20*, 319.

Craven, R. A. (1981), in: *Semiconductor Silicon 1981:* Huff, H. R., Kreigler, R. J., Takeishi, Y. (Eds.). Pennington, NJ: Electrochem. Soc., *PV81-5*, p. 254.

Crossman, L. D., Baker, J. A. (1977), in: *Semiconductor Silicon 1977:* Huff, H. R., Sirtl, E. (Eds.). Pennington, NJ: Electrochem. Soc., *PV77-2*, p. 18.

Czochralski, J. (1917), *Z. Phys. Chem. 92*, 219.

Dash, W. C. (1958), *J. Appl. Phys. 29*, 739.

Dash, W. C. (1959), *J. Appl. Phys. 30*, 459.

Dash, W. C. (1960), *J. Appl. Phys. 31*, 736.

Davies, G. (1989), in: *Proc. 15th Int. Conf. Defects in Semiconductors*, Budapest, Aug. 1988. *Mater. Sci. Forum 38–41 (1)*.

de Kock, A. R. J. (1983), *Proc. Symp. ESSDERC, Munich.* Pennington, NJ: Electrochem. Soc., *PV83-4*, p. 58.

Deslattes, R. D., Paretzkin, B. (1968), *J. Appl. Crystallogr. 1*, 176.

Dietl, J., Holm, C. (1986), *Electrochem. Soc. Extended Abstract No. 299, PV86-1*, 441.

Dietl, J., Helmreich, D., Sirtl, E. (1981), *Solar Silicon*, in: *Crystals: Growth, Properties, and Applications*, Vol. 5: Grabmeier, J. (Ed.). Berlin: Springer, p. 43.

Dosaj, V. D., Hunt, L. P., Schei, A. (1978), *J. Met. 30*, 8.

Dupret, F., Ryckmans, Y., Wouters, P., Crochet, M. J. (1986), *J. Cryst. Growth 79*, 84.

Ellis, W. C., Treuting, R. G. (1951), *J. Met. 191*, 53.

Freedland, P. E., Jackson, K. A., Lowe, C. W., Patel, J. R. (1977), *Appl. Phys. Lett. 30*, 31.

Gosele, U., Tan, T. Y. (1983), *Proc. Symp. ESSDERC*, Munich. Pennington, NJ: Electrochem. Soc., *PV83-4*, p. 17.

Ham, F. S. (1958), *J. Phys. Chem. Solids 6*, 335.

Healy, G. W. (1970), *Earth Miner. Sci. 39*, 46.

Herrmann, H. A., Herzer, H. (1975), *J. Electrochem. Soc. 122*, 1568.

Herrmann, H. A., Mücke, E. (1973), *2nd DFG Colloquium on Power Devices, Freiburg.*
Herzer, H. (1977), in: *Semiconductor Silicon 1977:* Huff, H. R., Sirtl, E. (Eds.). Pennington, NJ: Electrochem. Soc., *PV77-2*, p. 106.
Herzer, H. (1980), *Proc. 3rd Int. Conf. on NTD Silicon, Copenhagen.* New York: Plenum.
Hoffman, A., Reuschel, K., Rupprecht, J. (1959), *J. Phys. Chem. Solids 11*, 284.
Hoshi, K., Suzuki, T., Okubo, Y., Isawa, N. (1980), *Electrochem. Soc. Extended Abstr. No. 324, PV80-1*, 811.
Hoshikawa, K. (1982), *Jpn. J. Appl. Phys., Part 2, 21*, L545.
Hoshikawa, K., Kohda, H., Hirata, H. (1984), *Jpn. J. Appl. Phys. 23*, L37.
Hu, S. M. (1981), *J. Appl. Phys. 52*, 3974.
Huber, D., Reffle, J. (1983), *Solid State Technol. 26*, 137.
Hurle, D. J. T. (1967), in: *Crystal Growth:* Peiser, H. S. (Ed.). Supplement to: *J. Phys. Chem. Solids.* Oxford: Pergamon, p. 659.
Hurle, D. T. J., Jakeman, E., Johnson, C. P. (1974), *J. Fluid Mech. 64*, 565.
Inoue, N., Wada, K., Osaka, J. (1981), in: *Semiconductor Silicon 1981:* Huff, H. R., Kreigler, R. J., Takeishi, Y. (Eds.). Pennington, NJ: Electrochem. Soc., *PV81-5*, p. 282.
Jackson, K. A. (1990), Recent results, private communication.
Kaiser, W. (1957), *Phys. Rev. 105*, 1751.
Kaiser, W., Keck, P. H., Lange, C. F. (1956), *Phys. Rev. 101*, 1264.
Kaiser, W., Frisch, H. L., Reiss, H. (1958), *Phys. Rev. 112*, 5.
Keck, P. H., Golay, M. J. E. (1953), *Phys. Rev. 89*, 1297.
Keller, W. (1959), Patent DBP 1 148 525.
Kern, W., Puotinen, D. A. (1970), *RCA Rev. 31*, 187.
Kishino, S., Matsushita, Y., Kanamori, M. (1979), *Appl. Phys. Lett. 35*, 213.
Kobayashi, N. (1978), *J. Cryst. Growth 52*, 425.
Kobayashi, N., Arizumi, T. (1970), *Jpn. J. Appl. Phys. 9*, 361 and 1255.
Kobayashi, N., Wilcox, W. R. (1982), *J. Cryst. Growth 59*, 616.
Langlois, W. E. (1984), *J. Cryst. Growth 70*, 73.
Langlois, W. E. (1985), *Annu. Rev. Fluid Mech. 17*, 191.
Langlois, W. E., Shîr, C. C. (1977), *Comput. Methods Appl. Mech. Eng. 12*, 145.
Lark-Horowitz, K. (1951), *Proc. Conf. Semiconducting Materials*, Reading, U.K. London: Butterworth, p. 47.
Livingston, F. M., Messoralas, S., Newman, R. C., Pike, R. J., Stewart, R. J., Binns, M. J., Brown, W. P., Wilkes, J. G. (1984), *J. Phys. C: Solid State Phys. 17*, 6253.
Lyon, D. W., Olsen, C. M., Lewis, E. D. (1949), *J. Electrochem. Soc. 96*, 359.
Matsushita, Y. (1982), *J. Cryst. Growth 56*, 516.
Meese, J. M. (Ed.) (1978), *2nd Int. Conf. on NTD Silicon, Missouri, U.S.A.* New York: Plenum (29 Refs.).
Moody, J. W. (1986), *Proc. Semiconductor Silicon 1986:* Huff, H. R., Kolbesen, B. O., Abe, T. (Eds.). Pennington, NJ: Electrochem. Soc., *PV86-4*, 100.
Murgai, A., Patrick, W. J., Combronde, J., Felix, J. C. (1982), *IBM J. Res. Dev. 26*, 546.
Newman, R. C. (1973), *Infrared Studies of Crystal Defects.* London: Taylor and Francis.
Newman, R. C. (1988), *Mater. Res. Soc. Symp. Proc. 104*, 25.
Newman, R. C., Claybourn, M. (1988), *Inst. Phys. Conf. Ser. 95*, 211.
Newman, R. C., Binns, M. J., Brown, W. P., Livingston, F. M., Messorolas, S., Stewart, R. J., Wilkes, J. G. (1983a), *Physica B 116*, 264.
Newman, R. C., Tucker, J. H., Livingston, F. M. (1983b), *J. Phys. C: Solid State Phys. 16*, L 151.
Osaka, J., Inoue, N., Wada, K. (1980), *Appl. Phys. Lett. 36*, 288.
Pfann, W. G. (1952), *J. Met. 4*, 747.
Pfann, W. G. (1958), *Zone Melting.* New York: Wiley.
Robertson, D. S. (1966), *Br. J. Appl. Phys. 17*, 1047.
Rutter, J. W., Chalmers, B. (1953), *Can. J. Phys. 31*, 15.
Schlichting, H. (1968), *Boundary Layer Theory.* New York: McGraw-Hill, Chap. 12.
Shimura, F., Hockett, R. S., Reed, D. A., Wayne, D. H. (1985), *Appl. Phys. Lett. 47*, 794.
Showa Denko K. K. (1984), Patent Japan 5 930 711.
Steinbeck, H. H. (1980a), *Electrochem. Soc. Extended Abstracts, PV80-2*, 1325.
Steinbeck, H. H. (1980b), *Proc. 1st Eur. Symp. Materials and Processing*, Mountain View, CA, U.S.A. SEMI, p. 57.
Stimmel, J., Strathman, M., Wittmer, M. (Eds.) (1986), *Materials Issues in Silicon IC Processing Mater. Res. Soc. Symp. Proc. 71.*
Sundermeyer (1957), Patent.
Suzuki, T., Isawa, N., Okubo, Y., Hoshi, K. (1981), in: *Semiconductor Silicon 1981*, Huff, H. R., Kreigler, R. J., Takeishi, Y. (Eds.). Pennington, NJ: Electrochem. Soc., *PV81-5*, p. 90.
Tamura, M., Sunami, H. (1972), *Jpn. J. Appl. Phys. 11*, 1097.
Tan, T. Y., Gardner, E. E., Tice, W. K. (1977), *Appl. Phys. Lett. 30*, 175.
Tanenbaum, M., Mills, A. D. (1961), *J. Electrochem. Soc. 108*, 171.
Tanner, B. K. (1977), *X-Ray Diffraction Topography.* Oxford: Pergamon, p. 50.
Taylor, P. A. (1987), *Solid State Technol. 30, No. 7*, 53.
Taylor, P. A. (1988), *J. Cryst. Growth 89*, 28.
Teal, G. K., Buehler, E. (1952), *Phys. Rev. 87*, 190.
Theurer, H. C. (1952), Patent USP 3 060 123.
Theurer, H. C. (1956), *Trans. AIME 206*, 1316.
Thomas, D. J. D. (1963), *Phys. Status Solidi 3*, 2261.
Tokumaru, Y., Ohushi, H., Masui, T., Abe, T. (1982), *Jpn. J. Appl. Phys. 21*, 443.
Townley, D. O. (1973), *Solid State Technol. 16*, 43.
Wada, K. (1984), *Phys. Rev. B 30*, 5884.

Wada, K., Inoue, N. (1986), in: *Semiconductor Silicon 1986:* Huff, H. R., Kolbesen, B. O., Abe, T. (Eds.). Pennington, NJ: Electrochem. Soc., *PV86-4*, p. 778.
Walsh, R. J., Hertzog, A. H. (1963), Patent USP 3170273.
Wanatabe, M. (1991), *Solid State Technol. 34*, 69, 133.
Wilkes, J. G. (1959), *Proc. IEE 106 B, Supp.* 17, 866.
Wilkes, J. G. (1983), *J. Cryst. Growth 65*, 214.
Wilkes, J. G. (1988), *Trans.-Inst. Min. Metall. 97*, C 72.
Wilkes, J. G., Perkins, D. W. (1971–72), *DCVD Res. Rep. RP6-62.* London: Ministry of Defence.
Witt, A. F., Herman, C. J., Gatos, H. C. (1970), *J. Mater. Sci. 5*, 822.
Yamamoto, K., Kishino, S., Matsushi, Y., Iizuka, T. (1980), *Appl. Phys. Lett. 36*, 195.
Yang, K. H., Kappert, H. F., Schwuttke, G. H. (1978), *Phys. Status Solidi A 50*, 221.
Yatsurugi, Y., Akiyama, T., Endo, Y., Nozaki, T. (1973), *J. Electrochem. Soc. 120*, 985.
Yusa, A., Yatsurguri, Y., Takaishi, T. (1975), *J. Electrochem. Soc. 122*, 1700.
Zeigler, G. (1961), *Z. Naturforsch. 16 a*, 219.

一般阅读资料

Brice, J. C. (1973), *The Growth of Crystals from Liquids.* Amsterdam: North-Holland.
Einspruch, N. G., Huff, H. (1985), *VLSI Electronics*, Vol. 12: *Silicon Materials.* London: Academic.
Gupta, D. C. (Ed.) (1983, 1984), *Silicon Processing.* Technical Publications 804 and 850. Philadelphia, PA: ASTM.
Hurle, D. T. J. (1993), *Crystal Pulling from the Melt.* Heidelberg: Springer.
Mikkelsen, J. C., Corbett, J. W., Pearton, S. J., Penneycook, S. J. (Eds.) (1986), *Oxygen, Carbon, Hydrogen, and Nitrogen in Crystalline Silicon.* Mater. Res. Soc. Symp. Proc., Vol. 59. Pittsburgh, PA: Materials Research Society.
Ravi, K. V. (1981), *Imperfections and Impurities in Semiconductor Silicon.* New York: Wiley.
Stavola, M., Pearton, S. J., Davies, G. (Eds.) (1988), *Defects in Electronic Materials.* Mater. Res. Soc. Symp. Proc., Vol. 104. Pittsburgh, PA: Materials Research Society.
Sze, S. M. (Ed.) (1983), *VLSI Technology.* New York: McGraw-Hill.
Wolf, S., Tauber, R. N. (1986), *Silicon Processing for the VLSI Era*, Vol. 1: *Process Technology.* Sunset Beach, CA: Lattice Press.

Crystals: Growth, Properties, and Applications, Vols. 1–10. Vol. 5: Freyhard, H. C. (Ed.) (1981) for FZ Si. Vol. 7: Grabmaier, J. (Ed.) (1982) for CZ Si. Berlin: Springer.
Semiconductor Silicon. This series of symposia organized by the Electrochemical Society reflects the whole development of silicon materials technology and provide a very important reference and reading resource: 1969 New York; 1973 Chicago; 1977 Philadelphia; 1981 Minneapolis; 1986 Boston; 1990 Montreal. The proceedings are published by the Electrochemical Society, Pennington, NJ.

2 化合物半导体工艺

J. Brian Mullin
Electronic Materials Consultancy, Malvern, Worcestershire, U. K.
(邓志杰 钱嘉裕 郑安生 译 万 群 校)

目录

符号与缩语表

C_S, C_L, C_I	分别表示固体中、液体中、界面处的溶质或掺杂剂浓度
d	对流气体的体积深度
D	扩散系数
G	温度梯度
h, k, l	密勒指数
H_f	熔化潜热
k	掺杂剂的分布系数
k_0	掺杂剂的平衡分布系数
K_0	热扩散率
m	液相线梯度
p	气体压强
P_G, P_d	气体压强,组元的离解蒸气压强
R_a	瑞利数
T	温度
v	生长速度
δ	边界层厚度,BPS 模型参数
θ	角
ν_0	运动学粘滞度
ρ_S	晶体密度
σ	热导率
ϕ_L, ϕ_S, ϕ_G	界面能
ω	角旋转速度
ACRT	加速坩埚旋转技术
BPS	Burton,Prim 和 Slichter

CRA	铸锭再结晶退火
HG	水平生长
LEC	液体覆盖 czochralski(技术)
LPE	液相外延
MBE	分子束外延
MCT	碲镉汞
MOVPE	金属有机物气相外延
PBN	热解氮化硼
PPba	十亿分之一(10^{-9})原子份数
ppm	百万分之一(10^{-6})
QA	淬火退火
RF	射频
SI	半绝缘
TGZM	温度梯度区熔
THM	移动加热器法
VGF	垂直梯度凝固(技术)
VP	垂直拉制

• p. 66 •

2.1 引　论

本章评述了化合物半导体及其合金制备、加工的一般原理和实践，即其提纯、单晶制备及晶片加工，以满足外延生长的需要的方法。

化合物或合金半导体材料的范围很广，覆盖了整个周期表，包括有Ⅳ-Ⅳ，Ⅱ-Ⅳ，Ⅰ-Ⅴ，Ⅱ-Ⅴ，Ⅲ-Ⅴ，Ⅰ-Ⅵ，Ⅱ-Ⅵ，Ⅲ-Ⅵ，Ⅳ-Ⅵ，Ⅴ-Ⅵ，Ⅰ-Ⅲ-Ⅵ，Ⅰ-Ⅳ-Ⅵ，Ⅰ-Ⅴ-Ⅵ，Ⅱ-Ⅵ和Ⅱ-Ⅲ-Ⅴ化合物。然而，与Ge，Si比较起来，目前这些化合物绝大多数还不成熟，因为欲把它们制备成高质量半导体需花费巨额费用。实际上，得到商业应用的化合物只是某些Ⅲ-Ⅴ和Ⅱ-Ⅵ族半导体。本章主要介绍这两类材料。

欲将半导体加工成适于器件应用的形式，应对实际工艺及其科学原理有较深入的理解。本章即涉及到工艺及科学两方面的内容。重要的是，应注意到工艺与半导体加工科学原理不同，由于器件种类增加而提出越来越多的参数需求，使工艺处于不断发展中。

2.2 历史背景

在促进半导体材料加工科学和工艺研究方面最重要的事件恐怕是Brattain和Bardeen(1948)发现了Ge的晶体管功能；这一发现是受Shockley(1949)预言启发。从此，探索新半导体引起了国际上的普遍重视。虽然上世纪末人们就知道了Ⅱ-Ⅵ族化合物，但只是在晶体管发现后不久，德国的Welker(1952，1953)和他的同事们的关于Ⅲ-Ⅴ族化合物的工作才是化合物半导体加工工艺研究的真正开端。

我们有关半导体工艺的知识(Mullin，1975，a，b；1989；Thomas 等，1993)实际上是关于半导体和固态各方面的知识，都植根于50年代对Ge的研究。在其早期工作中，对半导体两个最重要的要求是：高纯度和制成单晶。

第一个要求导致新的提纯方法问世，并发展了一个重要的概念，即半导体级的纯度概念；对杂质含量之低的规定是前所未有的一电活性杂质的含量要小于十亿分之几原子比(PPba)。第二个要求促进了生长无缺陷(包括位错)完整单晶的新工艺的发展。

旨在满足半导体纯度和晶体完整性的材料研究最前沿的工作是晶体生长科学及工艺开发。在不到十年时间内，广泛深入的研究开发，使Ge的熔体生长由“技艺”发展到科学。

• p. 67 •

致于说化合物半导体，较易制备的材料，如InSb，沿着Ge发展的路程10年之内达到了很高水平：单晶载流子浓度小于$10^{13}/cm^3$(1PPba相当于2.9×10^{13}原子$/cm^3$)。而对难于制备的化合物，如GaAs，InP和GaP，其工艺研究经历了30多年且仍处于发展阶段。对更难制备的材料，像ZnSe，尚未发明出能重复制得较高质量单晶材料的熔体生长工艺，尽管这方面取得了某些可喜的进展(Rudolph 等，1994)。获得具有半导体质量ZnSe的最早方法是气相生长工艺(Cantell 等，1992)。

Ge工艺发展的关键是新的熔体生长工艺；在这方面作出突出贡献的是Pfann(1966)关于区域熔化和Teal(1958)关于垂直法拉制单晶的工作。

Pfann(1966)首先提出了区域熔化的概念。这个普通术语概括了一系列有关水平法结晶工艺,其中最简单的是单一区域凝固——盛放熔体的水平舟由一端逐渐凝固。发展的另一些方法包括移动液态熔区、使之通过固态锭;尤其是发展了两个特别有用的工艺——区域匀平和区熔精炼(见 2.3.2 节)。

区域匀平首先用于 Ge,是成功生产均匀掺杂单晶材料的结晶工艺。其要点是:固态锭中形成一个液态(熔)区,熔区沿锭条向一个方向移动;为得到理想的均匀材料,其后还要向相反方向移动。熔区中有恒定的杂质浓度,为固态中的 $1/k$ 倍,k 为杂质的分布系数,其定义为:$k=C_S/C_L$;C_S,C_L 分别为掺杂剂在固态和液态中的浓度。这一工序使固态中掺杂剂浓度"匀平"了。因此,正在熔化的固态中掺杂剂浓度与正结晶的固态中的浓度是相同的。

水平工艺不仅用于区域匀平和通过区熔精炼进行提纯,还发展到用于生长单晶。它是在多晶锭的一端放置单晶籽晶,熔区回熔一点籽晶;随着熔区沿锭条移动,沿籽晶结晶的固体,其晶向与籽晶相同而成为单晶。

单晶生长除 HG 法外,Teal(1958)在用 VP 法由熔体生长单晶方面作了开创性工作。VP 起源于 Czochralski 工艺。Czochralski(1917)设计了一个装置,将一细棒(类似于籽晶)浸入金属熔体,然后由熔体拉出,被拉出的液体进行结晶,得到部分金属单晶。当然,它与现代单晶拉制工艺有重大区别。

· p. 68 ·

现代拉晶工艺(Teal 1958)是 50 年代和 60 年代早期 Bell 实验室在半导体研究初期阶段发展起来的。最重要的革新是使拉杆旋转,单晶籽晶固定在拉杆下端的夹头上,拉杆可按设定的速度上升下降。在拉制过程中,熔体在籽晶上核化成晶体;晶体直径则通过调节加热熔体的功率来控制,这一工艺思想对半导体单晶制备有重大意义。

关于晶体拉制的理论研究对其工艺的发展有重大影响。Burton,Prim 和 Slichter (BPS)(Burton 等,1953)的关于晶体生长过程中溶质分布的理论极为重要。他们利用 von Kármán(1921)和 Cochran(1934)所提出的概念,建立了临近旋转着的结晶表面熔体中溶质输运模型。BPS 认为:垂直于"圆盘"的液流作为晶体生长参数的函数,能定量估算出从界面到熔体内溶质分布。BPS 模型促进了研究工作发展,并为我们深入理解熔体生长科学奠定了良好基础。

作为一个实例,将它用于模拟晶体拉制过程中重掺杂问题,预言了组分过冷理论(Hurle,1961;见 2.7.4 节)。该理论直接关系到化合物半导体由非化学计量熔体的结晶问题;其中,组分过冷很容易发生并成为影响晶体质量的一个主要因素。

掺杂剂或杂质非均匀并入的起因对理解晶体生长机理至关重要。生长过程中的小面效应(Hulme 和 Mullin,1959)和掺杂剂的各向异性分凝(Mullin,1962)的发现有着特殊意义。常常观察到杂质条纹也是个重要问题。旋转着的晶体所引起的生长速率的变化,使晶体旋转产生周期性杂质并入,这一点将在 2.7.5 节进一步论述。

关于水平生长(HG)的科学理论明显落后于垂直拉制(VP)方面。对 HG 而言,关于熔区中的对流问题还没有成熟的理论。与均匀掺杂不同,不能对掺杂进行瞬时控制,而在 VP 中是可能作到的。VP 技术已成为研究熔体生长科学的有力工具。

从历史的观点来看,结合 Si,Ge 的科学理论和工艺,回顾 HG 法和 VP 法的发展及其

作用是有指导意义的。Ge的水平生长，包括用区熔精炼进行提纯、用区域熔化进行掺杂单晶的生长，逐渐成为低成本的晶体生长方法并代替了VP工艺。然而，Ge的半导体应用很快被Si所取代，Ge只用于某些特殊场合，比如生长大直径单晶制作探测器，而这是用VP法完成的。

有趣的是，为研究Ge发展起来的VP工艺，为Si单晶生长打下了基础。Si以其优异的器件性能而成为主要的半导体材料，过去--直并将继续对半导体工艺的各方面产生深远的影响。Si的VP技术经不断改进和发展，仍然是Si单晶工业生产的主要技术。同时，Si的悬浮区熔技术也很重要。悬浮区熔的要点是液态熔区沿Si棒移动但不与容器接触。这样的区熔精炼可以得到非常高纯的单晶硅而满足工业上某些重要应用。同时，化合物半导体的某些独特性能也促进了半导体工艺的发展。

• p. 69 •

无疑，我们的在半导体工艺方面知识的急剧扩展和深入，主要是由于Ge的处理比较容易，尤其是熔融Ge易于在石英容器内盛放和结晶，而来自石英的沾污则可忽略。Si工艺在许多方面与Ge不同，它与SiO_2起反应因而不能在石英舟中结晶，还要采取特殊措施防止它形成粘着性氧化物。因而，VP和非接触性的悬浮区熔工艺的重要性就显而易见。

工艺技术总是在不断发展的。对Si也可进行水平区熔精炼(Hukin，1989)，它采用水冷却的铜舟，RF加热形成熔区且使熔区悬浮不与舟接触，用这一方法可以生产长2m、截面积125cm^2的太阳电池级Si。

Ⅲ-Ⅴ和Ⅱ-Ⅵ族化合物又有与Si不同的问题。锑化物与Ge类似，但砷化物、磷化物、碲化物和硒化物则在其熔点附近温度下发生离解，使其某一组元损耗。这样就发展了闭管工艺，以防蒸气损耗，它也促进了新工艺的发展，如液体覆盖法及近来的垂直梯度凝固(VGF)法以解决化合物的离解问题。

由于熔点时有相当高的蒸气压给化合物的处理带来了很多困难。近30多年来，这方面工艺进展不快。此外，熔点时，化合物中点缺陷浓度也相当高，达$10^{19}cm^{-3}$，这又导致缺陷延伸传播；还有掺杂不均匀性以及一系列在Ge，Si中没有发现的问题。继续发展加工工艺所面临的任务就是理解和控制这些问题。

2.3 提　纯

为把原材料制成符合器件质量的化合物半导体，在理论和工艺研究方面付出了巨大代价。研究开发方面的努力集中在提纯和晶体生长两方面，其结果是目前只有几种比较成熟的化合物半导体；它们是InSb，GaAs，InP，GaP，CdTe及其与HgTe有关的合金。绝大多数Ⅱ-Ⅵ族化合物还不能制成高质量单晶片。下面将讨论为制备高纯半导体化合物所需要的提纯工艺的基本问题。

2.3.1 提纯的一般程序

• p. 70 •

半导体化合物的提纯可方便地分为两个步骤：组成元素的提纯和化合物的提纯。从历史上看，对元素的提纯，通常的化学提纯法比区熔精炼应用更广。在Willardson和Goering

关于Ⅲ-Ⅴ族化合物一书(1962)的早期综述中可以了解这一点。Ⅲ族金属及磷、砷的区熔精炼就没有明显的提纯效果。它与这一事实有关:区熔精炼是一种增加附加成本的批次性加工方法,它的利用总有些问题,尤其像In,Ga这样的元素,它们熔点低,易于形成合金,对Ga而言又有过冷倾向。

区熔精炼对一般Ⅲ,Ⅴ族元素提纯不很实用,但对Ⅱ,Ⅵ族元素很有效。例如,用于超纯Cd、超纯Te的生产。这是靠军工投资发展起来的,因为制备HgCdTe红外探测器要用这些超纯元素,它要求的纯度极高——电活性杂质含量要小于十亿分之一。

很明显,区熔精炼对强键合材料非常有效。这种材料能很好地结晶,其中杂质溶解度也低。这些原则可有针对性地应用于化合物本身。许多化合物可以进行区熔精炼,但绝大多数化合物有其自身特殊性,需要特殊工艺。以后将对一些重要化合物进行专题论述。

2.3.2 区熔精炼及有关技术

区熔精炼——一个液态区或几个熔区通过锭条移动,是提纯Ge最重要、最有效的方法。在固态中溶解较少或在液态中溶解较多的杂质($k_0<1$)沿结晶方向移向锭条的终端(最后凝固端),而对$k_0>1$的杂质,则移向锭条的起始端。只要各种杂质的分布系数[1] k_0不接近于1——Ge满足这一条件,很少几次区熔即可使锭条达到半导体纯度。这是一个不寻常的结果。*

由图2-1可以看出区熔精炼的有效性,图中给出了具有不同分布系数的杂质的理论上的极限分布,显示出其纯度有几个数量级的提高。当然,这些结果只是理论指导性的,因为固态扩散和蒸气输运会减小杂质排除的有效性。

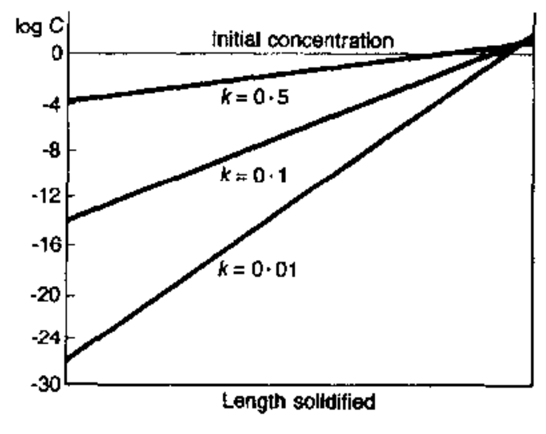


图2-1 经多次区熔精炼后,有着不同分布系数(k)的掺杂剂的理论上的极限分布。熔区长度为锭长的1/10。假定,掺杂剂不从最后一个熔区长度的凝固中返流。这些结果强调了区熔精炼的潜在意义(见Pfann,1996)

2.3.3 专门化合物的提纯问题

欲使化合物达到半导体纯度,按通常的区熔精炼或化学提纯方法往往不能奏效。这里有些不可避免的问题,诸如某些难以除去的剩余杂质或某种沾污渠道,因而要想最终达到半导体纯度还需要专门的提纯方法。

·p.71·

本节将考虑使一些重要化合物半导体达到半导体纯度的提纯工艺问题。应当强调指出,使化合物达到半导体纯度是很需要的,并常常要付出高昂的代价,这一点常常被低估了。提纯和防止沾污始终是使化合物获得半导体性能的一项主要任务。例如,对许多Ⅱ-Ⅵ族化合物,杂质的存在是妨碍其发展的主要障碍。

---

1) 溶质(掺杂剂、杂质或过剩组元)的平衡分布系数k,是它在固相中浓度C_S与在液相中浓度C_l之比,如果两相接触所保持时间足够长,以致达到平衡的话。

2.3.3.1 InSb 和 GaSb

锑化铟(Hulme 和 Mullin,1962)多年来在研究开发方面比锑化镓受到更多的关注,主要原因在于它的器件应用。例如,它是重要的红外探测器材料,很适合于制作 3—5μm 波段的探测器。

InSb 熔点低,525℃,其熔体上方 Sb 的蒸气压可忽略不计。这使它成为通常区熔精炼的理想对象。但是,由于存在某些"麻烦"的杂质,尤其是 Zn 和 Te,使直接区熔精炼的作用受到限制。Zn,Te 不仅各向异性分凝(Mullin,1962),而且对于 Te,其有效分布系数 k_{eff}(见 2.7.5 节)可从~0.5(非[111]方向生长时)变化到~4.0[在(111)小面生长时]。所以 Te 在多晶材料中的 k_{eff} 是上述数值的某种加权平均值,即接近于 1。Zn 的 k_{eff} 值为~2.3 至~3.0,且它在 InSb 熔点时有挥发性,使得锭条上方 Zn 蒸气输运影响了区熔精炼的效果。

这一问题正好利用 Zn 的挥发性加以解决,即经过蒸发和区熔精炼两个阶段。为形成化学计量 InSb,应向高纯 In(盛于舟内,舟装在经改进的区熔精炼装置中)中加入经区熔精炼的过量 Sb,并在真空下熔化。Zn 和 Sb 从熔料蒸发并冷凝在外管经冷却的上表面。过剩 Sb 包封了少量的更具挥发性的 Zn。

经过一定时间,过剩 Sb 挥发了,锭条冷却并凝固。然后在 H_2 气氛中进行区熔精炼,此时 Sb 的挥发损失可以忽略。这一提纯工艺重复性很好,可生产出极高纯 InSb,大部分锭条(60%左右)的载流子浓度小于 $1\times10^{14}cm^{-3}$。

·p.72·

尚未按此法对 GaSb 进行深入研究,但亦可进行区熔精炼。它的剩余空穴浓度达 $2\times10^{16}cm^{-3}$,使对它的进一步提纯受到限制,这是由其能带结构的基本特征决定的。

2.3.3.2 InAs 和 GaAs

InAs 和 GaAs 的工艺出现了另外的问题,熔点时,As 的离解压分别为~0.3 和~1.0atm[1)]。尽管用通常的热壁工艺对 GaAs 作了大量研究开发工作,但用区熔精炼法不能将 GaAs 提纯到使其净施主浓度在 $10^{16}\sim10^{17}cm^{-3}$以下。Hicks 和 Greene(1971)证明了这一点,并说明是由于 GaAs 熔体中的 Ga 和石英容器之间的反应所引起的沾污,相当恒定数量的 Si(约 1ppm)并入锭条中,其反应式是:

$$4Ga(液) + SiO_2(固) = 2Ga_2O(气) + Si(溶解) \qquad (2\text{-}1)$$

用 BN 或石墨舟可以解决这一问题。不过现在已用高纯 Ga,As 原位合成法代替区熔精炼。用化学提纯方法可以制备出极高纯的 Ga 和 As(见 2.6.2 节)。

2.3.3.3 InP 和 GaP

这两种化合物在其熔点时蒸气压很高,分别为 27atm(InP)和 32atm(GaP),难以用区熔精炼法进行提纯,且有易燃、易爆的危险。但可以用石英或 BN 舟在水平系统中使蒸发的 P_4 与熔融Ⅲ族元素化合面制备这两种化合物。靠限制蒸发的Ⅴ族元素的量使按化学计量比Ⅲ族元素过量,降低工作蒸气压。在这种条件下结晶还有另外的优点:富Ⅲ族元素液体中杂质的提纯效果比化学计量熔体中杂质的提纯效果好得多;其缺点是,它是在组分过

1) 原文如此,全章中凡涉及压强单位,均使用 atm。——译者注

冷条件下结晶的，固体中易捕获杂质含量高的Ⅱ族元素。

现在更常用的方法是用较纯的原材料(元素)由化学计量熔体合成化合物。但还要求进一步提纯。可用液体覆盖技术对多晶原料预拉制，能得到载流子浓度$10^{15}cm^{-3}$的InP。GaP也可用类似方法进行提纯。目前商业上对GaP的要求不像InP那么严格，因为它是以掺杂材料来使用的，或用作衬底(在它上面生长有源层)。对发展这两种化合物进一步提纯的方法有明确的目标。

2.3.3.4 Ⅱ-Ⅵ族化合物

• p. 73 •

Ⅱ-Ⅵ族化合物发展水平明显落后于Ⅲ-Ⅴ族化合物，尽管它们历史更悠久。许多Ⅱ-Ⅵ族化合物，尤其是较大带隙的氧化物、硫化物、硒化物，还不能用熔体生长工艺制备。因此主要是用气相生长工艺来生长这些难以制备的化合物。我们用气相生长作为提纯工艺的知识还是原始的，不是与区熔精炼相当的方法。人们更倾向于使用高纯元素，它们可以用区熔精炼或化学方法进行提纯。

$Hg_{1-x}Cd_xTe$是很成熟的红外探测器材料，其组成元素Hg，Cd，Te可用多次区熔精炼(Cd和Te)和蒸馏法(Hg)达到极高纯度。这些元素的化合物可通过原位直接化合而制得。其它大多数元素，像Zn，S，Se，可以达到通常的高纯度，但不如探测器材料那么纯，也不能形成很纯的半导体化合物。

区熔精炼对Ⅱ-Ⅵ族化合物不能奏效，因为Ⅱ族、Ⅵ族元素及化合物本身都有挥发性。所以通常的区熔精炼很少用于这些化合物。一种与区熔精炼有关的方法，移动加热器法(THM)，或有时叫移动溶剂法，可用于Ⅱ-Ⅵ族化合物的提纯。在一般移动加热器法中，熔区通过锭条移动如像区熔精炼中那样。此时，熔区含有Te或Se的溶剂，这样，化合物在熔区的起始端溶解而在尾端结晶。

这有两个优点。首先，它的结晶温度明显低于熔点从而大大降低了化合物组分的蒸气压，解决了蒸发问题。其次，它使用富Ⅵ族溶液，杂质在其中易于溶解，从而为结晶出非常高纯的化合物创造了条件。因为生长温度降低又能消除亚晶粒间界。但是这一技术还不能生长出大而完整的单晶。Triboulet(1994)和CRNS[1)]Bellevue研究组专门用此工艺制备和提纯$Hg_{1-x}Cd_xTe$，$Hg_{1-x}Zn_xTe$，CdTe，HgTe和ZnTe及CdMnTe。对ZnSe及其各种化合物的合金的制备与提纯也有明确的方法。*

这一工艺潜在缺点是，它是在组分过冷条件下结晶的，易造成溶剂夹杂而产生富Ⅵ族元素连同杂质沉淀。设法使温度梯度及组分过冷梯度最佳化(见2.7.4节)可以避免溶剂俘获的有害影响。

2.4 熔体生长在技术上的限制

• p. 74 •

用熔体生长工艺对化合物进行提纯和晶体生长远比Ge困难。这是由于材料性质带

1) CRNS法国国家科学研究中心。——译者注

来的制约，一些重要性质对熔体生长和相关工艺的限制因素列于表 2-1。考虑到材料的各种性质(化学活性、熔点、蒸气压、临界分解剪切应力和离子性)对理解某种专门工艺是否适用于该种材料是很重要的。

2.4.1 化学活性

化学活性对所有加工过程都是重要的制约因素，虽然表 2-1 中未予列出。其主要问题是熔融半导体与容器或环境气氛之间的反应。对化合物半导体熔体而言，容器材料是沾污的主要来源。

表 2-1 主要半导体的材料性质

化合物	熔点(℃)	熔点时蒸气压(atm)	熔点时的 CRSS(MPa)*	参考文献
InSb	525	4×10^{-8}		Muller 和 Jacob(1984)
GaSb	712	1×10^{-6}		Muller 和 Jacob(1984)
InAs	943	0.33		Van der Boomgaard 和 Schol(1957)
GaAs	1238	1.0	0.7	Arthur(1967);Thomas 等(1990)
InP	1062	27.5	0.36	Bachmann 和 Bühler(1974); Thomas 等(1990)
GaP	1465	32		Nygren 等(1971)
HgSe	799			Mayer(1984)
HgTe	670	12.5		Harman(1967);Strauss(1971)
CdSe	1239	0.3		Bassam 等(1994);Lorenz(1967)
CdTe	1092	0.65	0.2	Isshiki(1992);Strauss(1971) Balasubramanian 和 Wilcox(1992)
ZnSe	1526	0.5		Isshiki(1992);Lorenz(1967)
ZnTe	1300	0.6		Isshiki(1992);Lorenz(1967)
Ge	960		0.70	Thomas 等(1990)
Si	1420		1.85	Thomas 等(1990)

* CRSS:临界分解剪切应力。

透明石英是广泛用作坩埚或舟材料，对熔点较低的材料，如 Ge(937℃)，InSb(525℃)，GaSb(712℃)，石英是稳定的。但对熔点较高的材料，由于 SiO_2 被熔体还原，一般都产生 Si 沾污，比如 GaAs(1238℃)结晶材料中 Si 的浓度在 1ppm 以上。利用热解 BN(PBN)舟可以解决这一问题。由于它也是Ⅲ-Ⅴ族化合物，因而很适合于这种场合应用，不致引入电活性杂质沾污，但它的价格比较高。

• p.75 •

也可以用石墨，它在惰性气氛中是稳定的，也不会因沾污熔体而引入电活性杂质。石墨在高温下同石英起反应，但在较低温度下(<900℃)它是很有用的材料，常用作液相外延(LPE)的滑动舟材料和制备Ⅱ-Ⅵ族化合物的舟材料。碳在 GaAs 中作为受主是电活性的。在富 Ga 生长条件下，通过 CO 而引入到 As 空位上，因此除去 O_2 和 H_2O 是非常重要的。石墨中另一些潜在的沾污源是杂质，如 S 等。这些杂质可通过真空下高温(>1500℃)热处理去除。石墨虽然很有用，但各厂家产品质量不尽一致，使用时要加小心。

环境气氛也是一个重要因素。在真空中加工是可能的，但要考虑Ⅴ，Ⅱ，Ⅵ族元素的挥发性，下面将要讨论这一点。所有熔体和化合物都是易于氧化的，因而必须从原材料和环境气氛中排除一切氧源，比如 O_2，H_2O。氢或含氢气体是很好的还原剂，在一定温度下很

易于去除 O_2。氢能通过反应形成有毒的氢化物，因此在使用纯氢或氢氮混和气体时务必格外小心，以防泄漏。纯惰性气体，如 N_2，Ar[1]，He，是比较安全的而常被使用。*

2.4.2 熔点

熔点影响坩埚材料的选择和化学反应的程度。大约 1000℃以上辐射场可控制热场分布这就出现(热场)的设计问题，需使用防辐射罩。在 1100—1200 C以上，石英开始软化，这时须用另外的材料如石墨来加以支撑。

2.4.3 蒸气压

蒸气压恐怕是影响熔体生长工艺最关键的参数。GaAs，InP 和 GaP 工艺开发长期滞后，部分原因是熔点时 V 族组元的蒸气压问题。这些材料熔体中，V 族组元很快损耗，除非熔体上方有 V 族元素，其蒸气压不小于熔体上方的平衡蒸气压。为解决这一问题，出现了两类工艺：热壁法和液体覆盖法(见 2.5 节)。

2.5 晶体生长

化合物半导体单晶生长的主要工艺可方便地分为四类：水平生长、垂直生长、晶体拉制和液体覆盖 Czochralski(LEC)拉制。这种分类考虑了各个生长过程的物理因素。但要注意，每种工艺都有与其它工艺不同的结晶条件，它影响到各个 Ⅲ-Ⅴ 族化合物生长效率和材料质量。一些因素，如是否易于引晶、晶体外形、孪生、容器限制对生长的影响、温度梯度、观察生长过程的清晰度、生产成本、是否易于实现自动化等，对特定工艺的选择都很关键。

这些工艺对各种化合物的适用性列于表 2-2。它随着时间的推移和经验的积累是在

表 2-2 生长技术的适用性[a]

技术 / 化合物	区熔，水平 Bridgman	VGF，垂直 Bridgman	一般垂直拉制	液体覆盖拉制	气相生长
InSb	* * *	P	* * *		P
GaSb	* * *	P	* * *		P
InAs	* * *	P		* * *	P
GaAs	* * *	C* * * : L* * *		* * *	P
InP	*	C* : L* *		* * *	P
GaP	*	C* : L* *		* * *	P
HgSe		* *			P
HgTe		* * *			P
CdSe	*	* *			* * *
CdTe	* * *	* * *			* * *
ZnSe		* *			* * *
ZnTe		* *			* * *
HgS					* * *
ZnS					* * *
CdS					* * *

a * 号越多，适用性越强。P：潜在的可能应用；C：通常的 VGF；L：LEC VGF。

1) 原文为 A，显然系 Ar 之误。——译者注

不断发展的。为满足某方面的特殊应用，它们得到了完善并仍在进行研究和商业开发。如何将这些工艺用于专门化合物的生长将在以后各节中介绍。

· p. 76 ·

2.5.1 水平生长

此处所说水平生长(HG)包括所有的水平结晶方法，也代表了 Pfann(1966)所描述的区域熔化工艺。图 2-2 示出了一种典型的水平生长装置。将在 2.6.2 节中详细讨论它与 GaAs 生长的关系。通过控制舟中熔融半导体锭条的凝固进行单晶生长。锭条的成晶是靠"自引晶"(self-seeding)或用单晶籽晶(生长开始时与熔体相接触)引晶而达到的。这一技术常常称作水平 Bridgman 技术，此时锭条相对于炉子移动成晶。这样做的好处是对锭条和结晶过程的机械扰动都很小。

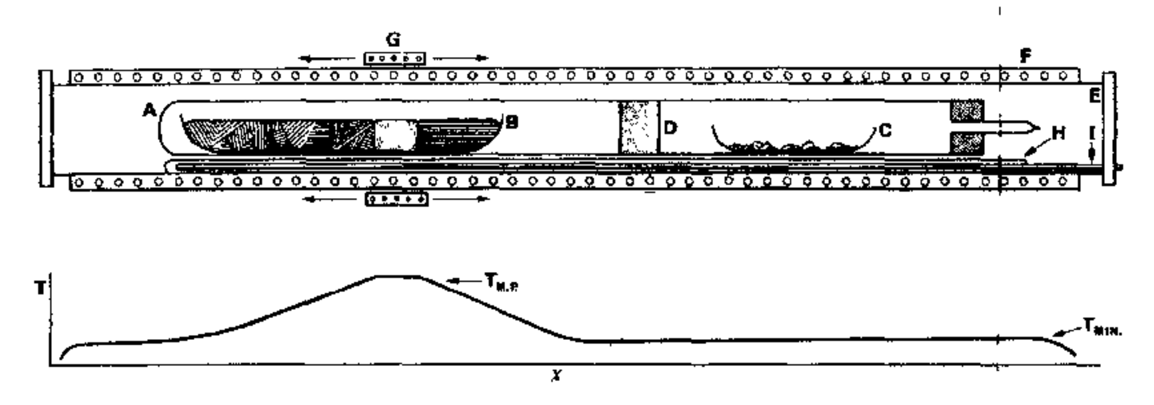


图 2-2 用于Ⅲ-Ⅴ族化合物制备和区熔的常规水平生长装置示意图。锭条置于舟 B 内并密封在管 A 中。舟 C 中盛放挥发性组元，它升华到 A 中盛放的Ⅲ族元素内形成化合物。D 是防止对流的障板。E 是热偶 H 的支承管。F 是多段炉，G 是可移动的加热器用以形成熔区并使熔区移动

为了生长化合物半导体，必须精确控制热分布，因此大型炉子移动不大合适。一般采用把功率控制与相互独立的小加热器结合起来的办法进行单晶生长。炉子由多个可单独控制的绕组组成，以得到原来须使炉子移动所形成的热分布。

· p. 77 ·

HG 装置的吸引力在于它比较简单且易于实现自动化。它较适合于熔点在～1250℃以下、熔点时蒸气压不超过一个大气压并可在透明石英管中进行生长的化合物。它可在同一装置中由元素合成化合物锭条，并对其进行区熔精炼。也可把锭条生长成单晶甚至区熔精炼为单晶而无须从装置中取出。在垂直压力拉晶系统中，也可以由元素原位合成化合物(见 2.6.2 节)，但不能像在水平系统中那样进行区熔精炼。而如果元素纯度不够高的话，这一工序是需要的。

HG 技术的一个重要优点是易于在固液界面形成低的温度梯度；而直拉工艺中则与此相反，需温度梯度相当高，以保持好对晶体形状的控制。低温度梯度对尽可能减小应力(它会在晶体中感生滑移)从而降低位错密度非常重要。用 HG 法就可以生长出低位错密度的材料，其位错密度可减少到～10^2 位错/cm^2，为一般 LEC 法生长材料中的 1/100 以下。这对于用 GaAs 制作激光二极管来说非常重要，因为往往单个位错就可使器件失效。

水平工艺的缺点有两方面：属于科学基础的本性方面有组分过冷或应力问题。属于与

制备工艺相关的问题是生长方向、沾污以及晶体外形等。对组分过冷还缺乏广泛的认识。蒸气压控制不当使熔体偏离化学计量比就容易产生组分过冷；尤其在低温度梯度下生长这一问题更为突出。2.7.4 节将对此进行分析。

• p. 78 •

最大的问题是熔体和生长的晶体与舟的接触。长时间接触同舟起反应成了杂质沾污源。Si 是 GaAs 中主要杂质。对熔点较高的化合物来说，杂质通过石英扩散也导致晶体沾污。

来自容器壁的杂散成核可造成孪生、晶界，甚至常常生成多晶。在限定形状容器内结晶，如Ⅲ-Ⅴ族化合物在凝固时膨胀，一旦有的地方粘连，则不可避免地产生应力、滑移和位错。为尽可能减少这一问题的影响，要使用非封闭形状的舟，并使其内表面成为非浸润的。

上述这些缺点是定性而非绝对的，是由其工艺的应变性和多功能性所决定的。因此，在一些情况下，这些缺点并不很重要。例如，生长低阻 GaAs，特别是生长经切片后制作小面积分立器件（如激光二极管）的材料。但对生长集成电路用材料（此时大面积均匀性至关重要）HG 工艺就不大适用了。实际上，HG 锭条截面是 D 形的，这就使它不适合集成电路应用[1]。另外，生长大截面单晶锭有相当困难。

2.5.2 垂直生长

用 Stockbarger 或垂直 Bridgman 技术在垂直容器中曾用于生长高纯光学单晶材料（如 CaF_2）。最近几年这一工艺经完善和发展为垂直梯度凝固工艺用来生长 GaAs，InP 和 GaP（Gault 等 1986；Clemens 等，1986；Bourret 1990）。

近年来将 VGF 技术应用于生长 GaAs 是为了适应集成电路工艺需要、低成本生产均匀性好的晶片。要求圆片有精确的几何尺寸和良好的电学均匀性。按说，在垂直刚性容器内结晶会由于液态 GaAs 在凝固时膨胀而产生较大应力，但实际上它不是突出问题。

生长过程相当简单，如图 2-3(a,b)所示。Gault 等(1986)发展了早期有关研究工作（见 Bourret 的评述，1990），报道了用 VGF 生长大直径 GaP，InP 和 GaAs，不用 B_2O_3 覆盖。这类装置示于图 2-3(a)。但欲以好的重复性生长 GaAs 需在 BN 坩埚中用 B_2O_3 覆盖（Bourret，1990）如图 2-3(b)所示。B_2O_3（现更常用于 InP）不仅是有效的覆盖剂，使系统更简单、更安全，而且可使 GaAs 熔体与容器壁不浸润从而减小了孪生几率。

垂直梯度凝固技术要求盛于管状垂直容器中的熔融材料由底部向上可控凝固。这一凝固过程最好不要通过炉子相对于反应管移动来完成，而是利用由各个独立可控加热元件组成的炉子来完成。调整加热元件功率以控制所需热分布使固液界面平缓上升来实现锭条结晶。

这一技术提供了两个重要的生长条件。它很自然地有着低的温度梯度，这有利于降低位错密度。第二是可以生长出符合所要求的直径、具有良好外形的锭条。如果生长界面平

---

1) D 形片可以加工成圆片，仅此一点说它不适合集成电路应用似不严密，实际上其主要原因是 HG 法难以生长出高纯非掺杂半绝缘 GaAs 单晶。——译者注

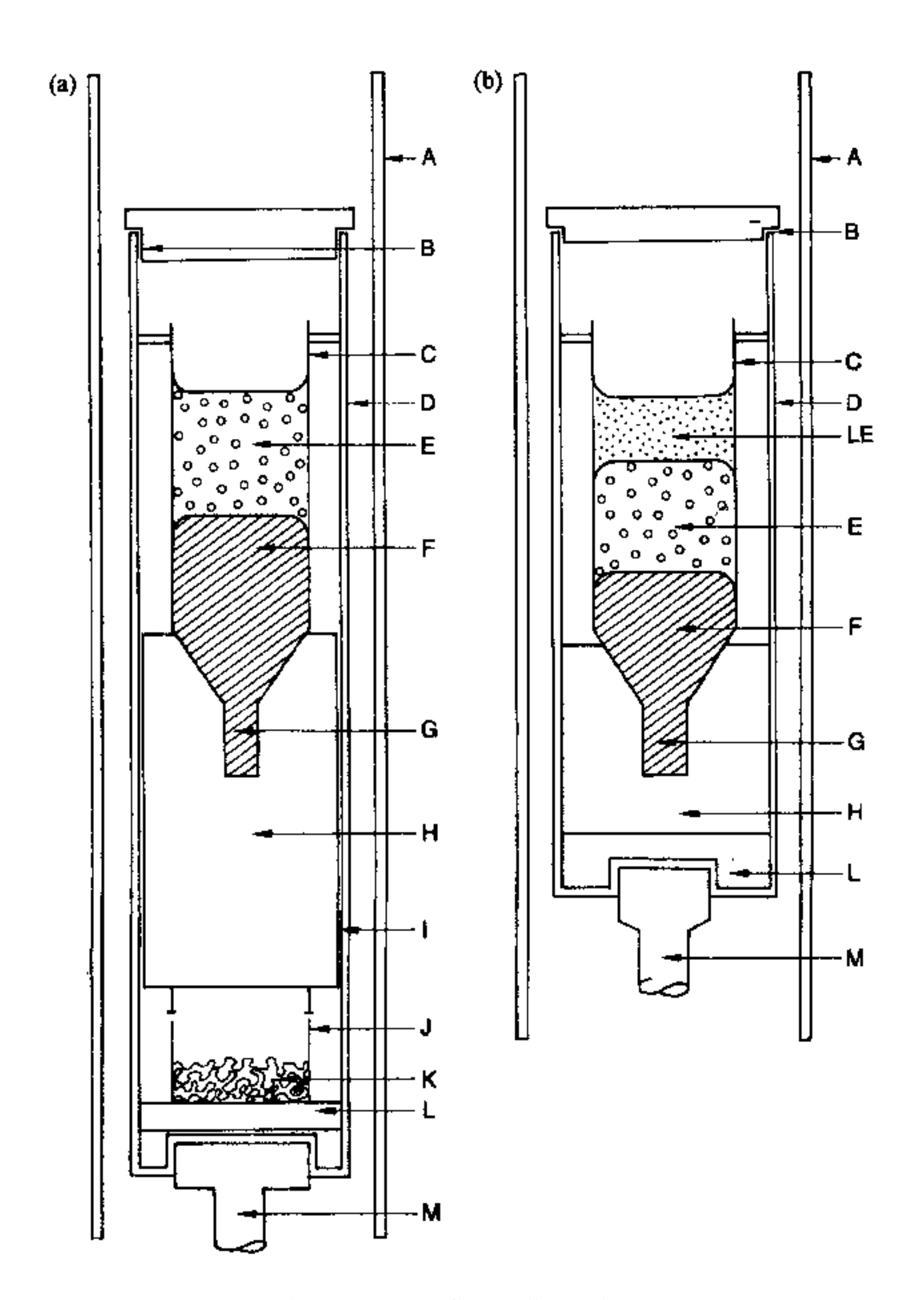


图 2-3　VGF 工艺所用坩埚示意图

(a)"常规"VGF,F 为化合物,E 为熔体,单独的容器 J 内放 V 族元素 K,它的温度可控,以维持足够的 V 族元素蒸气压,防止化合物离解。塞子 B 可使坩埚和外生长室之间保持压力平衡。即使 $P_G > P_d$,V 族元素向外生长室逸出的损失也是不可避免的,这是该工艺的缺点之一。A,炉子;C,BN 坩埚;D,主支撑容器;G,籽晶;H,坩埚托;I,V 族元素输运间隙;J,盛放 V 族元素的坩埚;K,V 族元素源;L,底座;M,底座托。(b)液体覆盖 VGF,$P_G > P_d$,各符号意义同上;B_2O_3 覆盖剂 LE 盖住了熔体,防止挥发性组元损失

• p. 80 •

坦或略凸，则凝固时膨胀问题不严重，所产生的应力可通过退火消除。它的主要问题是：难以设计加热炉、需很好选择舟材料（一般用 BN）、引晶条件不易确定、不易生成无孪生的[100]晶体。锭条一般用 B_2O_3 覆盖。

对于 GaAs 生长，VGF 是否会取代 LEC 工艺已是个公开话题。一旦得到商业上关于单晶生长成晶率的信息，才能对此作出明确评论。

2.5.3 晶体拉制

Teal 和 Little 单晶拉制技术（已成功地用于 Ge）很自然地试用于 Ⅲ-Ⅴ 族化合物。但对砷化物和磷化物而言，Ⅴ 族元素的挥发及它从熔体中急剧损耗是个不可克服的难题。熔点时离解压较低的锑化物可利用任一"Ge 型"半导体工艺生长。铝化物的晶体生长无论用水平还是垂直拉制工艺，都从未取得成功。因为 Al 化学活性太强，与痕量的 O_2，H_2O 和石英舟都起反应，它的任何体材料在大气中都会氧化。

VP 技术示于图 2-4。影响设计的主要因素是加热类型、坩埚和外罩。可用电阻加热，或考虑到通用性，用射频感应加热，这要用导体坩埚（一般为石墨或石墨托上的石英或 PBN 坩埚）。外罩通常用石英，考虑到其强度，内部气压不能超过约 2atm。

单晶生长基本程序是：下降籽晶（籽晶固定在安装于拉杆的夹头上）与化合物熔体接触，熔体温度略高于熔点，使籽晶少量回熔即可引晶。仔细控制熔体功率使熔体沿籽晶结晶，同时籽晶逐渐旋转并从熔体上拉。晶体形状受籽晶下弯月面形状控制（见 2.7.2 节）。整个生长过程要求操作者有娴熟的技艺和良好的判断力。生长也可实现自动化，利用传感器监视晶体直径并为功率控制提供反馈信号（2.7.2 节）。为生产器件制造所需标准尺寸晶片，恒定的直径控制是需要的。

这些基本工艺只能用于熔点时实际上没有蒸气压的化合物，这对化合物的生长是很大限制，因为化合物在其熔点时都有一定程度的离解。对 Ⅲ-Ⅴ 族和 Ⅱ-Ⅵ 族化合物而言，它只能用于 InSb 和 GaSb。因此，人们做出很多努力以发展生长化合物的新工艺。

• p. 81 •

有两种方法用以解决蒸气压及 Ⅴ 族组元损失问题，就是热壁法和液体覆盖法。前者是使盛放 Ⅲ-Ⅴ 族化合物的容器壁维持一定的温度以防止 As 或 P 在内壁上冷凝。这两种元素冷凝温度分别约为 600℃，700℃。在密封石英管中进行水平生长时可实现这一要求；而对热分布复杂的垂直拉晶装置则有许多问题，如密封、拉杆和轴承等都要加热，且要求它们对热反应组元是惰性的。

针对热壁工艺的这些问题，提出了几种拉晶方法并取得了不同程度的成功。有注射（器）式拉晶和磁（耦合）拉晶法。Gremmelmaier（1962）和 Fischer（1970）对它们作出了评论。还有 Mullin 及其同事们（1972）提出的压力平衡技术。设计拉晶机构的指导思想还是防止 Ⅴ 族元素挥发损失及它们在系统内壁上的冷凝。

注射器（针筒）式拉晶炉，一般用陶瓷拉杆，它与一长轴承有紧密的公差配合。虽然这种密封不很严密，但可使挥发性组元的损失降低至最低限度。磁耦合拉晶炉运用一种"特技"（tour de force）：整个陶瓷拉晶系统装在拉晶室内，而拉晶室保持在挥发性组分的冷凝温度以上。拉杆中装有适当的被保护的磁性材料，因而可通过磁耦合使其旋转、移动。这

两种拉晶炉由于造价高，技术上有不少困难，不是完全令人满意的工艺，因而未得到发展。

• p. 82 •

作者提出了一种叫作压力平衡的工艺(Mullin 等，1972)。它是在拉杆穿过的轴承座上部用液体密封。BN 轴承内有螺扣，使 B_2O_3“缠绕”着轴杆并保持在“容器”内。保持系统内惰性气体压力高于离解压；并通过“U”形管状压力规，保持内外压力相同。当然，整个装置的温度要保持在挥发性组元的冷凝温度以上。压力平衡工艺“工作”得非常好；但由于液体覆盖工艺的成功，它未能得到发展。液体覆盖技术使砷化物和磷化物的 Ⅲ-Ⅴ 族化合物拉制工艺得以革新。

图 2-4　低压液体覆盖垂直拉晶装置。N 为石英外罩，上、下端板 P，O 之间装有观察孔 J，M 为感应加热线圈，F 为感应体(石墨埚托)支撑于(坩埚杆)Q 上。A 为籽晶，K 为拉杆，它通过轴承和密封 L 可以旋转、升、降。通过缩颈(B)晶体 C 结晶于籽晶上并拉出 B_2O_3 层表面。只要 $P_G>P_d$，就可防止籽晶、晶体及熔体中Ⅴ族挥发性元素的损失

2.5.4　液体覆盖 Czochralski(LEC)拉制

液体覆盖常称为液体覆盖 Czochralski(LEC)技术，如图 2-4 所示。液体覆盖技术(Mullin 等，1965，1968；Mullin 1989)无需热壁，并可使用一般拉杆，它简单而精巧。它使用透明、惰性的液体层(一般是 B_2O_3)浮于熔体表面起着密封作用，只要使外部压力 P_G 大于挥发性组元的离解压力 P_d，就可防止挥发性组元的离解损失。覆盖剂还需具备另外一些性能：它不能与熔体混溶，也不能与之起反应。更重要的是，它必须浸润熔体和坩埚。它还应有一定的粘滞性，且粘滞性与温度的关系必须使得拉出的晶体表面包裹一薄层覆盖剂。这后一性能其所以必要，是为了在整个生长过程中晶体拉出覆盖层后，热的晶体表面不致离解。试用过多种类似玻璃的覆盖剂，但只有 B_2O_3 及相关混合物具备上述性能。

2.5.4.1　低压 LEC 技术

对于离解压不超过～2 个大气压的化合物来说，可在“Ge 型”拉晶室中用液体覆盖技术进行生长。这种生长室可用石英外壳，如图 2-4 所示。该种系统能用于生长 InAs 或 GaAs。

2.5.4.2　高压 LEC 技术

• p. 83 •

为生长高离解压(＞2atm)化合物，石

英生长室强度是不够的，须用钢或金属压力室。已设计出工作压力达 200atm 的压力室。利用这种钢压力室得以开发出独特的生长 GaP，InP 单晶的工艺。这两种化合物在其熔点时的离解压分别为～27atm 和～32atm。用该工艺生长这些化合物非常简单，与 Ge 单晶生长很类似；所不同的是使用了覆盖剂，且拉晶是在钢压力容器内的高压惰性气氛中进行的。生长过程可用电视摄像机通过光学窗口直接观察。图 2-5 是一个用于研究工作的生长系统的例子。

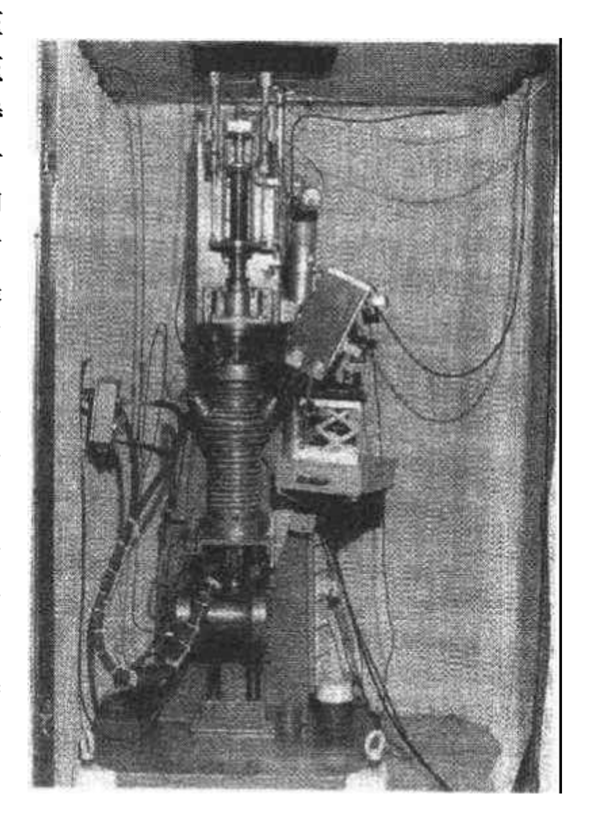


图 2-5 在 RSRE 研制的 200atm 高压 LEC 拉晶炉。它有水冷钢压力室和两个光学观察孔，一个安装电视摄像机。钢压力室下面是安装有称重装置(用于直径控制)的大室

高压 LEC 工艺在技术上成功之处在于限制了液体覆盖剂下方熔体中具有化学反应活性的砷和磷，使这些元素与生长室内壁、拉杆组件和密封轴承等都不发生接触。实际上，只要压力室壁和拉杆密封在相当的低温下，耐受惰性气体压力就可以了。这就避免了设计上的诸多困难。当然，惰性气体压力 P_G 必须大于 P_d，以防蒸气损失。这一工艺的意义在于使高离解压化合物的单晶生长工艺发生了革命性变化，使它们得以进行商业规模生产。

2.6 专门化合物的晶体生长

在讨论各专门化合物的晶体生长时，要强调一些最有影响的共性技术，主要是与直径控制、位错、晶粒间界、孪生和纯度相关的问题。

· p. 84 ·

在化合物半导体生长中，一个重要的问题是闪锌矿晶格(见 2.7.1 节)中两种不同原子所形成的各向异性。因此，在[111]方向，表面是 V 族原子[某些作者由于混淆，使用了相反的标记，见 Hulme 和 Mullin(1962)的有关论述]，其性质和行为就与$[\overline{111}]$(此时是 Ⅲ 族原子终止于表面)不同[1]。标记为[111]A 或[111]B(A 和 B 分别表示 Ⅲ 族、V 族原子)可以避免混淆。当然，对所有(hkl)相对于$\langle\overline{hkl}\rangle$方向来说都存在各向异性问题。各向异性问题对所有化合物都很重要，尤其对 In 化合物的生长，它直接关系到孪生问题。*

1) 我们通常已习惯于把(111)面当 Ga 面，$(\overline{111})$面当 As 或 P 面(即 V 族原子面)，作者所用"标记"正好与此相反。——译者注

2.6.1 InSb

HG 和 VP 技术都可用于制备 InSb 单晶。前者对获得形状可控和最高纯度单晶很有吸引力，而 VP 技术更为通用且可生长特殊晶向的单晶。

把两种元素放在一起加热就可形成化合物，因为熔融 In 可以溶解 Sb。不一定用水平技术制备该化合物，但用区熔精炼可以制得非常高纯而均匀的晶体。特别重要的是，对 InSb 而言，尽量不用[111]方向生长单晶，因为易于形成{111}小面并产生小面效应而使晶体非常不均匀。HG 技术也可使单晶按某种晶向例如[211]Sb 或[311]Sb 进行区熔精炼，此时固液界面上小面形成的几率可减至最小。该工艺已成功地生长用于制作探测器的高纯 p 型单晶，但要仔细控制生长条件以防形成孪晶。

用 Ge 型单晶炉拉制单晶是更通用的技术，现在使用得比较广泛，但也遇到所说的孪生问题。(111)Sb 小面比较稳定，在它表面上生长比在($\overline{111}$)In 小面上生长需要较大的核化过冷度。因此，当(111)Sb 小面出现在晶体边缘时，容易出现孪生，此时小面易受液体运动影响，暴露在气氛环境中，比在晶体中心有更大的温度起伏。这样按[111]Sb 方向生长孪生几率很小，虽然存在着中心(111)Sb 小面。而按[$\overline{111}$]In 方向生长孪生几率最大，因为此时有可能形成三个(111)Sb 型边缘小面。

虽然按[111]Sb 方向生长可以避免孪生，但欲生长完整非掺杂单晶或掺杂单晶(掺杂剂分布会出现明显的小面效应)，建议不按此晶向生长。因为中心的或主要的(111)Sb 小面大小变化无常，因而使晶体非常不均匀。建议按[211]Sb 或[311]Sb 方向生长；此时也可能出现孪生或晶体外形成为不规则四边形，但只要仔细控制好温度梯度，保持温度稳定，就可以使这些影响减至最小。

2.6.2 InAs 和 GaAs

• p. 85 •

这两种化合物的生长特性类似，都可用水平技术和液体覆盖技术生长。但对 GaAs 的研究比对 InAs 要深入、广泛得多。对它们的早期研究主要是采用 HG 生长工艺(见 2.5.1 节)。它是把 As 升华到盛于石英舟中的Ⅲ族元素中，当液体组分达到化学计量比时，把液态合金的温度升高到化合物的熔点，最后使熔体结晶形成单晶锭。用这种方法通过自发引晶生长的成晶率相当高。在舟的一端放置籽晶能进行可控核化，但这不是很简单的技术，需作更多的研究[1)]。虽然这时生长的温度梯度比较低，从而晶体中位错密度也较低，但将其扩大到生长，能切出圆形截面晶体的技术则效率不高，也不十分成功。*

可以理解，液体覆盖 VP 技术的优点使 LEC 成为 GaAs 和 InAs 的标准工业生产方法。液体覆盖作用得以增强，是由于两方面的进展：可以原位直接合成，可以无需掺杂(掺 Cr)生产半绝缘(SI)GaAs。

在钢高压容器中，可以由 As，Ga 进行原位合成。在 GaAs 熔点 1238℃时，液体 As 的压力为～80atm。生长室充以惰性气体压力～100atm，逐步升高坩埚温度使 B_2O_3 层下 As，Ga 温度略高于 1238℃，就能方便地合成 GaAs 而 As 没有明显损失。这种原位合成无需另

1) 用 Bridgman 生产 GaAs 单晶，现都是放置籽晶的，这种工艺比较成熟。——译者注

在水平装置中合成(GaAs 多晶)而使工序简化了。

另一个重要进展是使用 BN 坩埚,它有两方面的作用。它避免了 Si 沾污(如用石英坩埚,Si 沾污是不可避免的)。因此可方便快捷地得到极高纯 GaAs 多晶进行 LEC 生长。在某种程度,它是无意中提供了生产半绝缘 GaAs 单晶的方法。Swiggard 及合作者(1979)报道,在 BN 坩埚中制备的 GaAs 电阻率很高,且其电学性质对有关热处理(如为消除离子注入损伤所需退火)是相当稳定的。这对 GaAs 集成电路应用非常重要,因为半绝缘材料提供了在其上用离子注入工艺制备集成电路的良好的绝缘衬底。

SI GaAs 形成原因及其半绝缘特征仍然是科学上有争议的论题,对其详细探讨超出本文的范围。但 SI GaAs 工艺的材料科学很重要。有证据表明:SI 性能基本上与 EL_2 中心有关,而 EL_2 是包含有 As 反位(即 As 占 Ga 位)的复杂缺陷。EL_2 是已被很好表征的电子陷阱,其能级在导带下 0.75eV。详细研究表明:碳受主与 EL_2 施主补偿控制着 GaAs 的电阻率,从工艺观点来看,关键的制备工艺参数是熔体化学计量比(Holmes 等,1982)。熔体中 As 原子份数大于 0.475 才可使晶体成为半绝缘的。这一结果与 As 反位造成 SI 性能定性一致。

• p.86 •

LEC 技术已成为工业上生产直径 2in 和 3in GaAs 的工艺[1]。既可生产掺杂 n 型材料,(用于制作发光二极管等器件衬底)也可生产 SI 材料(用于离子注入和集成电路制造)。

最近几年,VGF 制备 SI 和掺杂 GaAs 单晶的技术受到重视。正如已指出过的,VGF 是通过连续调节或程序化的热分布使熔融原料在垂直坩埚中逐步结晶的技术。方法的原理简单,但在实践上有些特殊要求,因为它不可见并不可能随时跟踪生长过程,也无法辨认缺陷何时产生。这是由于使用非透明 BN 坩埚。为安全起见,常使用压力容器,它也是(实时)观察的障碍。

VGF 晶体的质量与 LEC 晶体一样好,如果说不是更好的话。实际上,VGF 晶体位错密度较低且均匀分布,如同水平工艺一样,易于设计成低的温度梯度。这两种工艺的未知因素是,不知能获得有重复性的平均成品率是多少。

成品率是考虑任何生长工艺商业价值的主要因素。影响成品率的一个主要问题是孪生。对每次生长过程产生孪生的起因是很难判断的,尽管对其一般过程是理解的。引起孪生(杂散)成核的到底是杂质、温度起伏,还是外来颗粒或小面尺寸,难以确定其原因及相互关系。这样,为探寻适当的无孪生生长条件,试验耗费了不少人力、物力,也走了不少弯路。

在 VGF 工艺中孪生是个严重问题,尤其是按[100]晶向生长时。因为工业上需要(100)圆片。另一个问题是引晶时无法观察,这是 VGF 工艺一个很大缺陷。它不能像 LEC 工艺那样,可以实时观察晶体出现孪生或其它质量问题,而只能生长结束后进行分析。LEC 生长时,孪生一般是可见的,一旦发现,可熔化再生长以消除孪生。尽管如此,VGF 现已成为 GaAs 商业生产工艺。可以设想,无孪生生长工艺条件是能够开发出来的。一般晶体生长经验认为,仔细控制 B_2O_3 质量、舟材料、固液界面形状、热稳定性是有利的。

InAs 工艺与 GaAs 类似,虽然它熔点较低,熔点时蒸气压是~0.3atm。由于商业上对

1) 现已可以生产 4in,甚至 6in GaAs 单晶。——译者注

它的兴趣比 GaAs 小得多，只有水平和 LEC 工艺被使用。孪生问题比生长 GaAs 更为严重，且为多层状孪生。它的起因也不清楚，尽管发展无孪生条件是可能的。

2.6.3 InP

· p.87 ·

把液体覆盖的概念用于生长Ⅲ-Ⅴ族化合物是 Mullin 与他的同事们(1965)首先报道的关于 GaAs 和 InAs 的生长。B_2O_3 在冶金上的利用是人们熟知的，在防止熔融金属氧化和蒸发损失方面有很长的历史。Metz 等(1962)用 B_2O_3(覆盖)生长含挥发性组元的Ⅳ-Ⅵ族的 PbTe 和 PbSe 晶体。然而，将液体覆盖概念用于在钢压力容器中的高压拉制才使Ⅲ-Ⅴ族化合物单晶研制取得了最显著进展。液体覆盖高压拉晶首先用于生长 InP 和 GaP (Mullin 等，1968)，是生长这些高质量单晶材料的一个突破。

现在，InP 的商业价值受到重视，部分原因是用 InP 基结构可制造高质量激光器，它日益成为优良的激光器材料。制备其(多晶)原材料的主要方法是用压力水平工艺，它是让 P_4 升华到盛于舟中的熔融 In，正如前面所讨论过的。用 LEC 工艺生长单晶常常要用经事先拉制过的 InP 炉料。

InP 的 LEC 生长有着与 GaAs 类似的问题，即温度梯度与Ⅴ族组元的损失。但这里孪生问题更为严重。刚露出 B_2O_3 液面的"热"晶体表面蒸发影响比 GaAs 还大，虽然其绝对温度低一些。露出 B_2O_3 晶体表面 P_4 损失，首先是由于晶体表面有高的气体流速，其次与晶体表面温度(它受温度梯度所控制)有关。

高的气体流速是由于 Rayleigh 对流所引起的，而 Rayleigh 对流则是由生长室内的高压、大的温差和相当大的 Bénard 胞所驱动的。压力拉晶系统中的对流与瑞利数 R_a 的大小有关，R_a 由下式表示(Chesswas 等，1971)：

$$R_a = \frac{\Delta T g d^3 P^2}{T K_0 \nu_0} \tag{2-2}$$

式中 ΔT 是对流气体(按深度)的温差(驱动 Bénard 胞的表面之间的温差)，T 是气体平均温度，d 是对流气体深度，K_0 是热扩散率，ν_0 是运动学粘滞系数，P 是气体压力。注意：R_a 与气体压力的平方、d 的立方和驱动 Bénard 胞表面之间的温差成正比，因此，尽量减小拉晶系统中的自由空间从而减小冷热表面之间的温差是重要的。

温度梯度的影响与 GaAs 的 LEC 拉制基本相同。试图减小温度梯度以降低位错密度，可这又使 B_2O_3 层上方晶体降温变慢，于是晶体表面的 B_2O_3 膜流失不能裹住晶体表面；这样，InP 的高离解压加剧了 P_4 损失。P_4 离解损失就导致 In 滴形成而使 InP 晶体表面质量恶化。In 滴在所用温度梯度下可通过朝向固液界面的温度梯度区域熔化(TGZM)而进入 InP 晶体内。

· p.88 ·

低的位错密度对器件应用非常重要。对非掺杂材料和轻掺杂材料，位错密度必须从通常非掺杂和轻掺杂单晶的 $10^4 \sim 10^5 cm^{-2}$ 降到 10^3 或接近 $10^2 cm^{-2}$ 以下，以满足多种器件应用的需要。Hirano 等(1992)报道了他们在减小温度梯度和降低位错密度方面所做的试验。他们利用了双热罩系统或障板以减小温度梯度。这也可使气体对流减少到最低限度，从而尽可能减少 P_4 损失。

2.6.4 Ⅱ-Ⅵ族化合物:概论

Ⅱ-Ⅵ族化合物晶体生长的现状和发展情况与Ⅲ-Ⅴ族化合物有很大差距。最明显的是没有成功的拉制工艺,只是最近几年才能得到大面积CdTe和$CdZn_{1-x}Te$单晶材料。其原因,部分是历史性的、部分与材料性能有关。50--60年代曾对Ⅱ-Ⅵ族化合物的研究开发做了很大努力,但由于没有较快做出有商业价值的器件,使一些主要研究单位停止了这方面的工作。一些热心人仍在继续研究,但许多问题难以解决,进展缓慢。在这一发展阶段,体气相生长是Ⅱ-Ⅵ族化合物最成功的晶体生长工艺。80年代早期又萌发了对该化合物的兴趣,至少有部分原因是可对它们应用于70年代和80年代为Ⅲ-Ⅴ族化合物发展起来的较新的低温外延工艺。

熔体生长对Ⅱ-Ⅵ族化合物的限制,从原理上说来与Ⅲ-Ⅴ族化合物类似;但实际上所遇到困难更难克服。所有Ⅱ-Ⅵ族化合物的组元在其熔点时都有相当高的蒸气压。ZnS和CdS的熔点太高无法进行熔体生长。这类化合物比Ⅲ-Ⅴ族化合物离子性更强的本性使其临界分解剪切应力低而易于发生形变。熔点附近其点缺陷浓度很高,加之其扩散速度也很高,要比Ⅲ-Ⅴ族化合物中高几个数量级。这就易于使位错多边形化并形成晶粒间界,尤其是亚晶粒间界,后者在Ⅲ-Ⅴ族化合物中还没有发现。

液体覆盖拉制不能解决化合物的挥发问题,因为B_2O_3与Ⅱ-Ⅵ族熔体发生部分混溶。即使能用LEC拉制,也会由于它容易形变而限制了该工艺的使用价值。

Ⅱ-Ⅵ族外延器件结构的出现促进了其晶体生长工艺研究。人们容易认识到这项工作的重要意义:3—5μm和8—14μm探测器用$Hg_{1-x}Cd_xTe$体材料和外延$Hg_{1-x}Cd_xTe$所需衬底CdTe和$Cd_{1-x}Zn_xTe$,以及蓝色发光管和激光管用的ZnSe。

2.6.4.1 $Hg_{1-x}Cd_xTe$体材料

碲镉汞(MCT)自发现以来,对其研究一直受到人们关注,并仍然是材料研究与发展方面一个活跃的课题。已发展了三个主要的体材料生长工艺:垂直Bridgman技术、美国淬火退火技术(与此相当的一项英国技术叫铸锭再结晶退火)及移动加热器工艺。

• p. 89 •

垂直Bridgman技术是把纯元素密封在厚壁(3mm)石英管内,要处理好汞的蒸气压,为制备$Hg_{0.8}Cd_{0.2}Te$,熔体上方Hg的蒸气压超过20atm。在可摇动炉中熔化和混合后将原料冷疑为锭条再将它放入VB装置中,这时再将它完全熔化,由炉中撤出反应管而使其缓慢结晶。所得锭条有一定组分梯度,x值由0.3至<0.18,与初始组分有关,对$x=0.2$,0.3探测器材料的可控混合方法作出很大努力,以尽可能提高其成品率。这些努力包括加速坩埚旋转技术(ACRT),使坩埚由静止向一个方向加快旋转,到一定程度后减慢,并重复这一过程。然后也可以按相反方向进行,但这不是关键。Capper及其同事们(1994)在Mullard/Phihips研究实验室(现为GEC-Marconi)对此工艺作了大量研究,并得到了很好结果。对熔体混合条件进行了大量研究。尽管有大量发现,但对复杂的瞬态Couette流螺旋剪切作用与横截固液界面的Eckman流之间的相互作用并不理解。

为制备非常均匀MCT的需要,发展了一项独特工艺,即淬火退火(QA)或铸锭再结晶退火(CRA)。它是使适当组分的MCT熔体快速铸锭以得到宏观均匀的固体。由于枝蔓

生长和组分过冷的影响，其微观均匀性很差。利用这些化合物中易于相互扩散的特点，使材料在温度梯度中再结晶。这样就得到均匀的MCT，但其受主浓度很高，等于Hg空位浓度；对此可最后在低温下于Hg气氛中退火来消除。由于军工红外探测器项目的支持，这是发展得非常成熟的工艺。

第三个体生长工艺是移动加热器法(Triboulet，1994)，已在2.3.3.4节中连同MCT的提纯和制备作了介绍。这一技术也用于生长$Zn_{1-x}Cd_xTe$，它可代替MCT用于红外探测器。可以生长出x值很均匀的材料，但有关这方面的进展是保密的。

体生长的MCT虽然仍在使用，但现在很快被液相外延(LPE)、金属有机物气相外延(MOVPE)及目前还不很成熟的分子束外延(MBE)(材料)所取代。这些外延工艺要求高质量衬底，故而要大力发展CdTe和$Cd_{1-x}Zn_xTe$。

2.6.4.2 CdTe和$Cd_{1-x}Zn_xTe$

• p. 90 •

制备这两种材料最成熟的工艺是垂直Bridgman技术，可制备直径2in和3in的晶体，主要是作为MCTZ衬底的$Cd_{1-x}Zn_xTe$尚在继续研究中。这一技术也涉及把熔融原材料在炉中向上提拉。近来，已发表了关于CdTe(Rudolph，1995)和$Cd_{1-x}Zn_xTe$(Sen和Stannard，1995)的综述文章。生产高质量单晶的主要措施是防止孪生和大、小角度晶粒间界。生长过程中不能防止Te沉淀，但它可在生长后于Cd蒸气中退火得以消除。

难以弄清缺陷形成与生长条件的关系。不过对良好单晶生长的主要要求是平的到凸(相对于固态)的生长表面以及低的轴向和径向温度梯度。轴向温度梯度太小又会造成组分过冷，因而对此应有折衷的选择。化学计量熔体自然是需要的，这就要精确控制好分立的Cd蒸气源。由于Zn的分布系数是1.3，它的分凝导致组分过冷，因此要慢速生长以便有足够的时间使被"拒斥"的溶质扩散到熔体而不构成溶质边界层[1]。

最近几年也发展了水平生长技术以生长高质量CdTe和$Cd_{1-x}Zn_xTe$。已由4kg锭生长出截面尺度大于2.5in的单晶(Liao等，1992)。较大的生长系统在研制中。籽晶放置在顶部抬起的部位，利用籽晶，可沿液体上部表面自由扩展生长而得到大面积单晶。有关良好生长条件方面的信息所知甚少，但对防止多个晶粒(起始于石英舟底部表面核化生长的)传播的重要性是了解的。

2.6.4.3 ZnSe

ZnSe的熔点高达1526℃，难以用垂直Bridgman技术生长。绝大多数研究工作是用垂直梯度凝固工艺完成的。但这些熔体生长技术都未生长出好的晶体。Cantwell等(1992)利用放置籽晶的物理气相输运技术可制备出较好的ZnSe晶体。这一方法现被Eagle Picher用作生产工艺。它在石英管两端放置直径2in的籽晶，原料放在两籽晶之间中点处，使之在适当温度梯度下输运到籽晶上。已报道生长出2in晶体。也已生长出蚀坑密度约为$5\times10^4cm^{-2}$的高质量晶体。显然，在低于熔点的温度下生长对ZnSe是重要的。实际上，体气相生长可能是Ⅱ-Ⅵ族化合物未来的生长工艺。

---

1) 如视Zn为溶质，因其$k=1.3$，则会造成熔体中Zn的耗尽，怎么形成溶质边界层？——译者注

2.6.4.4 ZnS 和 CdS

• p.91 •

这两种化合物熔点太高，不可能进行熔体生长。人们致力于用气相生长来制备这些化合物。试验了各种物理气相输运工艺，最成功的可能是 Piper-Polich 技术(Piper 和 Polich，1961)，其装置示于图 2-6a。它用一有锥形尖头的生长管，原料首先在适当的温度梯度下输运，通过物理移动生长管，使尖头处温度低于原料，于是从尖头生长单晶。

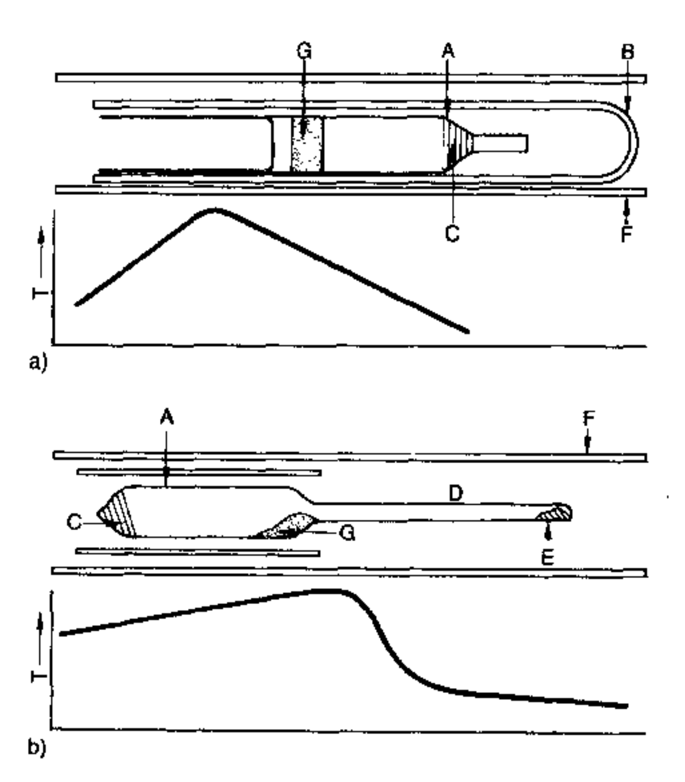


图 2-6 气相生长技术示意图。(a)Piper-Polich 技术，生长坩埚 A 由外管 B 支撑，B 置于炉子 F 内。A 相对于加热器移动(热分布)使原料 G 发生气相输运并在坩埚的锥形部位结晶。(b)可控气相压力法，生长坩埚 A 有一长侧管 D，D 内盛放元素源 E，用它控制挥发性较大的组元的蒸气压，注意籽晶 C，原料 G 及其热分布

生长Ⅱ-Ⅵ族和其它化合物的一个重要要求是，必须在生长过程中维持两种组元有相类似的蒸气压。把易挥发的元素源单独放置，独立控制它的蒸气压使之与另一组元蒸气压相同，就可以满足这一要求。于图 2-6b 所示。

上述工艺与早期的气相生长工艺的一个主要问题是，晶体生长都在石英管中进行，因而常常与其粘连。冷却时，由于晶体与石英管之间收缩率不同而在晶体中产生应变和应力，这就导致晶体中形成位错。试图发展一种自由生长系统(生长过程中晶体与反应管不接触)来制备 CdTe 和其它Ⅱ-Ⅵ族化合物，但实现这种工艺并非易事，且必须非常仔细地设计其热分布系统。

2.7 晶体生长的理论基础

本节简要描述在化合物半导体工艺实践中一些起主导作用的现象(它们影响着晶体质量和完整性)的起源和机理,即有关晶体结构、蒸气压、温度分布、直径控制、小面效应、各向异性分凝、组分过冷、位错和晶粒间界等方面的一些重要问题。

· p. 92 ·

2.7.1 结构

Ge 和 Si 都是简单的金刚石立方结构,是中心对称的,因而没有明显的生长各向异性。然而,对于化合物,不同原子有不同的电子亲和势因而其性质显示出极性。Ⅲ-Ⅴ族和Ⅱ-Ⅵ族化合物为闪锌矿或纤锌矿结构,极性乃是这种结构的一种属性。例如,对闪锌矿结构晶体,按$[hkl]$方向生长就与$[\overline{hkl}]$方向生长不同。图 2-7 所示的晶体结构强调了这种差别。键的方向⟨111⟩,$\langle\overline{111}\rangle$。$\langle\overline{111}\rangle$方向终止于单键的Ⅲ族原子,⟨111⟩则终止于三键的Ⅴ族原子。因此,{111}面与$\{\overline{111}\}$面有不同的极性,其稳定性也不同。每种面开始核化和生长所需过冷度也不同。与这种结构有关的一个最重要的现象是生长表面上出现{111}或$\{\overline{111}\}$型小面。这会产生小面效应并与孪生有关(见 2.7.5 节)。

2.7.2 温度分布、晶体形状和直径控制

熔体生长最困难的问题之一是,如何为生长室设计最恰当的温度分布和温度梯度。热场模拟虽可为生长工艺提供科学背景,但在实践中仍主要靠熟练技巧和诀窍。

模拟水平生长比模拟垂直拉制简单得多。实际上,化合物生长所用温度梯度一般都相当低。生长室内一点小的变化,例如保温罩略为移动一下,常常对晶体生长造成大的影响。很明显,许多热(分布)模拟不能充分考虑实际的温度分布。

HG 和 VGF 工艺的主要问题是界面形状控制。一般认为,生长表面以平或略凸为好。凹的生长表面常导致生长缺陷,例如晶粒间界或溶质沉陷。遗憾的是,许多加热器设计中包含有用以形成液区的一个简单的额外加热器,这就很自然地易于形成凹的生长表面。现正开始通过热模拟和改进热场设计来解决这一问题。

相反,垂直拉制装置很难进行热场模拟,尤其是固液界面这一关键区域。它不像 HG,HG 中晶体形状受舟控制而与实验条件无关。而在 VP 中,晶体形状或直径控制是个主要问题,人们为此进行了大量的研究、开发。控制界面形状的关键参数是固液界面上的热平衡和固、液、气表面之间的表面张力。

固液界面上热平衡的最简单近似由下式表示:

$$G_S\sigma_S - G_L\sigma_L = v\rho_S H_f \tag{2-3}$$

式中 G 是温度梯度,σ 是热导率,ρ_S 为晶体密度,H_f 是熔化潜热。温度梯度 G_I(I=S,L)表示垂直于固液界面的温度梯度。

· p. 94 ·

在晶体拉制中,固液界面处垂直于晶体轴向的热量的净损耗或净增加将使生长表面成为凸的或凹的。晶体直径则由熔体上方弯月面的形状所决定。

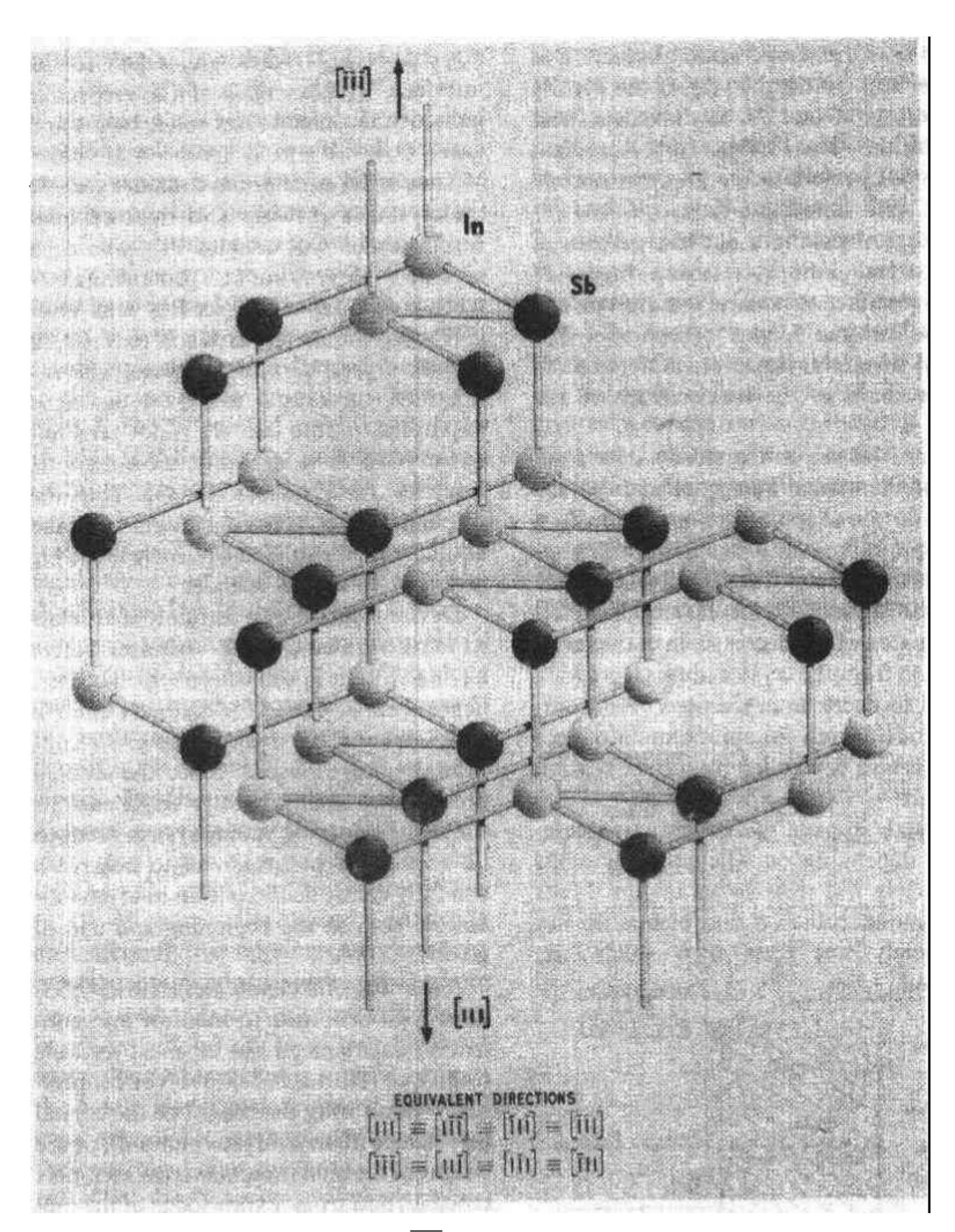


图 2-7　显示⟨111⟩和⟨$\overline{111}$⟩键合方向的闪锌矿晶格及其极性

图 2-8 表示正从熔体拉制着的晶体的稳态位置和弯月面的形状。作为一级近似，弯月面相对于晶体直径增大则生长着的晶体直径增大；反之，晶体直径减小。当然，这一模型只是近似的，因为弯月面形状是受表面张力控制的。

按熔体能否完全浸润其固体，晶体可分为两类。金刚石立方结构或闪锌矿结构材料的熔体不完全浸润它自己的固体，即 $\phi_{SG}<\phi_{SL}+\phi_{LG}$，$\phi_{IJ}$分别表示固、液、气三相中的相关两相界面的自由能。

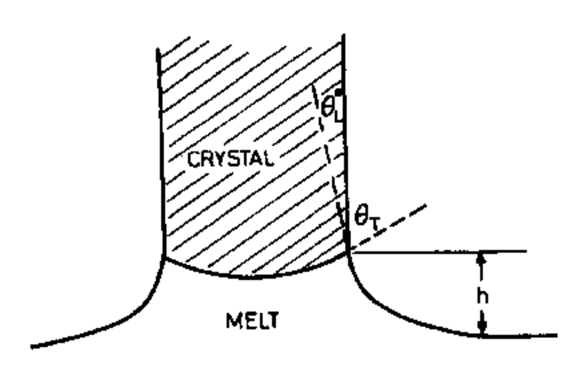


图 2-8 熔体与其晶体之间弯月面接触示意图。和垂直方向成角度 θ_L（等径生长时，此角度为 θ^0_L），晶体边缘与弯月面呈角度 θ_T，其在熔体表面上方高度为 h

这样，在平衡条件下（晶体生长为圆柱体时）弯月面与固体接触角为一特定角度 θ_0，而当晶体长大或缩小时，一般接触角为 θ。如果 $\theta>\theta_0$，晶体直径增大。要注意 θ 并不等于 0，对半导体它有正数值；对于 Si，Ge，分别为 11°，13°。这样，当液固接触角为正数值时，结晶原子就形成圆柱形。

器件工艺——当然包括集成电路，要求晶片直径有精确规格。因此拉晶时要进行直径控制，以生长出恒定直径的晶体。因为引晶时是用小直径单晶作籽晶，因而拉晶系统要有适当的程序，以便在生长开始和结束时控制好直径变化。

提出了若干种监视和控制晶体直径的技术（Hurle，1993），但最广泛使用的是连续监视晶体重量（实际上是晶体加拉杆的重量）或熔体的重量（实际上是熔体加坩埚的重量），以及由拉速或严格地说由正常生长速度，都可连续监视晶体直径。直径控制就是把重量（重量方式）或重量变化率（微分重量方式）与所希望的重量或重量变化率相比较，利用其差值或误差信号来控制及调整熔体的加热功率。

· p. 95 ·

图 2-5 示出了安装在 RSRE[1]研究型单晶炉上的称重组件，它是商业上生产的称重组件的一个实例。重量法的优点是可以校正前一生长阶段所产生的误差，其信噪比高，系统可用于低生长速度的情况。但它所校正的误差可产生阻尼振荡并传播到晶体。微分重量法是使直径保持在当前值而忽略了它先前的“历史”。它信噪比不高，因为信号微分了。这一方法倾向于成为更稳定的伺服回路，对系统的热滞后不很灵敏。

用任一称重法生长 Ⅲ-Ⅴ 族化合物的问题之一是：误差信号对所要求直径变化的即时响应与所希望的变化是相反的。也就是说，希望增大直径的要求所给出的误差信号是引起直径减小。这种所谓重量反常来自两方面的影响：首先，Ⅲ-Ⅴ 族化合物在凝固时膨胀；其次，晶体的视在重量包括了表面张力的贡献。实践中解决这一问题的办法是，从总误差信号中减去所预言的反常误差信号，以给出经校正的误差信号。这一技术可用于 GaAs，InP，GaP，Ge，Si 和其它许多晶体生长时的直径控制。

2.7.3 溶质分布

在 Ge，Si 晶体生长研究中，感兴趣的主要溶质是掺杂剂和杂质。而在化合物半导体中，还要研究某一组元过剩所显示的溶质影响。这种过剩问题在化合物生长中是很常见的，它会产生组分过冷，并产生严重缺陷。

结晶过程中溶质分布通常用分布系数描述，如图 2-9。对于所选择的实例，随着熔体的结晶由于溶质在固体中溶解度小，被“排斥”的溶质进入固液界面处，提高了界面处的溶

1) RSRE 为英国皇家信号与雷达研究中心。——译者注

质浓度。假定稳态浓度是来自界面扩散与对流混合的结果,在这种情况下,为方便起见可定义界面分布系数 k^* ($k^*=C_S/C_I$)和有效分布系数 k_{eff}($k_{eff}=C_S/C_L$)。后者是实验上可测定的参数,因为熔体和晶体中的溶质浓度都是可以测量的。k^* 不能即时测量,可把它简化为由生长过程所调制的平衡分布系数 k_0。如果杂质并入是平衡过程(例如,生长是在非常慢速条件下进行的),$k^*=k_0$。实际上,k^* 常常与取向、生长速度和溶质浓度有关。

• p. 96 •

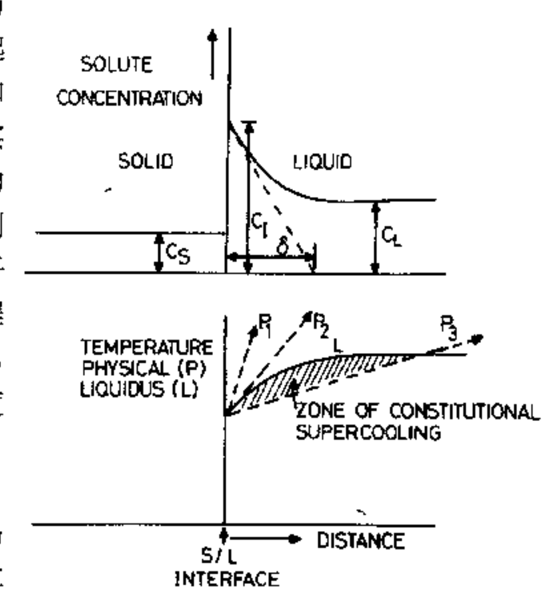


图 2-9 (a)晶体生长过程中溶质($k_0<1$)的分布,表示了界面处溶质浓度 C_I、液态中浓度 C_L 和"数学边界层"δ。(b)相应于上述溶质分布的液相线分布。给出了三种不同的实际温度分布:P_1 稳态分布;P_2 临界状况;P_3 不稳定的状况(出现组分过冷区)

熔体中的输运及其影响,尤其是结晶过程方面的知识绝大多数都是来自于对拉制晶体的研究。拉制晶体时搅拌的影响是可以模拟的。Burton,Prim 和 Slichter(BPS,1953)在一篇经典论文中导出了 k^* 和 k_{eff} 之间的关系。他们引入了参数 δ,δ 与扩散层厚度有关,但不是扩散层厚度。δ 在数学上的便利之处是可用于模拟不同搅拌条件下生长界面处边界层的高度。

按 BPS 模型,k_{eff} 与 k^* 之间的关系为:

$$k_{eff}=\frac{k^*}{[k^*+(1-k^*)e^{-\Delta}]} \tag{2-4}$$

式中 $\Delta=v\delta/D$,$\delta=1.6D^{1/3}\nu_0^{1/6}\omega^{-1/2}$,$v$ 是生长速度,D 是液态中溶质的扩散系数,ν_0 是运动学粘滞系数,ω 是角旋转速度。这一模型利用了早年 Cochran(1934)所作的分析,他分析了半无限流体中垂直于旋转盘的流速。

由方程(2-4)可以预言生长速度及旋转速度对杂质和掺杂剂并入的影响。在良好搅拌条件下,$\delta\to0$,k_{eff} 接近于 k^* 值。如果搅拌条件很差,$\delta\to\infty$,$k_{eff}\to1$。该模型还可预言,由熔体生长重掺杂晶体时组分过冷的发生(Hurle,1961;Bardsley 等,1962)。在非化学计量熔体生长化合物时,要把组分过冷作为一个重要问题来考虑。

2.7.4 组分过冷

考虑图 2-9 所示的分凝情况。在(a)情况下,被排斥的溶质形成边界层,其浓度随离界面距离增加而减小。(b)中表示的浓度分布是由液相线温度或凝固温度分布表示的。叠加在这上面的是实际的物理温度分布。如果斜率 P_1 大于固液界面处液相线分布的斜率,熔体的温度总是高于界面下液相线的温度,这是稳定的。而如果实际温度如 P_3 所示,小于界面处液相线的斜率,将出现如图所示阴影区,使熔体中存在着其实际温度低于液相线温度的区域,这就导致一种不稳定的情况,熔体将是过冷的。在这些条件下,对生长表面的扰动

将引起更大的过冷，而导致向熔体内的加速生长。

· p. 97 ·

Hurle(1961)导出了发生组分过冷的临界条件，即组分过冷梯度大于或等于零。组分过冷梯度定义为液相线梯度与界面上实际温度梯度之差。用 BPS 模型，组分过冷梯度 $(\mathrm{d}S/\mathrm{d}x)_{S/L}$ 表示为：

$$\left.\frac{\mathrm{d}S}{\mathrm{d}x}\right|_{S/L}=\frac{vmC_L(1-k^*)}{D[k^*+(1-k^*)\mathrm{e}^{-\Delta}]}-G_L \tag{2-5}$$

式中，m 是液相线梯度，C_L 是溶质浓度，其它参数与方程(2-4)中定义相同。令 $(\mathrm{d}S/\mathrm{d}x)_{S/L}=0$，可以得到发生组分过冷的临界生长速度 v_{crit}，

$$v_{crit}=\frac{DG_L[k^*+(1-k^*)\mathrm{e}^{-\Delta}]}{mC_L(1-k^*)} \tag{2-6}$$

在良好搅拌条件下($\delta\to0$)临界(最大)生长速度是 $DG_L/(mC_L)$。如搅拌条件很差($\delta\to\infty$)，则 v_{crit} 为 $[DG_L/(mC_L)]k^*$。由方程(2-3)，如果 $\sigma_S G_S \gg v\rho_S H_t$，可用 $(\sigma_S/\sigma_L)G_S$ 代替 G_L。对于 GaAs，若 G_S 为 50℃ · cm^{-1}，$\sigma_S/\sigma_L=0.54$，$m=3$℃(原子%)$^{-1}$，$C_L=1$ 原子%，$D=10^{-4}\mathrm{cm}^2\cdot\mathrm{s}^{-1}$，在理想的良好搅拌条件下，其临界生长速度 v_{crit} 将等于 $9\times10^{-4}\mathrm{cm}^2\cdot\mathrm{s}^{-1}$ $(3.2\mathrm{cm}\cdot\mathrm{h}^{-1})$，如搅拌条件不好，$v_{crit}$ 受 k^* 倍数所调制。所以，组分过冷对小的分布系数是非常灵敏的。

对化合物生长，这个问题非常重要，因为离解性化合物的熔体化学计量很难控制。在Ⅲ-Ⅴ族砷化物和磷化物情况下，非化学计量熔体中的过剩组元起溶质作用，它在固相中的溶解度可以忽略，其 $k^*\sim10^{-6}$。所以在化合物生长中，除非熔体组分非常接近化学计量，否则很难避免组分过冷。在水平生长中还有着低温度梯度的问题。

组分过冷对生长的影响(Bardsley 等，1962；Hurle 等，1961)示于图 2-10。平的生长表面开始变为正弦波或皱折式表面。固液界面平行于{111}面的地方，生长表面发展为{111}小面所围成的山脊或屋顶状结构。"屋顶"之间的"谷"捕获被排斥的溶质。"屋顶"下面相邻谷之间的晶体生长区是所谓网格；这种生长产生分格结构。分格生长或多或少是相互独立的。图 2-11 给出了晶体表面上分格结构的一个实例。

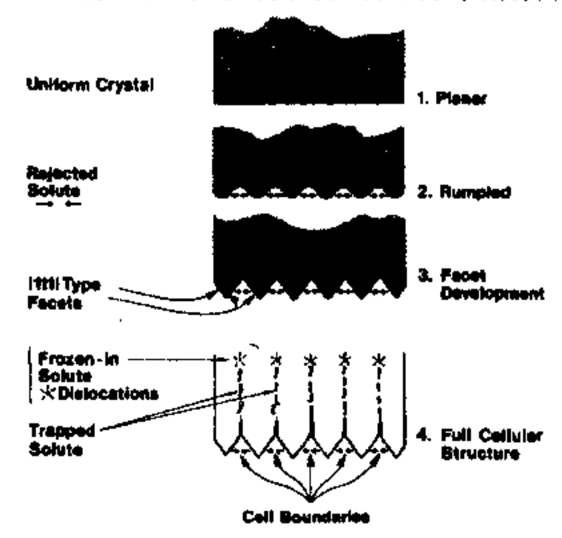


图 2-10 组分过冷对平坦生长前沿 1 的影响。被排斥的溶质使生长表面由平坦变为 2 所示的皱折式生长表面，并进而发展为 3 所示小面结构。完全的分格结构，捕获溶质如 4 所示

· p. 98 ·

逐渐发生组分过冷的影响是使晶体成为多晶。对Ⅲ族元素，被堆陷的过剩溶质开始表现为分离的液相。堆陷的小滴在温度梯度区域熔化(TGZM)影响下向固液界面移动。由于晶体生长速度大于液滴移动速度(它由扩散输运所控制)使液滴最终凝固在晶体内。这样形成的两相区会产生应变、位错和明显的不均匀性。同时，脊形结构上的小面呈现小面效应也导致掺杂剂和杂质

的不均匀并入。

从熔体生长化合物半导体时要特别当心以防止组分过冷。其基本要求是，维持熔体组分的化学计量，生长速度慢一些并有良好的搅拌，固液界面处温度梯度尽可能大一些。

2.7.5 小面效应、各向异性分凝和孪生

小面或原子级平坦的面（一般是低指数面）谓之奇异面的出现是化合物半导体生长的一个特点，对成晶率和晶体质量都有不利影响。最“麻烦”的小面是{111}或$\{\overline{1}\overline{1}\overline{1}\}$型面，每种类型的 4 个面都可出现在一闭合体上。

· p. 99 ·

当{111}面与固液界面相切时（见图 2-12）小面就会生成。然面，等温面与（111）小面相切的地方使生长表面截断，（111）面上没有生长台阶因面难以成核。于是小面在生长中滞后于熔体等温面所限定表面的其余部分。小面生长尺寸足够大以在它表面上方熔体中发展足够的过冷度 ΔT 并开始核化和进行其后的生长。

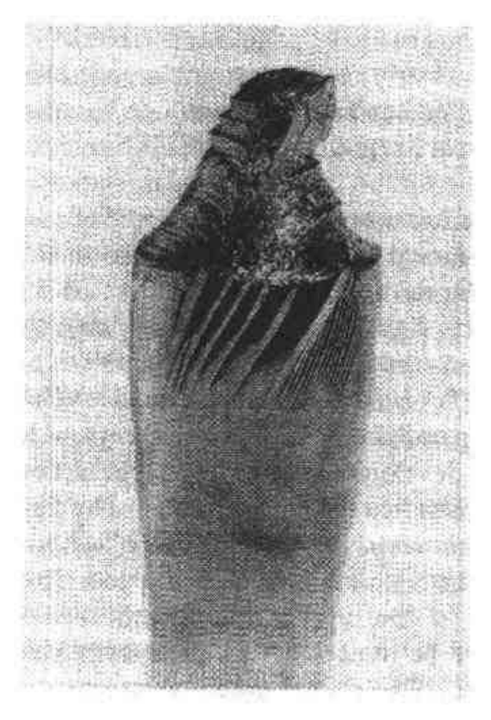


图 2-11　晶体下部出现的分格结构，可明显看到表面上由小面形成的槽

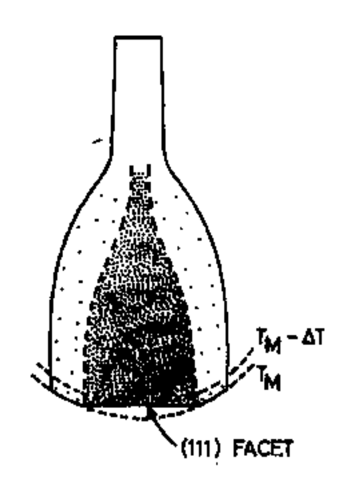
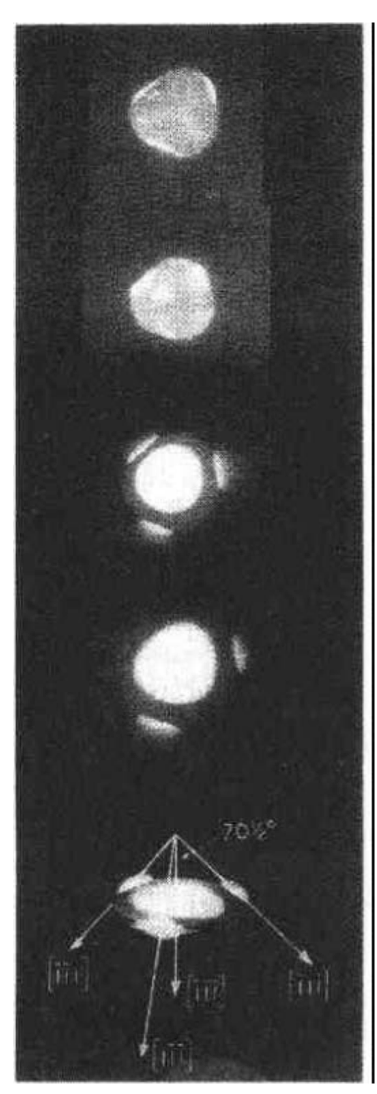


图 2-12　生长晶体上（111）小面形成示意图。T_M 为平衡熔点等温线；$T_M-\Delta T$ 等温面表明潜在最大过冷度 ΔT

Hulme 和 Mullin（1959）发现，许多杂质在[111]面择优吸附。被称为小面效应，在 InSb 中碲的作用非常明显——在{111}型小面上的分布系数是～4 面在非{111}型小面上是～0.5；两种小面上 k 的比值是～8，这就导致非常明显的掺杂不均匀性。

图 2-13 中每一照片下面的图表示按$[\overline{1}\overline{1}\overline{1}]$In 和[100]方向生长时{111}面族的关系。按$[\overline{1}\overline{1}\overline{1}]$In 晶向生长时，有三个相对的⟨111⟩方向与$[\overline{1}\overline{1}\overline{1}]$In 方向成 70.5°角，面按[100]方向生长时，与它成 55°角的有两个$\langle\overline{1}\overline{1}\overline{1}\rangle$In 方向和两个⟨111⟩Sb 方向。

由图 2-13 可以看出小面行为的差别，该图是掺放射性 Te^{127}InSb 晶片的自动射线照



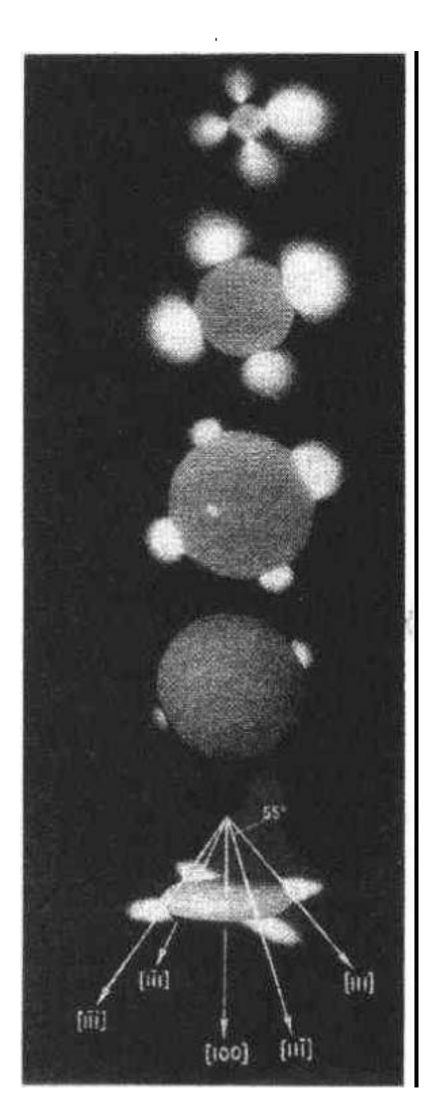


图 2-13 由掺 Te^{127}熔体生长的 InSb 晶片的自动射线照片，(a)切自[111]In 晶体，(b)切自[100]晶体，富 Te 生长的亮区表示小面的发展：(a)中心或主($\overline{111}$)In 小面和大的边缘(111)Sb 小面，最后一片上有一个小面消失，显示孪生的瞬时影响；(b)注意相对的(111)边缘小面的发展和较小的(111)In 小面以及(100)小面的显示。每张照片下面的图表示结晶学方向和 Te^{127}放射到自动射线胶片的“喷雾”效应

片，较亮的部分是富 Te^{127}区，照片下面的图表示的是 Te^{127}放射到自动射线胶片的“喷雾”效应。所用晶片是由[$\overline{111}$]，[100]晶体不同部位切下的。[$\overline{111}$]In 晶体显示中心小面或主小面连同三个边缘小面，这三个边缘小面是{111}Sb 型面。最后片子上有一个{111}Sb 小面消失了，这表明刚刚形成了孪晶。[100]晶体有两个相对的[$\overline{111}$]In 小面和两个相对的{111}Sb 小面，它们尺寸上的差别清楚地表明。{111}Sb 小面大于{$\overline{111}$}In 小面，其生长需较大的过冷度。请注意小的(100)主小面存在的证据。图 2-14 表示的是掺 Te^{127}⟨111⟩晶体纵截面照片，它显示了(111)主小面的晶内偏析效应以及每旋转一周的旋转条纹。自动射线照片清楚表明：小面的发展在晶体生长中是十分重要的，它引起掺杂剂和杂质分布不均匀。

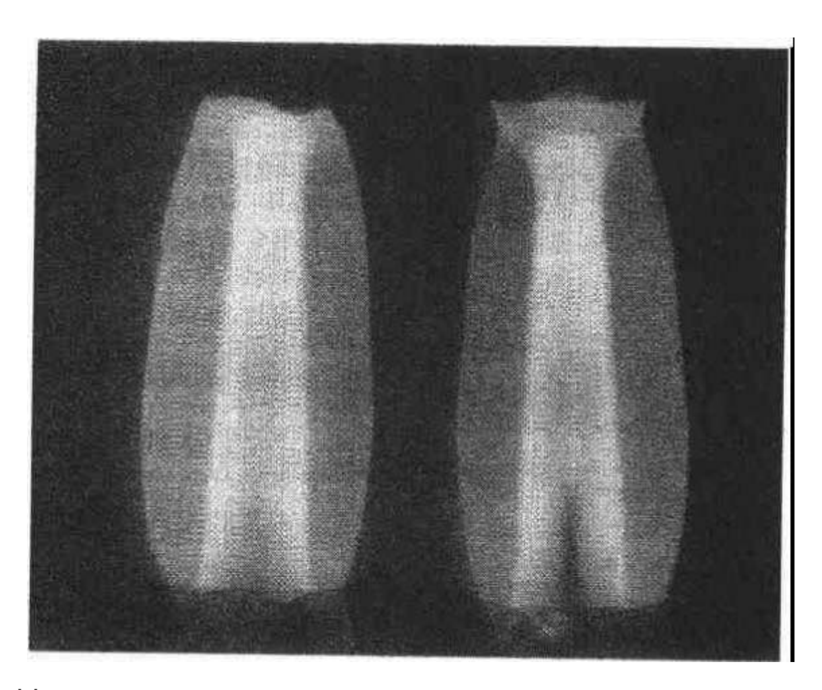


图 2-14 掺 Te^{127}InSb 晶体纵截面自动放射照片所显示的小面效应不均匀性。主(111)小面所产生的非常明显的不均匀性。注意每转一周的旋转条纹

• p. 100 •

孪生是Ⅲ-Ⅴ族化合物生长中的一个特殊问题，对任何生长工艺的成晶率影响都很大。生长孪生发生在{111}面上，{111}面是孪生构成面，可看作为相对〈111〉方向旋转60°。最近邻原子不受旋转影响，只有次近邻原子受此影响。次近邻原子间距离显著增加，与此相关的相互作用能相当小，这是增加孪生几率的一个因素。

孪生的形成及其作用的机理尚未完全弄清。Hurle(1995)在近来提出的模型中，设想了边缘小面上孪生的热力学条件。它只预言材料行为中的差别，对所涉及动力学效应的影响程度仍是未解决的问题。任一到达按60°旋转错取向的(111)表面上的原子都可能有关。杂质原子、温度起伏和化学计量都可能引起孪生但并没有可靠的“证据”，例如，化学计量的影响就至今没有完全弄清。

孪生依然是晶体生长中影响成晶率的令人烦恼的现象。对于孪生的发生，形成小面是需要的，但并非是唯一的要求。防止小面形成可以减少或消除孪生。然而，任一正切于{111}面的表面都有发展为小面的倾向。在相同生长条件下，温度梯度越小，小面越大，因为在小面上生长要求固定的过冷度。既然小的温度梯度是降低位错密度的基本要求，因而在晶体拉制中就难以避免小面形成和孪生。

• p. 101 •

2.7.6 位错和晶粒间界

位错和晶粒间界是影响熔体生长Ⅲ-Ⅴ族(Jordan 等，1980)和Ⅱ-Ⅵ族(Williams 和 Vere，1987)化合物晶体质量的主要障碍。对于Ⅲ-Ⅴ族(Ⅱ-Ⅵ族可能是一样的)化合物，位错形成的主要原因是生长过程中(或生长后)温度分布不合适，它会产生应变并进而导致应力。

垂直拉制为这一现象提供了一个经典实例。陡的温度梯度使晶体内部和外部产生温差，这就会形成箍形应力，它作用在倾斜的{111}面上从而产生滑移并形成位错。人们花费了巨大精力对这一问题进行理论分析(Jordan 等，1980；Volkl and Miiller，1989)并试图在实践上找到避免或尽可能减少这一问题的方法。绝大多数研究是针对 GaAs 的 LEC 生长进行的，虽然从其它Ⅲ-Ⅴ族化合物(例如 InSb，InP 和 GaP)的生长中也得到了许多有用的信息。

现在，人们普遍认为在 LEC 生长中，陡的温度梯度有利于晶体拉制和直径控制，但可产生相当高的位错密度，$\sim5\times10^4cm^{-2}$(对 GaAs 和 InP)。减小温度梯度可使上述位错密度值下降到其 1/10，甚至更低，但这又使晶体直径难以控制，并使已拉制出的晶体表面 B_2O_3 流失，也导致晶体质量下降。

要求得到良好热控制的关键区域之一是固液界面和 B_2O_3 表面附近的区域。Jordan 及其同事们(1980)证明，由晶体到 B_2O_3 的热损失是晶体到环境气氛热损失的 50 倍。同 B_3O_3 比较起来，气体起着热绝缘体的作用。这种情况有利于箍形应力形成。它也导致晶体直径控制困难。熟知的，当晶体露出 B_2O_3 表面时其直径快速变小的现象就是由于晶体上表面热损失减少而使其温度梯度下降所致。Jacob(1982)曾提出，GaAs 完全浸在 B_2O_3 中生长，但未能得到广泛响应。

· p. 102 ·

降低位错密度的另一方法是通过掺杂(Jacob 等，1983)使晶格硬化。掺杂剂使位错不易移动，这是通过“钉扎”效应或者简单的降低位错的运动速度实现的。为此，掺杂浓度要相当高，一般在 $10^{18}cm^{-3}$以上。因此这一技术仅限于生长有特殊应用的重掺杂材料。

目前发展现状是，LEC 是商业上通用的技术，它可实现多种掺杂，多种晶向单晶的生长。但所生长单晶位错密度较高，比如，不能降低到 10^3cm^{-2}；相反，VGF 可以得到低的位错密度，但它不是通用的技术，比较适用于制备某种专用产品。

Ⅱ-Ⅵ族化合物的熔体生长与Ⅲ-Ⅴ族化合物不同，容易形成晶粒间界，其原因可能是：Ⅱ-Ⅵ族晶格离子性更强，以及同Ⅲ-Ⅴ族化合物比较起来，Ⅱ-Ⅵ族化合物中有着更显著的增强扩散。

晶粒间界大体上可分为小角(度)(0.01°)晶界和大角(度)(~1°)晶界。小角晶界很难运动，实际上是相当稳定的。大角晶界一般只要轻轻研磨一下表面就可以看到。晶粒间界对少数载流子寿命有严重影响。研究出消除晶粒间界的方法是生长Ⅱ-Ⅵ族化合物的首要任务。

2.8 切片和晶片制备

把体单晶转变为适合于器件制造所需要的形式是加工工艺中至为关键的步骤。这方面文献中报道不多(Tada 等，1990)。或许因为晶片加工是商业上很敏感的事情——晶片质量直接关系到其销售是否通畅。

绝大多数器件制造工序都涉及某种形式的平面工艺。化合物的切片与晶片加工设备与为 Si 集成电路市场所开发的相应设备一般是相同的，要求加工出尺寸精确的圆片。目

前化合物单晶直径远小于标准 6in Si[1]。目前,直径 2in GaAs 和 InP 正被标称 3in 材料所取代。对圆片的需求是发展 LEC 和 VGF 工艺的主要驱动力之一。HG 技术受到支持,是由于用其它方法无法有效地获得相应特性,如低成本生产激光二极管所要求的低位错密度 GaAs 单晶。

· p. 103 ·

原生晶体一般不是理想的圆形,而需按所要求的直径进行"滚圆"。再把圆柱形晶体切成晶片。在 Si 工业中这一工序是用高速金刚石刀片完成的。化合物半导体在结构上比 Si 软得多,早年亦试图用此法进行切割,但常常碎片。在研究工作中发展了慢速切割的方法,为解决刀片摆动问题,将轮片夹住而固定,并从其周边进行驱动。用刀片较小直径的内缘进行切割。刀片必须绷紧陡直。所有切割都要求高度熟练技术和高质量机器——不能有任何振动。晶体安装在可调整的台子上并与 X 射线定向设备和切割机相配合。这样可以切割出精确定向的晶片,晶向偏差$<0.1°$。由于市场驱动和减少切割时间的需要,发展了高速锯,现已成功地用于 GaAs、InP 和其它 Ⅲ-Ⅴ 族化合物的切割。

所有的切割都会产生表面损伤,对于 Si,它一般小于 $10\mu m$,而对 GaAs,可达 $50\mu m$,对 Ⅱ-Ⅵ 族化合物则更为严重。可以通过研磨去掉切割损伤。但表面如果切割得很平整,也可直接进行化学抛光,至少去掉表面切割损伤深度的三倍。为去掉所有痕量损伤以制备最高质量的抛光片,常常要通过抛光去除 100—$300\mu m$(厚度)。外延生长的质量与晶片表面加工质量有非常密切的关系。它是晶片交易中涉及的一个主要内容。

晶片的精细处理还包括最后腐蚀,这有两个原因。首先,即使是化学抛光,由于样品装御会引入少量损伤;其次,要防止正电性元素,如 Cu,沾染到经精细抛光的表面上,这种沾污对其后在晶片上制作器件结构是很有害的。不过,有关这方面的工艺和诀窍,一般都属于商业秘密。

---

1) 直径 6in 的 GaAs 单晶早已研制成功,直径 4in 的 GaAs 已批量生产。——译者注

2.9 参 考 文 献

Al-Bassam, A. A. I., Al-Juffali, A. A., Al-Dhafiri, A. M. (1994), *J. Cryst. Growth 135*, 476.

Arthur, J. R. (1967), *J. Phys. Chem. Solids 28*, 2257.

Bachmann, K. J., Bühler, E. (1974), *J. Electrochem. Soc. 121*, 835.

Balasubramanian, R., Wilcox, W. R. (1993), in: *Proc. E-MRS Conf. (Symp. F) CdTe and Related Cd Rich Alloys, Strasbourg, June 1992. Mater. Sci. Eng. B 16*, 1.

Bardeen, J., Brattain, W. H. (1948), *Phys. Rev. 74*, 203.

Bardsley, W., Boulton, J. S., Hurle, D. T. J. (1962), *Solid-State Electron. 5*, 395.

Bourret, E. D. (1990), *Am. Assoc. Cryst. Growth Newslett. 20 (3)*, 8.

Burton, J. A., Prim, R. C., Slichter, W. P. (1953), *J. Chem. Phys. 21*, 1987.

Cantell, G., Harsch, W. C., Cotal, H. L., Markey, B. G., MacKeever, S. W. S., Thomas, J. E. (1992), *J. Appl. Phys. 71*, 2931.

Capper, P. (1994), *Prog. Cryst. Growth Charact. Mater. 28*, 1.

Chesswas, M., Cockayne, B., Hurle, D. T. J., Jakeman, E., Mullin, J. B. (1971), *J. Cryst. Growth 11*, 225.

Clemens, J. E., Gault, W. A., Monberg, E. M. (1986), *AT&T Tech. J. 65*, 86.

Cochran, W. G. (1934), *Proc. Camb. Phil. Soc. 30*, 365.

Czochralski, J. (1917), *Z. Phys. Chem. (Leipzig) 92*, 219.

Fischer, A. G. (1970), *J. Electrochem. Soc. 117*, 41C.

Gault, W. A., Monberg, E. M., Clemens, J. E. (1986), *J. Cryst. Growth 74*, 491.

Gremmelmaier, R. (1962), "Czochralski Technique", in: *Compound Semiconductors*, Vol. I: *Preparation of III–V Compounds*: Willardson, R. K., Goering, H. L. (Eds.). New York: Reinhold, p. 254.

Harman, T. C. (1967), "Properties of Mercury Chalcogenides", in: *Physics and Chemistry of II–VI Compounds*: Aven, M., Prener, J. S. (Eds.). Amsterdam: North-Holland, p. 767.

Hicks, H. G. B., Greene, P. D. (1971), *Proc. 3rd Int. Symp. on GaAs and Related Compounds, Aachen, 1970 Inst. Phys. Conf. Ser. 9*. Bristol: Institute of Physics, p. 92.

Hirano, R., Kanazawa, T., Nakamura, M. (1992), *4th Int. Conf. on InP and Related Materials, Newport, 1992*. Piscataway, NJ: IEEE, p. 546.

Holmes, D. E., Chen, R. T., Elliott, K. R., Kirkpatrick, C. G. (1982), *Appl. Phys. Lett. 40*, 46.

Hukin, D. A. (1989), in: *Proc. 4th Int. Photovoltaic Science and Engineering Conf.* Edge Cliff, NSW, Australia: International Radio and Electrical Engineers of Australia, p. 719.

Hulme, K. F. (1959), *J. Electron. Control 6*, 397.

Hulme, K. F., Mullin, J. B. (1959), *Phil. Mag. 4*, 1286.

Hulme, K. F., Mullin, J. B. (1962), *Solid-State Electron. 5*, 211.

Hurle, D. T. J. (1961), *Solid-State Electron. 3*, 37.

Hurle, D. T. J. (1977), *J. Cryst. Growth 42*, 473.

Hurle, D. T. J. (1993), *J. Cryst. Growth 128*, 15.

Hurle, D. T. J. (1995), *J. Cryst. Growth 147*, 239.

Hurle, D. T. J., Jones, O., Mullin, J. B. (1961), *Solid-State Electron. 3*, 317.

Isshiki, M. (1992), "Bulk Growth of Widegap II–VI Single Crystals", in: *Widegap II–VI Compounds for Opto-Electronic Applications*: Ruda, H. E. (Ed.). London: Chapman and Hall, p. 3.

Jacob, G. (1982), *J. Cryst. Growth 58*, 455.

Jacob, G., Duseaux, M., Farges, J. P., Van Den Boom, M. M., Roksnoer, P. J. (1983), *J. Cryst. Growth 61*, 417.

Jordan, A. S., Caruso, R., Von Neida, A. R. (1980), *Bell Syst. Tech. J. 59*, 593.

Liao, P. K., Chen, M. C., Castro, C. A. (1992), in: *10th Int. Conf. on Crystal Growth, San Diego, CA 1992. Oral Presentation Abstracts*. Thousand Oaks, CA: American Association for Crystal Growth, p. 161.

Lorenz, M. R. (1967), "Crystal Growth of II–VI Compounds", in: *Proc. Int. Conf. on II–VI Semiconducting Compounds, Providence, RI*. New York: W. A. Benjamin, p. 215.

Maier, H. (1984), in: *Landolt-Börnstein: Numerical Data and Functional Relationships in Science and Technology, new series, Vol. 17: Technology of Semiconductors*. Berlin: Springer, p. 5.

Metz, E. P. A., Miller, R. C., Mazelsky, R. (1962), *J. Appl. Phys. 33*, 2016.

Muller, G., Jacob, H. (1984), in: *Landolt-Börnstein: Numerical Data and Functional Relationships in Science and Technology, New Series, Vol. 17: Technology of Semiconductors*. Berlin: Springer, p. 12.

Mullin, J. B. (1962), Segregation in InSb, in: *Compound Semiconductors*, Vol. 1: *Preparation of III–V Compounds*: Willardson, R.K., Goering, H. L. (Eds.). New York: Reinhold, p. 365.

Mullin, J. B. (1975a), "Crystal Growth from the Melt: I. General", in: *Crystal Growth and Characterization, Proc. ISSCG2 Spring School, Lake Kawaguchi, Japan, 1974*: Ueda, R., Mullin, J. B. (Eds.). Amsterdam: North-Holland, p. 61.

Mullin, J. B. (1975b), "Crystal Growth from the Melt: II. Dissociable Compounds", in: *Crystal Growth and Characterization, Proc. ISSCG2 Spring School, Lake Kawaguchi, Japan, 1974*: Ueda, R., Mullin, J. B. (Eds.). Amsterdam: North-Holand, p. 75.

Mullin, J. B. (1989), "Melt Growth of III–V Compounds by the Liquid Encapsulation and Horizontal Growth Techniques", in: *III–V Semiconducting Materials and Devices*: Malik, R. J. (Ed.). Amsterdam: Elsevier, Chap. 1, p. 1.

Mullin, J. B., Straughan, B. W., Brickell, W. S. (1965), *J. Cryst. Growth 26*, 782.

Mullin, J. B., Heritage, R. J., Holliday, C. H., Straughan, B. W. (1968), *J. Cryst. Growth 3/4*, 281.
Mullin, J. B., MacEwan, W. R., Holliday, C. H., Webb, A. E. V. (1972), *J. Cryst. Growth 13/14*, 640.
Nygren, S. F., Ringel, C. M., Verleur, H. W. (1971), *J. Electrochem. Soc. 118*, 306.
Pfann, W. G. (1966), *Zone Melting*, 2nd ed. New York: Wiley.
Piper, W. W., Polich, S. J. (1961), *J. Appl. Phys. 32*, 1278.
Rudolph, P. (1995), *Prog. Cryst. Growth Charact. Mater.*, to be published.
Rudolph, P., Umetsu, K., Koh, H. J., Fukada, T. (1994), *J. Cryst. Growth 143*, 359.
Sen, S., Stannard, J. E. (1995), *Prog. Cryst. Growth Charact. Mater.*, to be published.
Shockley, W. (1949), *Bell Syst. Tech. J. 28*, 435.
Strauss, A. J. (1971), in: *Proc. Int. Symp. Cadmium Telluride, Strasbourg, June 1971*: Siffert, P., Cornet, A. (Eds.). Strasbourg: Centre de Recherches Nucléaires, p. 11.
Swiggard, E. M., Lee, S. H., von Batchelder, F.W. (1979), *Proc. 7th Int. Symp. on Gallium Arsenide and Related Compounds, St. Louis 1978. Inst. Phys. Conf. Ser. 45b.* Bristol: Institute of Physics, p. 125.
Tada, K., Tatsumi, M., Morioka, M., Araki, T., Kawase, T. (1990), *Semiconductors and Semimetals, Vol. 31, Indium Phosphide: Crystal Growth and Characterization:* Willardson, R. K., Beer, A. C. (Eds.), New York: Academic, p. 175; see especially pp. 222ff.
Teal, G. K. (1958), *Transistor Technology*, Vol. 1: Bridgers, H. E., Scaff, J. H., Shive, J. N. (Eds.). New York: Van Nostrand, Chap. 4.
Thomas, R. N., Hobgood, H. M., Ravishankar, P. S., Braggins, T. T. (1990), *J. Cryst. Growth 99*, 643.
Thomas, R. N., Hobgood, H. M., Ravishankar, P. S., Braggins, T. T. (1993), *Prog. Cryst. Growth Charact Mater. 26*, 219.
Triboulet, R. (1994), *Prog. Cryst Growth Charact. Mater. 28*, 85.
Van Kármán, T. (1921), *Z. Angew. Math. Mech. 1*, 233.
Van der Boomgaard, J., Schol, K. (1957), *Philips Res. Rep. 12*, 127.
Võlkl, J., Müller, G. (1989), *J. Cryst. Growth 97*, 136.
Welker, H. (1952), *Z. Naturforsch. 7a*, 744.
Welker, H. (1953), *Z. Naturforsch. 8a*, 248.
Willardson, R. K., Goering, H. L. (Eds.) (1962), *Compound Semiconductors*, Vol. 1: *Preparation of III–V Compounds*. New York: Reinhold.
Williams, D. J., Vere, A. W. (1987), *J. Cryst. Growth 83*, 341.

一般阅读资料

Bardsley, W., Hurle, D. T. J., Mullin, J. B. (Eds.) (1979), *Crystal Growth: A Tutorial Approach*. Amsterdam: North-Holland.
Brice, J. C. (1965), *Growth of Crystals from the Melt*. Amsterdam: North-Holland.
Hurle, D. T. J. (Ed.) (1993, 1994, 1995), *Handbook of Crystal Growth: Vol. 1, Fundamentals; Vol. 2, Bulk Crystal Growth; Vol. 3, Thin Films and Epitaxy*. Amsterdam: Elsevier Science.
Malik, R. J. (Ed.) (1989), *III–V Semiconductor Materials and Devices*. Amsterdam: Elsevier Science. Includes chapter on "Melt Growth of III–V Compounds by the Liquid Encapsulation and Horizontal Growth Techniques" by J. B. Mullin, p. 1.
Miller, L. S., Mullin, J. B. (Eds.) (1991), *Electronic Materials: From Silicon to Organics*. New York: Plenum.
Pfann, W. G. (1963), *Zone Melting*. New York: Wiley.
Thomas, R. N., Hobgood, H. M., Ravishankar, P. S., Braggins, T. T. (1993), "Meeting Device Needs Through Melt Growth of Large-Diameter Elemental and Compound Semiconductors". *Prog. Cryst. Growth Charact. Mater. 26*, 219.
Ueda, R., Mullin, J. B. (Eds.) (1975), *Crystal Growth and Characterisation*. Amsterdam: North-Holland.
Willardson, R. K., Goering, H. L. (Eds.) (1962), *Compound Semiconductors: Vol. 1. Preparation of III–V Compounds*. New York: Reinhold. Includes a chapter on "Segregation in InSb" by J. B. Mullin, p. 365.
Proceedings of the International Conferences on Crystal Growth. 1965, Oxford: Pergamon. 1968, 1971, 1974, 1977, 1980, 1983, 1986, 1989, 1992, Amsterdam: Elsevier.

3 外延生长

Thomas F. Kuech
Department of Chemical Engineering, University of Wisconsin, Madison, WI, U.S.A.
Michael A. Tischler
Advanced Technology Materials, Inc., Danbury, CT, U.S.A.
(杨英为 译 邓志杰 校)

目录

符号与缩语表

A 表面积,孔径面积
c 浓度

C^{s}_{As}　溶质 As 在固相中的浓度

C_S　扩散物的局部浓度

d　气体分子直径；外延层厚度

D　扩散率，气相扩散系数

D_0　扩散系数

D_S　表面扩散系数

E　能量

G　自由能

G_{form}　生成自由能

G_{migr}　迁徙自由能

H　焓

J　通量，流量

k　速度常数

k_B　玻尔兹曼常量

K　平衡常数

Kn　Knudsen 常数

l　距离

L　反应器尺寸

m　液相线斜率

M　分子量

n　气体分子数量密度

N　阿伏伽德罗常量

N_i　i 组分的重量百分数

P　压力

P_i　i 组分的分压

Q　激活能

Q_{evap}　蒸发热

R　冷却速度；气体常数

s　台阶高度

S　熵

t　时间

T　温度

V_{rms}　气体平均流速

W　功

x　距离

X_i　i 组分的摩尔分数

α　速度常量

α_0	速度常量的指数前系数
γ	表面张力
γ_{S_A/S_B}	固相 A 与 B 之间的界面能
$\nu_{S/V}$	固-气相间界面能
δ_{diff}	扩散边界层厚度
ε	单位面积平台的能量
$\varepsilon^{(1)}$	单位长度突缘的能量
$\varepsilon^{(2)}$	每个扭转位的能量
θ	角度
Θ	可供吸附的点位的百分数
λ	平台宽度;气体分子平均自由程
ν	气体动粘滞度
ρ	扭转位密度

2DEG	二维电子气
AFM	原子力显微镜(或原子力显微照片)
APCVD	常压化学气相沉积
BEP	(分子)束当量压力
CVD	化学气相沉积
DEZ	二乙基锌
DFB	分布反馈
DH	双异质结构
FET	场效应晶体管
FWHM	半高峰宽
GR	生长速度
LPCVD	低压化学气相沉积
LPE	液相外延
MBE	分子束外延
MOMBE	金属有机分子束外延
MOSFET	金属-氧化物-半导体场效应晶体管
MOVPE	金属有机气相外延
PBN	热解氮化硼
PL	光致发光
RHEED	反射高能电子衍射
RTP	快速热处理
SBH	肖特基势垒高度
SI	半绝缘
STM	扫描隧道显微镜

TBP	叔丁基膦
TEI	三乙基铟
TLK	平台-突缘-扭转部
TLV	阈限值
TMI	三甲基铟
UHV	超高真空

· p. 110 ·

3.1 引　言

现代半导体器件和电路的进展要求对大量的不同材料进行集成化。制造这些器件需要对各种不同材料(金属、绝缘体、半导体)进行可控沉积和加工:金属主要用于各半导体区域间的互连,绝缘体则用于金属导线和半导体间的电隔离。SiO_2 及其它材料的沉积可用于生成器件的有源区,如硅的金属-氧化物-半导体场效应晶体管(MOSFET)的有源区。材料的沉积或半导体的表面改性是为了在器件或电路中制成一些独立的元件。如电阻、pn 结、晶体管,以及一系列其它器件均可通过各种不同材料工艺生成。对金属、半导体、绝缘体进行的加工是在衬底晶片表面的薄层中进行的,也可在晶片的近表面区通过表面改性实现加工。

一个硅器件结构的典型剖面示于图 3-1。为了形成这种结构并最终制出工作器件,使用了多种不同的加工工艺和材料改性技术。例如,在半导体硅片中生成导电区可以晶片的近表面区改性而完成。通过离子注入或固相扩散,可以改变指定区域的载流子浓度和导电型号。二氧化硅的生长可以借助于硅的热氧化或借助于沉积过程,用它作为某一局部的绝缘体。像溅射、热蒸发和化学气相沉积之类的沉积工艺已用于在晶片表面生成半导体、绝缘体或金属导电区域。这些重要的工艺在本书的其它章节进行讨论。

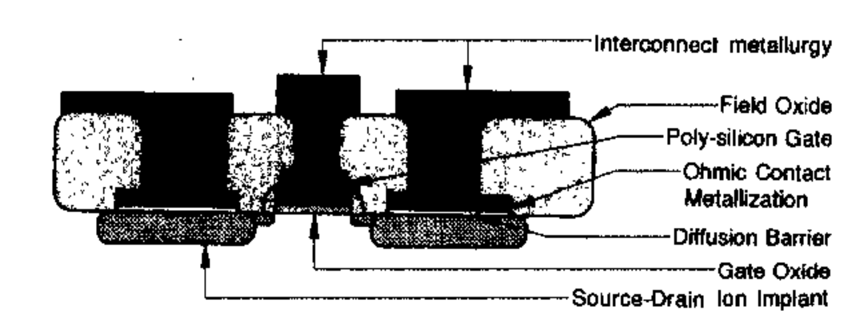


图 3-1　典型的硅电子器件的剖面。此器件由若干具有不同电学性质的区域组成。产生这些区域的工艺示于图中

加工、生长或沉积技术将决定器件的最终结构,从而决定器件的特性,这些将在本章中讨论。器件特性特别依赖于这些沉积层(或改性层)的化学、物理及结构特性以及它们之间的界面特性。不同材料间的界面局部特性可能是复杂的。在 n 型半导体和 p 型半导体间的 pn 结中存在大量的结构缺陷或化学杂质可能严重地改变 pn 结的电学特性。同样,在 Si 和 SiO_2 间界面处的结构缺陷或杂质可能破坏界面的重要的钝化特性,并使 MOSFET 中的 Si-SiO_2 结的电学特性劣化。最后,金属与半导体间的界面,因两种材料的电子结构或其界面的物理特性不同可表现出整流特性或欧姆特性。

· p. 111 ·

对于多数界面的主要难题在于影响界面特性的缺陷的随机性。例如,在多数金属-半导体界面生成的肖特基整流势垒仅能控制其典型势垒高度(800meV)到±10meV。势垒高度(SBH)不足 1%—2%的波动归因于两种结构不同的材料间的界面结构的微小变化,并

与界面上化学杂质能级及其分布有关。在单晶衬底上生长或沉积多晶层总是造成沿界面的微结构变化。由于基本的缩图技术和光刻技术的进步，器件的横向尺寸在不断变小，因此横向特性的起伏是在更小的面积上取平均值的。器件特性及其热稳定性随着器件尺寸的缩小则显示出较大的起伏。在电路应用过程中，正是这种相邻器件间的特性波动可能造成电路失效。

横向尺寸变小的趋势还伴随着器件纵向尺寸的变小。现有的器件工艺在精密化，并制造着日益缩小的并变薄的结构。一些与晶片近表面区改性相关的技术，如离子注入和扩散，在制造越来越窄的可控特性区方面正接近其极限。热扩散和离子注入都因工艺本身的随机性而受到局限。用上述两个工艺产生的晶片近表面区的杂质分布都是典型的高斯型深度分布，从而反映了该工艺使表面下方的原子运动带有随机性质。另外，为了使杂质激活，两种工艺都要求在较高温度下进行，例如在离子注入及杂质再分布时均如此。热处理可能造成固有缺陷的非平衡浓聚，从而影响随后的加工工序和材料特性。

更小、更薄和更高性能的器件进展在制造过程中将受到更加严格的热极限和物理极限的约束。因此，每一代新器件均在新的工艺过程中带进令人神往的创新性，对半导体器件生产来说，总的趋势是“低热”的(包括温度和时间)加工和沉积工艺。“低热”加工工艺在应用中有许多优点，从而使材料中缺陷更少，以及器件结构内部的杂质再分布范围缩小。在电子器件开发中杂质控制变得日益重要的同时，物理结构，特别是材料界面随着器件尺寸的变小也变得更加重要。在形形色色工艺条件下，要想到关键的界面结构细节进行控制变得越来越难。正是更“低热”的工艺，使材料间的互扩散及相互作用降至最低。

• p.112 •

本章中，我们将集中讨论称之为外延生长工艺的一系列工艺过程的本质和应用。特别应指出，这些技术已应用于形成包括器件有源区在内的薄层半导体结构。在多数场合，半导体应以晶体形态沉积或生长。在特殊生长条件下，生长层能够复制位于其下方的衬底的物理构造。衬底晶格排列的复制即众所周知的外延。外延生长在多数场合可得到结构完整的薄膜并且在多数现代器件结构中起着非常重要的作用。有许多沉积技术可用于半导体外延生长。选择某一特定技术取决于多种考虑。主要应予考虑的问题有：所生长薄膜的结构、电学性质，以及沉积层和衬底间的界面等。控制这些因素的方法与特定器件应用有关。非晶薄膜也可应用于器件制备，并能用本章中介绍的许多生长技术制取。

在外延生长过程中，沉积的原子会在生长表面自动排列整齐并与位于下方的衬底中的原子键合。衬底中原子的排列情况决定了所生长薄膜中原子的排列，所得的薄膜实际是单晶衬底的原子排列的直接延续。原则上，由于薄膜是衬底的“复制品”，外延薄膜应该与衬底一样结构完整，并且没有缺陷。由于在沉积过程中可以改变沉积原子的类别，因而在生长方向上可对所生长的薄膜组分进行控制。现在有许多沉积方法可用于制造多层外延结构，其中单一层的厚度可小于 1nm，层间界面可实现原子尺度的突变。生长这种高度完整的界面必须采用低温外延生长工艺。

我们经常碰到的外延生长工艺是在现有的硅晶片或衬底上生成硅外延层。在化学组分完全相同的衬底上进行相同组分材料的可控生长，例如在 Si 上生长 Si，被称之为同质外延生长。在 Si 衬底上进行 Si 的同质外延沉积经常用于生成非常薄的硅膜，生长层的电学性质可与位于下方的一些其它薄膜的性质完全不同。在外延生长过程中，电活性杂质

(即掺杂剂)的可控掺入可用于生成电学性质或组分不同的界面。例如,pn 结是通过首先向生长层掺入 p 型杂质,然后是 n 型杂质而形成的。材料从 p 型向 n 型的过渡可以在仅仅几个原子层内实现。既然薄膜掺杂可以在几个原子层内变化,那么薄膜组分当然也可以在同样量级上变化。

· p. 113 ·

不同组分材料的生长,如在硅上生长 Si_xGe_{1-x}合金,称之为异质外延生长。在硅衬底上生长 Si_xGe_{1-x}可以在薄膜中实现电子结构的变化。局部电子结构的变化构成了多种新电子器件的基础,化合物半导体的异质外延生长,如$GaAs/Al_xGa_{1-x}As$,$InP/In_xGa_{1-x}As_yP_{1-y}$,是最成熟的异质外延生长技术之一。量子阱激光器、高性能异质结晶体管、多层结构光探测器都是利用异质外延制成的。

在外延层生长中要用到一些基本的技术。特定生长工艺的选择与所需材料及特定材料结构有着很大关系。物理沉积用于许多种薄膜的生长。尤其是分子束外延(MBE)已成功地用子制造非常薄的器件结构。该工艺是在超高真空(UHV)环境中,加热的衬底暴露于生长组分的分子流中(通常是元素源)。在较高压力下,从气相中进行材料生长是一个更普遍的工艺。这个工艺称之为化学气相沉积(CVD)。CVD 工艺利用具有高蒸气压的化合物为薄膜提供组分元素。在表 3-1 中罗列了一系列 CVD 技术。在生长硅时,挥发性的源化合物,如 SiH_4,被输运到生长前沿,在该处发生反应,并进入生长层。在所有场合,薄膜沉积或形成外延结构均通过一系列单元阶段或单元工艺进行,它们是:(i)生长组分物输运至生长前沿,(ii)这些组分物在生长表面分解,(iii)沉积物在表面迁徙,以及(iv)继之键合进入生长前沿。这些单元工艺的最慢者成为决定薄膜生长速度的制约阶段。本章中将讨论这些单元过程,它们如何应用于 CVD 型的外延生长以及它们如何影响沉积层的外延结构。

· p. 114 ·

表 3-1　用于半导体外延生长的 CVD 反应剂示例

半导体	反应剂	压力条件	有关通用术语
Si	$SiCl_2H_2$,$SiCl_4$	近大气压 CVD	APCVD
	SiH_4,Si_2H_6	近大气压 CVD 和 LPCVD	LPCVD 和 UHV-CVD
Ge	GeH_4	近大气压 CVD 和 LPCVD	APCVD,LPCVD,和 UHV-CVD
SiC	SiH_4 和 C_3H_8	近大气压 CVD	APCVD
GaAS	Ga 和 $AsCl_3$	近大气压 CVD	VPE
	$(CH_3)_3Ga$ 和 AsH_3	近大气压 CVD	MOVPE,MOCVD,OMVPE,或 OMCVD
InP	$(CH_3)_3In$ 和 PH_3	近大气压 CVD	MOVPE 等
$Al_xGa_{1-x}As$	$(CH_3)Ga$,$(CH_3)_3Al$ 和 AsH_3	近大气压 CVD	MOVPE 等
$Hg_xGd_{1-x}Te$	Hg,$(CH_3)_2Cd$,和$(C_3H_8)_2Te$	近大气压 CVD	MOVPE 等
$In_xGa_{1-x}As_yP_{1-y}$	$(CH_3)_3In$,$(C_2H_5)_3Ga$,$(C_4H_9)AsH_2$ 和$(C_4H_9)PH_2$	近大气压 CVD	MOVPE 等

薄膜CVD 工艺有许多问题值得讨论。在本章中我们仅限于探讨外延薄膜本身，因而沉积层或外延层的结构必须与衬底间有一个明确的关系。当这一名词用于描述薄膜的全部物理本质时，外延薄膜的物理结构细节或者其完整性也同样重要。为使讨论更加联系实际，沉积层必须具有其它一些在器件的整个形成过程中直接要使用到的特性。沉积层在厚度、组分、化学、电学或光学性质方面必须是均匀的。薄膜性质的变化会相应地引起整个晶片上制成的器件以及片与片间的性质变化。总之，为便于光刻，整个表面必须是光滑的。表面缺陷会减少沉积层的有效面积，因而使由这种材料制成的器件或电路的成品率下降。薄膜内部的缺陷也应加以控制。薄膜中的缺陷有丢失的原子(空位)、原子排(位错)或额外或"丢失的"原子面(堆垛层错)均示于图 3-2，这些缺陷必须加以控制或消除。它们可能是电活性的，并影响由该外延薄膜制成的电子或光学器件的性能。

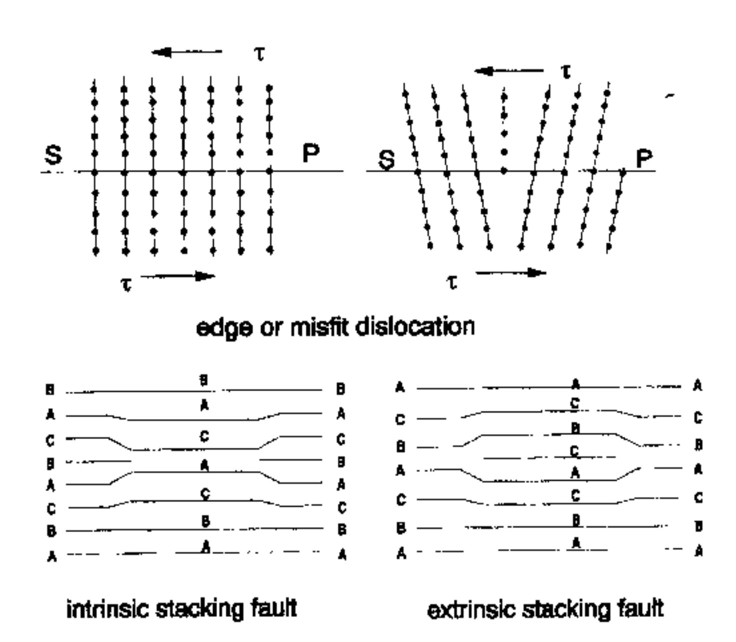


图 3-2　薄膜结构中通常会遇到的一些缺陷。丢失的原子(空位)、丢失的原子排(位错)和多余的或丢失的部分原子面(堆垛层错)。τ 是剪切应力，S 和 P 则限定位错平面

3.2　外延过程：总论

• p. 115 •

外延薄膜生长在晶体表面进行。薄膜与晶体表面可以是同一种材料，如在 Si 衬底上进行硅外延生长；也可以是不同材料，如在 GaAs 衬底上外延生长 $Al_xGa_{1-x}As$。无论何种场合，表面组分，化学和结构的特性对确定外延生长过程中的根本特征起着决定性作用。生长速度、电学特性以及薄膜结构均取决于发生在此生长前沿的化学和物理反应。本节将集中讨论生长表面的物理本质及在其上发生的元过程。这些元过程对所有外延生长方法，如 MBE、CVD 及液相外延(LPE)中的物理沉积均有重要意义。首先从生长表面的热力学问题谈起。根据定义，生长着的表面并非处于平衡态。为了接近并达到平衡，与输运过程及发生的化学反应相比，材料沉积的速度应是非常慢的。材料的实际生长过程通常可看成生长前沿的平衡态结构与组分的微小扰动。当然，也可能有这种情况：化学和物理反应非

常之慢，但表面及生长的薄膜中仍出现非平衡结构。但在任何情况下，表面的热力学问题是外延生长过程讨论的很好出发点。

3.2.1 表面热力学与表面结构

热力学通常用于描述体积相之间的关系。一般说，这种描述并不考虑体积相的表面影响，也不考虑这些表面可能与体积相有着完全不同的性质。许多情况下，在热力学计算中忽略表面的影响。大多数固体材料的原子密度约为 10^{22}原子/cm^3。试看一块 $1cm^3$ 的金属，根据其原子密度推算出的表面原子数大约为 10^{15}个原子，或者说是总原子数的 $1/10^7$。对一般材料来说，这是非常小的一部分，因而表面在计算中可以忽略不计。但是在已有的衬底上进行外延薄膜沉积则完全是另外一码事。一个 0.1μm 厚的薄膜，其面密度大约为 10^{17}原子/cm^2。界面原子或其上的表面原子则占总原子数的 1%。在我们的讨论中有一些场合，这 1%的原子或者可以忽略。但是在生长的早期阶段，所有的原子均位于或接近于表面。这时表面能对薄膜生长的影响可能远远超过体积相的影响。尤其是对于一些界面起主要作用的结构，如 MOSFET 器件，界面是由两种不同材料的近表面区组成的。这些器件的表面区往往主导着其物理和电子学特性。

· p.116 ·

表面层中的原子与固体体内原子处于完全不同的环境中。它们拥有较少的近邻，近邻原子的分布是各向异性的；而且从原子尺度上来衡量，它们的性质（即化学键、位置等）是不同的。由于这些细致的原子特征决定着宏观体系的热力学特性，因此把表面与整体看成完全不同的相是有益的。内表面或界面也可看成不同的相，因为在几个原子的距离内组分发生着巨大的变化。体系的热力学特性可看成体内部和表面二者贡献之总和，或对后者来说是界面贡献。与表面有关的最熟见的特征能量是表面张力。表面张力 γ 可以定义为在定温、定体积和定原子数条件下形成一个单位面积新表面所需的可逆功（Adamson，1990）：

$$\gamma \equiv \frac{đW}{dA}\bigg|_{T,V,n}, \qquad A \to 0 \tag{3-1}$$

式中 $đW$ 是与面积增量 dA 有关的功。为了增加界面或表面的面积，必须对系统做功，因此要采用能量的术语。形成一个新表面所做的功与原子键破裂有关，即增大或缩小邻近原子间的距离，和/或对原子进行重新排列。尽管表面张力原理通常用于液体，它对固体也有类似的物理定义。表面张力既可用于描述产生新表面所需的功（如解理一块晶体或一个新固相的成核），也可用于描述增大一个表面积所需的功（如新内表面的形成或表面原子的重新排列或重构）。晶界即为在材料冷加工时可能形成的内边界的一个实例。

表面张力是热力学中遇到的较熟悉的一种能量。Helmholtz 自由能、熵、焓和 Gibbs 自由能全都可以从表面张力角度加以定义。例如，系统的总 Gibbs 自由能可由体内贡献和表面贡献组成（Adamson，1990）：

$$G = G^B + G^S \tag{3-2}$$

表面贡献 G^S 与体内贡献 G^B 可以同一方式予以定义：

$$G^i = H^i + TS^i \tag{3-3}$$

式中，H^i 和 S^i 为某相的焓或熵，而 T 则为温度。表面张力可以表述为：

$$G^S = \gamma = \frac{\partial G}{\partial A}\bigg|_{T,P} \tag{3-4}$$

另外，一些体相热力学关系式可以用于定义另外一些与表面有关的量。特别是表面熵可以表如下式：

$$\left(\frac{\partial G^{S}}{\partial T}\right)_{P}=-S^{S} \tag{3-5}$$

或

$$\frac{d\gamma}{dT}=-S^{S} \tag{3-6}$$

表面能 E^S 和表面焓 H^S 在数值上通常很接近，$E^S \cong H^S$，因此表面能可表达为：

$$E^{S} \cong H^{S}=G^{S}+TS^{S} \tag{3-7}$$

或

$$E^{S}=\gamma-T\frac{d\gamma}{dT} \qquad (3\text{-}8)^{1)}$$

固体表面张力或表面能原理对确定外延生长过程中的表面重组、成核及生长行为是很有用的。

• p. 117 •

表面能几乎总是正的，这说明表面不是能量上的最佳实体。固体总是对抗新表面的生成，因为要消耗能量。在高温时与其蒸气或液相处于平衡态的固体必定形成一个能量消耗最少的表面外形。固体要调整其外形，使表面能最小。表面能应是晶态固体的晶体取向函数。可以通过清点断裂键的数目估算表面能；当表面形成时，必定会产生断裂键。晶体的不同晶面可能拥有不同的键数。在表面形成过程中，断裂键数较多的表面通常总是拥有较高表面能的面。这种高能表面从能量角度看是不容易生成与扩展的。处于热力学平衡态的晶粒应能发展出轮廓分明的结晶学小面，即形成晶面表面特征。天然晶体的熟悉外形正是体现了这种热力学影响。表面上生成小面的趋势不仅在宏观尺度上有所表现，在微观或原子尺度上也是如此。较为稳定的结晶学小面的形成以牺牲具有较高自由能的表面为代价。例如在高温下 Ag 的(100)表面上将出现热小面。在 Ag 的熔点附近，(100)晶面将分解成一些具有(111)取向的微观小面。

绝大多数外延生长均在良好取向的单晶衬底上进行，多数晶片的取向均是选定的低指数晶向，如具有确定定向精度的(100)或(111)，正好是某一准确结晶学平面的晶片表面被称之为奇异面。除了前述的小面行为外，晶片表面还可有其它的附加构造。细致的表面构造可用三个分开的，但彼此有联系的特征来描述：平台、扭转和突缘。往往晶片拥有特定的、抛光的(100)表面，它在切割时有意地向另一主要晶向偏离一定角度，如图 3-3 所示。这种表面通常被

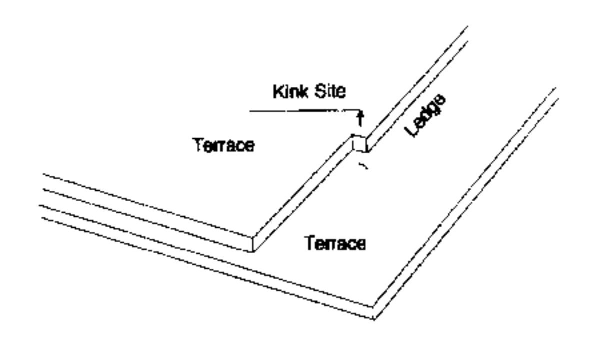


图 3-3 衬底表面不完全与准确晶面一致时往往包含有一些突缘、平台或扭转。这些基本的表面结构可能会影响薄膜的生长

1) 式中的“+”号似乎应为“−”号。——译者注

称为近晶面。这种有意、无意的晶向偏离会使晶片表面结构发生变化。在这种表面上的平台、突缘和扭转(TLK)示于图 3-3。

对 TLK 的分析有可能用于晶体表面能的试算。分别考察每种构造对表面上形成的特定缺陷能的各自贡献即可完成这种试算。根据这种分析，表面可以看成由奇异面，即原子尺度上平整的表面(平台)加上一个平台转向另一个平台的落差(突缘)和突缘上的扭转所组成。这种处理方法拓展了通常用于描述表面能的键断裂模型。生成突缘及扭转是在高于绝对零度时的熵效应造成的。在 0K 时，一个具有接近于主要晶轴取向的表面将仅由平台和突缘组成，

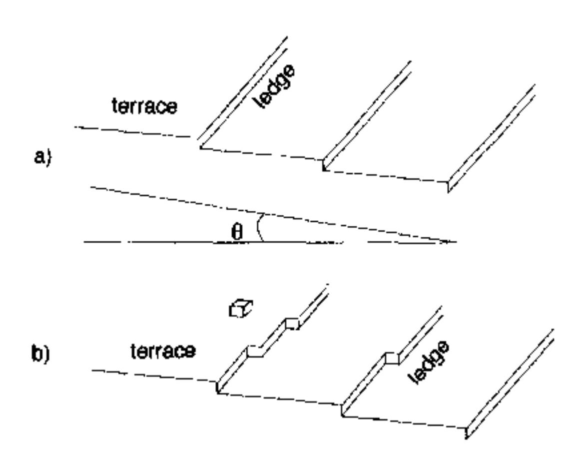


图 3-4 (a)在 0K 或热力学平衡时，一个偏离主要晶面的衬底应只含有终结于突缘的平台。(b)任意偏离取向切割的衬底除平台和突缘之外，还应含有扭转

如图 3-4(a)所示。对于既不是奇异面，又不是近真面的一般晶向的表面则还会有扭转或割阶所阻断的断面[如图 3-4(b)所示沿线的台阶]组成的突缘。近真面是外延生长中应用最广的表面。近真面的表面能可借助图 3-5 描述，图中画出一个向[100]方向偏转 θ 角的(010)晶向的晶片表面。假定 θ 角不大，如 $\theta \leqslant 4°$。示于图 3-5 的表面将由高度为 s 的单原子台阶所组成，其密度为 $\tan(|\theta|)/s$。平台的平均宽度为 λ，其中

· p. 118 ·

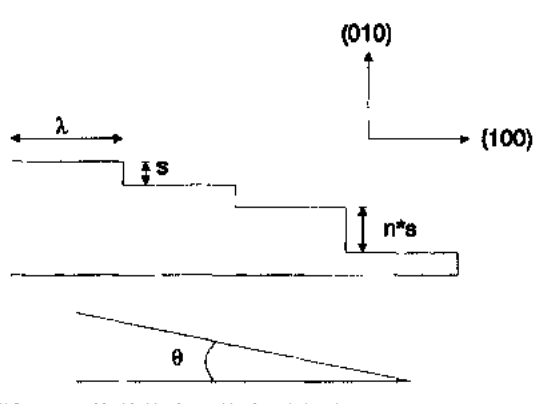


图 3-5 简单的半导体表面由单原子台阶(s)所分割的平台组成。在某些条件下也可形成多原子台阶突缘

$$\lambda = \frac{s}{\tan(|\theta|)} \tag{3-9}$$

在 0K 时，表面能可以写成：

$$E^{S}(\theta) = E^{S} = (0)\cos(\theta) + \frac{\epsilon^{(1)}}{s}\sin(\theta) \tag{3-10}$$[1]

式中，$E^{S}(0)$为奇异面平台单位面积的能量，$\epsilon^{(1)}$为突缘单位长度的能量，$E^{S}(\theta)$为实际近真面的能量。必须指出，总平台面积小于总表面积，$\cos(\theta)$=平台面积/表面面积，其中总表面积应为邻晶角度等于 θ 时的晶面面积。随着 θ 增大，奇异面表面面积相对于总表面积的值要减小。式中最后一项是突缘能对表面能的贡献。此项为单位长度的突缘能 $\epsilon^{(1)}$乘以突缘密度

$$\frac{\tan(|\theta|)}{s}\cos(\theta) = \frac{\sin(\theta)}{s} \tag{3-11}$$

1) 式中"$E^{S}=(0)$"中的等号不应有，疑误。——译者注

把扭转加入到表面能的计算时，将导致出现一个额外项，该额外项由每个扭转格点能 $\varepsilon^{(2)}$ 和扭转密度 ρ 组成。在 0K 下，扭转密度依赖于表面的特定取向。此时表面能应写为：

$$E^{S}(\theta) = E^{S}(0)\cos(\theta) + \frac{\varepsilon^{(1)}}{s}\sin\theta + \rho\varepsilon^{(2)} \tag{3-12}$$

• p. 119 •

依据可能的断裂键数，在平台上的一个原子应有最少数目的断裂键，并应有较多的键与相邻的表面原子连接。在突缘上的原子应比平台上的原子有较多的断裂键，而扭转上的原子则应有最少的键与表面连接。特定的表面能随断裂键数的增加而增大。按原子计，扭转拥有最高的能量，其次是突缘上的点位，最低则是平台上的点位。0K 时平衡状态下，表面构造由最低表面能决定。必须指出，扭转和突缘的数目以及平台的宽度并非独立变量，而受到表面几何特征、衬底取向及近邻区的影响。

在外延材料的沉积与生长所常用的较高温下，表面有着较复杂的结构，因为熵可能在起作用。如 3-3 式所示，表面自由能含有表面能(焓)和表面熵。温度提高使熵项起较大作用。部分表面能还与原子在表面上的组态有关。随温度上升，存在一个增大表面无序态的驱动力，过程中产生原子空位、表面突缘及扭转。这些高能结构的加入提高了表面能，但这种增高被表面焓的增大所抵销。这些能量的变化可能导致复杂的表面构造。可利用表面敏感技术，如扫描隧道显微镜(STM)或电子衍射来观察这种表面结构。一个硅表面的 STM 显微照片示于图 3-6。照片中很容易看到这些表面构造，平坦的平台为粗糙的和较平滑的交替变化的突缘所包围，对材料的外延生长及表面重组均属重要的表面构造的最终形态即为这一交替结构的成因。至此，我们已从“截断晶体”表面特征这一角度讨论了表面构造问题。“截断晶体”概念可以理解为沿特定晶面借助解理方法在晶体上形成的表面。在此过程中，化学键断裂并悬挂于晶体表面。在表面上这些悬挂键是非常活泼的点位，易于与吸附原子形成新的键合。

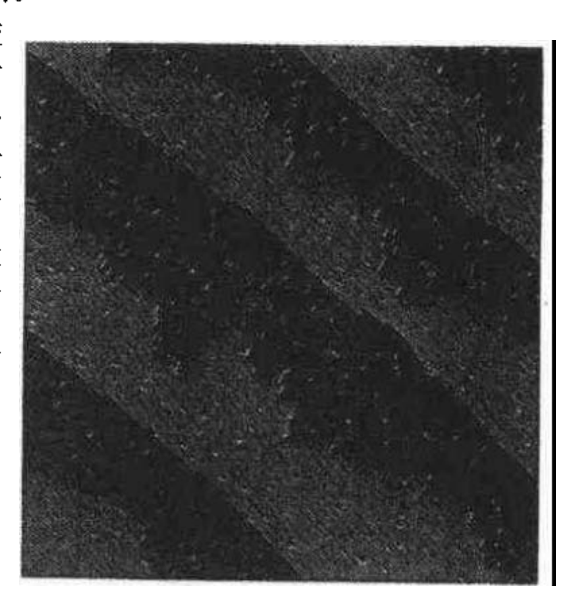


图 3-6 清洁的(100)Si 表面的扫描隧道显微相片显示出多数表面均有的 TLK 构造特征

• p. 120 •

截断晶体在原子尺度上为表面结构提供了一个理想化的图像。在这一构造中，保留在表面的、非常活泼的悬挂键在可能条件下倾向于生成共价键。这些共价键通过与吸附物作用面生成。在没有吸附的反应物时，表面上的悬挂键将重新组合与表面上的邻近原子发生键合。这一重组过程导致原子重新排列的新表面。由于晶体断裂所造成的这种重新排列通常称之为表面重构。在半导体表面上的表面重构既拥有短程也拥有长程构造。对于化合物半导体，这种构造的特性将取决于温度和表面化学成分。通过断裂键的重组，表面重构使表面能减少。由于这些键的长度和夹角均与体内的不同，用于产生新表面的能量并未

完全被表面重组过程所利用,因此表面上的能量仍然是正的。半导体的重构表面将拥有已变化了的化学活性,因此将影响外延生长过程。

经常用于外延生长的、研究最充分的表面是 Si 和 GaAs 的(100)表面。对二者来说,表面相邻原子结对并生成表面二聚物是原子尺度构造的主导形式。二聚物本身可按不同形式排列。用电子衍射法易于研究外延表面的表面重构过程。这种衍射仪非常容易与高真空生长装置配接。表面重构还可用 STM 或 AFM 研究。电子衍射获得的是大尺度上的表面构造的平均化结果,而 STM 获得的则是较小面积上的原子排列图像。两种方法均可提供表面构造细节的有关信息。Si(100)表面经常用 Si 二聚物沿表面排列成行的形式予以表征,如图 3-7 所示。Si 的金刚石结构使其在晶体内每生长一个新晶面则改变一次二聚物排列的方向。Si 二聚物行列每生长一个新的原子面则转动 90°角。这种几何上的制约对表面上原子输运和新原子附着于生长表面有多方面的含义。如图 3-7 中的 STM 相片所示,二聚物行列均终结于台阶或突缘的棱边。当棱边与二聚物的排列方向平行时,则生成平滑的突缘棱边。突缘由二聚物行列的端点组成时,棱边总是参差不齐而且是粗糙的。这种突缘棱边的结构与表面输运现象的细节有关。

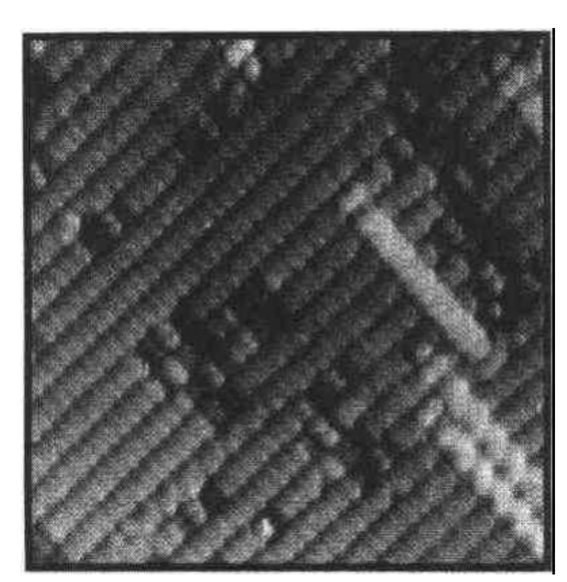


图 3-7 Si 表面的原子分辨图像显示出平台是由 Si 二聚物的行列组成,这些二聚物行列每生长一层则改变其取向

3.2.2 表面输运和原子并入

薄膜生长是表面输运、表面构造和表面化学的相互作用的结果。在生长前沿的吸附物往往是易动的,并移向一个更佳位置,以便进一步分解(如果需要的话)或并入。表面上的适宜位置往往是突缘的棱边或扭转部,正如前述,这些部位提供了比较活泼的点位。含有吸附原子的物质的最初沉积往往像是在表面上随机发生的。对于物理沉积技术,这一情景更是如此,因为这一过程是在超高真空(UHV)条件下由元素源进行的。在 CVD 中,原料到达生长前沿的情况完全不同。这时,带有吸附原子的分子在最终固定于表面前可能与表面多次发生作用。在多次相互作用中,分子可形成各种表面点位,即扭转部、空位、突缘棱边等等。最终并入的点位必须拥有适宜的几何和化学特性,以便原料在表面发生化学吸附。表面重构及更大尺度上的表面特征因而在外延生长过程中起着中心作用。

· p. 121 ·

生长物一旦吸附于表面,通过热表面扩散在整个表面上移动。表面扩散可在高于绝对零度时的任何温度下发生。由于表面扩散是一个动力学过程,因而在极低温度下它进行得非常缓慢,而随温度上升以指数律加快。和其它扩散过程一样,表面扩散遵守 Fick 定律。对于稀释体系,通过表面的物质通量与其化学势梯度或浓度梯度成正比(Borg 和 Dienes,1990)

$$J = -D_S \frac{\partial C_S}{\partial x} \tag{3-13}$$

式中,J 是穿过表面的通量,D_S 是表面扩散系数,C_S 是扩散物质的局部浓度。确定扩散系数的因素与用于描述体内扩散的原子过程因素相同,温度在扩散系数中是主导因素,扩散系数并与激活能有关:

$$D_S = D_0 e^{-Q/(k_B T)} \tag{3-14}$$

在激活能不大时,扩散速度可能较大。通常,表面扩散的激活能小于体内扩散。如果扩散造成局部键断裂,则一个表面键合的原子与体内原子和相邻原子键合情况相比,非常可能与衬底间有较少的键连接。因此,表面扩散通常是较快的。扩散系数同样与影响指数前项 D_0 和激活能的各种因素有关。激活能包括原子从一个低能点位断开键并迁徙到另一个低能点位所需能量。这项贡献通常称之为迁徙自由能 G_{migr}。扩散过程中第二项贡献与扩散过程中可供原子移动的点位密度有关。在许多情况下,可供点位数是一个强烈依赖子温度的函数。在整个激活过程中,表面空位数、突缘数和扭转点位数全可能是温度的函数,并可用生成能 G_{form}表征。例如,空位浓度通常遵循激活规律。此时激活能是两项贡献之和,$Q = G_{migr} + G_{form}$。扩散系数的指数前项包含有跳跃频率和几何组态两个因子(Borg 和 Dienes,1990;Skewmon,1989)。扩散系数以及表面和界面能将在原子和微观尺度上决定生长表面的结构。

· p. 122 ·

3.2.3 生长行为

外延体系中的生长行为取决子表面输运和相关材料体系中的表面能量关系。上述讨论集中于一旦发生原子沉积时所要求的表面输运。原子尺度上的移动以及生长前沿的能量问题将决定沉积原子的物理排布。外延生长的简单模型预示着不同的生长结构。从沉积原子的化学本质及衬底作为沉积原子的排布“样板”出发均可得出此项结论。在这种场合,通常有两类外延行为。一是沉积原子筑造其结构与化学组分均与衬底完全相同的外延层(同质外延生长),另一种是化学组分,甚至物理结构与衬底完全不同的外延层(异质外延生长)。由子半导体外延生长要求沉积原子具有与位子下方的衬底直接相关的排列方向,因此在两种情况下,沉积层及位子下方的结晶衬底之间必然有一个已知的几何关系。

在同质外延生长中,有两种主要生长形式。这些生长模式与生长表面上吸附原子的输运和并入动力学有关。在同质外延中,物理特性与化学特性均无差异,因而生长过程易于控制。生长或原子加入表面以两种生长模式进行,台阶流动生长或逐层生长。这些二维生长模式通常称之为 Frank-Van der Merwe 生长(也可能产生三维生长,这将造成粗糙的、无法控制的界面)。在台阶流动生长模式中,沉积于生长前沿的原子向自然产生的台阶边缘扩散。在图 3-3 中示出的这些台阶棱边或台阶扭转为迁徙原子提供若干个可供“粘附”的原子,因面扩散着的原子自然会在该处成键面并入生长中的薄膜。在高生长温度下,原子在遭遇其它吸附原子前有足够的活动性通过表面迁徙。外延生长则以台阶流动穿越生长前沿的方式进行,并生成拥有梯田式构造的非常光滑和原子尺度平整的表面。

台阶式流动生长的“梯田”式构造在被单原子台阶所中断时的特征见于图 3-7 中示出的 Si 原子在 Si 表面上生长的场合。在 CVD 外延生长 GaAs 时,亦可观察到类似的梯田式

构造，示于图 3-8(Nayak 和 Kuech)。照片是用原子力显微镜拍摄的。该外延层是在 650℃高温下以 0.05μm/min 适中速度生长的。在此生长速度下，每秒钟大约生长一个单原子层。这时的台阶间距大约为 0.1μm。GaAs 衬底是向〈 110 〉方向偏 2°切割的。在台阶为单原子高度时，这一近真面表面的平台宽度约为 7nm。大的平台宽度表明，图 3-8 中看到的台阶是由高度超过单原子台阶的多原子台阶组成的。这一现象被称为台阶群聚，这在许多外延体系中均可观察到。台阶群聚现象的起因是复杂的，影响因素可能有：原子附着于台阶边缘时的化学行为、表面上的扩散过程，以及生长表面的杂质。

• p. 123 •

在台阶式流动生长中，原子跨越表面的输运速度与吸附原子相遇、成键，并在生长表面上生成新层的速度相比是较高的。因为所有原子均到达同一台阶，根据台面间距 λ，对表面扩散系数的低限估计值可以下式确定：

$$\frac{\lambda}{2} \approx 2\sqrt{D_S t} \tag{3-15}$$

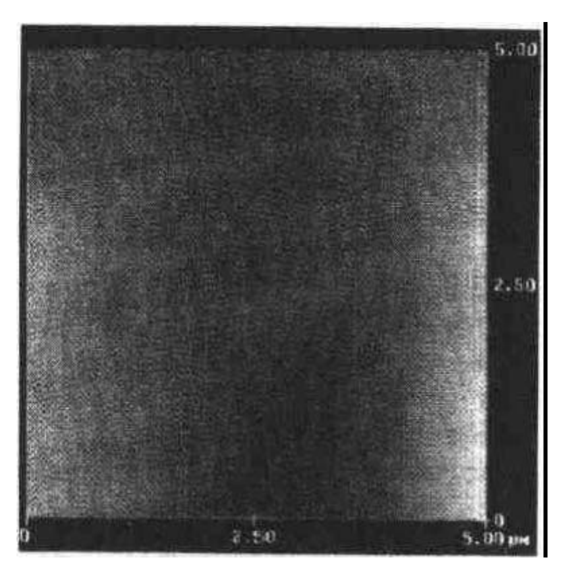


图 3-8　由金属有机气相外延(MOVPE)生成的 GaAs 生长表面同样含有 TLK 构造。这是 GaAs 表面的原子力显微照片(AFM)，可以看到由 3～4 个原子高度组成的多原子台阶(Nayak 和 Kuech)

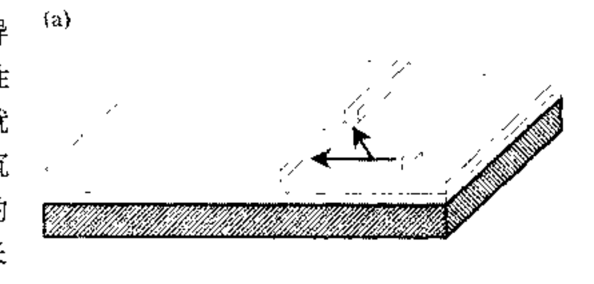
式中 D_S 为表面扩散系数，t 为单原子层生长所需时间，$\lambda/2$ 为原子在表面上移动至台阶边缘前的平均距离。对图 3-8 中 GaAs 来说，利用此简单公式可求出扩散系数值 $D_S \approx 6\times10^{-16}\mathrm{m^2/s}$。在相同温度下，GaAs 中 Ga 的自扩散系数要低得多，据报道为 $D_{bulk} \approx 10^{-22}\mathrm{m^2/s}$。表面扩散系数与体扩散系数相差如此悬殊，对半导体材料来说是很有代表性的，这说明表面上的吸附原子拥有较少的键，同时却拥有较多可供扩散的点位。

在许多生长方法中和所选用的外延生长条件下，并不总是能见到上述的台阶式流动生长。台阶式流动模式仅仅在扩散原子拥有足够的时间与移动性达到台阶边缘，并且在碰到足够数量的其它吸附原子而且导致在已有平台出现新原子层成核之前已并入晶体时才能出现。有较高的原子流达到生长前沿，而且生长温度较低时，将产生吸附原子穿越生长晶体的慢表面扩散，从而导致从台阶流动生长模式转向逐层生长模式。在逐层生长中，在生长前沿吸附原子应与其它吸附原子相遇，这些原子中的部分将键合在一起并在晶体上形成新层。在逐层生长时的表面构造往往会在某一点出现连续生长许多层的情况，如图 3-9c、b 所示。这种多层生长可造成几个原子高度的粗糙表面。这种粗糙生长区可能成为外延材料内部结构的一部分。同质外延生长常常用于产生非常陡的掺杂过渡，从而在材料中形成电学特性的陡变。光滑的生长表面可形成非常陡而平整的内界面。选用逐层生长模式的生长条件会在两种不同导电类型区域间形成参差不齐的过渡区。因此，多数外延生长均在台阶流动式生长模式条件下进行。

• p. 124 •

对于比较复杂但却更令人感兴趣的异质外延,生长前沿处的化学组分和电学性质均发生变化,因此生长光滑的交界面就成为一个更加重要的问题。在这种场合,沉积原子的化学组分与衬底不同。最熟悉的异质外延半导体体系是 GaAs 上生长 $Al_xGa_{1-x}As$ 和在 Si 上生长 Si_xGe_{1-x}。异质外延生长与同质外延相比有一些更为独特的优点,但也带来一些较为复杂的问题。主要的优越性是能带工程的运用,即组建一些不同能隙的层结构,以便取得特定的光学或电子学特性。存在着一些令异质外延生长技术的发展复杂化的问题。主要是两种材料的热膨胀系数和晶格常量不同以及异质界面间的化学键的强度问题。这三方面的问题不是独立作用的,它们对薄膜结构的形成都有影响。

(a)



(b)



(c)

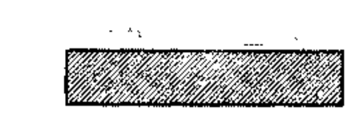


图 3-9　薄膜生长时一般见到的三种主要生长模式:a) Frank-Van der Merwe 或逐层生长模式,b) Strancki-Krastanov 生长模式(有限层+岛式生长),c) Volmer-Weber 或晶岛生长

上方生长层和下方衬底间的化学键合对形成大尺度形貌特征的生长行为起决定作用。在异质外延的起始成核及薄膜生长中已见到三种基本的生长模式。根据与外延材料及衬底间界面相关的表面能不同来区分三种模式。这三种模式(Frank-Van der Merwe,Stranski-Krastanov 和 Volmer-Weber)在一些生长体系中均可见到。Frank-Van der Merwe 生长是一种单层生长模式,在同质外延生长中曾讨论过。从表面能角度,异质外延层可看作对衬底"润湿"后而形成的良好而均匀的表面覆盖层。异质界面的形成导致固-气界面解体,后者如若存在,必将阻止所选材料与衬底相互反应。对衬底"润湿"的最简单判据为:

• p. 125 •

$$\gamma_{S_A/S_B} \leqslant \gamma_{S_A/V} + \gamma_{S_A/V} \qquad (3\text{-}16)^{1)}$$

式中 γ_{S_A/S_B} 为固相 A 与固相 B 间的界面能,$\gamma_{S_i/V}$ 为固-气界面的表面能。两个固-气界面解体而形成异质界面。形成异质界面较之两个单独的固-气界面更为有利。这种生长行为可在化学性质近似并有着相近的晶格常量的体系中见到(如 GaAs-$Al_xGa_{1-x}As$)。

两种材料间不发生"润湿"会妨碍起始的单层生长模式。由于晶体结构和化学活性不同或晶格常量相差较大,外延材料不与衬底表面发生键合。从能量角度看,3-16 式中的不等式不能成立,两种材料更倾向于生成各自的固-气界面而不是固-固异质界面:

$$\gamma_{S_A/S_B} \geqslant \gamma_{S_A/V} + \gamma_{S_A/V} \qquad (3\text{-}17)^{2)}$$

1) 不等式右方第二项疑误,应为 $\gamma_{S_B/V}$。——译者注

2) 不等式右方第二项疑误,应为 $\gamma_{S_B/V}$。——译者注

结果起始生长的为 Volmer-Weber 模式,在衬底表面形成异质外延材料的“岛”,如图 3-9 所示。薄膜生长伴随着“岛”长大,“岛”的密度与外形取决于生长气氛的过饱和度和所生成“岛”的表面能。

在两种生长模式间还存在一种中间模式。这种生长模式表现为薄膜中产生的机械应力和促进外延层与衬底粘附的力二者间的交互作用。晶格匹配的异质外延半导体生长可以非常近似于同质外延的方式进行,如前述的 Frank-Van der Merwe 生长模式。逐层生长和台阶流动生长在两种材料间化学键和晶格常量接近的一些体系中可以观察到。但是,还有许多异质外延体系,其中键的强度和晶格常量与衬底不同。如果外延层和衬底间的界面能有利于与衬底的强键合或粘附,生长的起始阶段则表现为外延材料的薄而平的薄膜沉积。晶格常量不同会使外延层与衬底间晶格失配面在薄膜中生成内应力。由于薄膜总是倾向于与衬底中的原子排列一致,因而外延层中的原子位置就偏离了其本来应占的位置,以便去“牵就”衬底中的原子排列。原子位置的偏移造成外延层中晶胞四面体结构的畸变从而产生内应力。如果薄膜原子被强制与衬底表面的平面原子处于同样排列位置,则尽管存在晶格失配也可长出薄而高度完整的薄膜。这一过程被称之为赝同晶生长。因此,有可能在一个有限或“临界”厚度范围内生长高度晶格失配的材料,而且不产生扩展缺陷(Fitzgerald,1991)。在形成扩展缺陷以释放内建应力之前所允许的最大厚度,通常称之为临界厚度,此值对特定的材料组合是固定的。利用赝同晶材料组成多层结构可以设计并已开发出许多有用的材料结构。薄膜中的内应力可改变电子能带结构,从而能可控地获得一些新的光学和电学特性,这是在无应力半导体中所无法达到的。

• p. 126 •

随着外延层生长,内应力继续增大直至薄膜中储存的弹性能大到足以通过生成缺陷释放出来。通常这些缺陷以位错形式出现。位错会继续增殖并在薄膜内传播,同时释放内应力并使外延层中的原子恢复至其应有位置。一旦沉积薄膜中的应变过大,薄膜即释放应力并在表面生成三维的“岛”。超过临界厚度后生成的应变缓解结构往往在紧靠衬底处保留一个赝同晶薄层,而在其上则生长有缺陷的、带有三维岛的应变缓解结构。这种生长模式示于图 3-9b,并被称之为 Stranski-Krastanov 生长模式。

如前述,存在着几种常见的外延生长模式。究竟表现为何种模式取决于外延层一衬底间的界面能和晶格失配产生的应力。还有其它一些因素影响外延生长模式。生长温度、速度和一些其它动力学因素往往导致出现一些从纯能量关系角度本不应出现的生长行为。最后,外延层最终的微结构和形貌还受衬底原有缺陷及材料间热膨胀系数差异的影响。衬底中的缺陷可能延伸入外延层。与生长前沿交叉的位错将延伸至外延层内,因为这种结构“信息”作为外延籽晶的一部分必然会在生长的薄膜中再现。几乎所有的外延薄膜均在远远高于室温的条件下生长。不同的热膨胀系数也会在外延层生长后的降温过程中造成可观的应变。这些应变也可能以生成位错或其它延伸缺陷而得以释放。

3.3 化学气相沉积:工艺和理论

化学气相沉积或 CVD 是从气相中向衬底沉积薄膜的过程。这一过程包含着许多有关问题,这些在其它晶体生长方法,如物理蒸发等过程中是不曾见到的。晶体生长时的气

相和表面化学以及热流环境必须高度可控，以便制出用于有关器件结构的高质量晶体。基本的 CVD 系统应具备从加热着的衬底上方通过的流动气相环境。外延系统在设置上可分为两个独立的部分：气体分配单元和反应器。气体分配单元的功能是对气相反应物进行混合，并按一定程序送入反应器。气体分配单元的构造设计应确保精确组成的反应混合物在精密校准的时刻注入反应器以得到所需的结构。设计中所用的阀门和流量计必须能防止意外污染，否则会给薄膜带进无用的杂质。在多数 CVD 系统的设计中，气体分配单元都是大同小异的，而 CVD 反应器则因生长化学过程和所需产品不同而有很大差别。反应器的设计因材料而异。用于半导体外延生长的各种反应器的实例示于图 3-10。多数反应器的考虑均着重于确保反应物均匀流过晶片的生长表面和反应副产物的顺利排除。

• p. 127 •

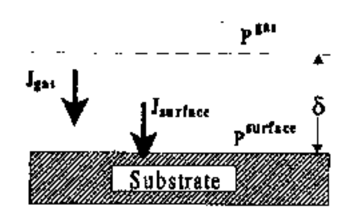
图 3-10　通常用于化学气相沉积工艺的一些反应器的构造

半导体 CVD 生长通常分为若干个阶段，如图 3-11 所示的 Si 生长场合。一般说来，最慢的阶段决定着所观察到的生长速度。在 CVD 外延过程中，对设想的每一基本阶段存在着若干个主要的影响因素。向反应器输送能量是为了发生所需要的化学反应。这些能量通常以热能形式输入：将反应器置于炉内或局部加热衬底支架。在后一种场合，相对于热的衬底，反应器壁和气流处于冷的状态。这种方法抑制了到达生长前沿以前的反应物的气相分解。在所有情况下，对涉及多数外延薄膜生长的 CVD 过程有一些共同的特征。这些元阶段的特点都能影响薄膜组分、电学和光学性质、薄膜厚度的均匀性以及整个衬底和衬

底间[1]性质的均匀性、薄膜构造、电学和组分界面的陡变度以及薄膜中缺陷的形成等等。均匀性和缺陷问题直接涉及到外延薄膜能否用于其后的器件制造。缺陷，尤其是生长表面的形貌缺陷给随后的工艺过程，特别是光刻工序造成困难。

• p. 128 •

因而用 CVD 技术进行半导体外延生长的讨论将集中于薄膜生长的微观模型中每一个基本阶段的主要影响因素。



Transport to surface: $J_{gas} = \frac{P}{RT}\,\frac{P^{gas}-P^{surface}}{\delta}$

Surface Reaction: $J_{surface} = K_s\, P^{surface}$

$$J_{growth} = J_{gas} = J_{surface} = \frac{K_s\, P^{gas}}{1+\frac{RT\delta K_s}{D}}$$

图 3-11 硅生长以及多数半导体生长系统可以设想为由若干阶段组成(如图中所示)，包括气相和表面化学以及导致沉积原子并入生长中的构造的表面输运过程

3.3.1 反应器：质量、流体及热输运

3.3.1.1 流体行为与反应器设计

CVD 反应器通常是一个反应室，反应气体流从其中通过，被加热的晶片则置于其中。有若干种用于化合物和元素半导体生长的基本反应器构造。选择何种反应器取决于生长过程中使用的生长化学及压力条件，而这些操作条件则由生长化学确定。图 3-10 中画出的四种反应器是外延半导体工业中最常用的。水平式、筒式和旋转盘式反应器均为“冷壁”反应器。这些反应器在较高的压力下(通常为 1—760Torr)[2]工作。图中的第四种反应器是低压“热壁”反应器，称之为 LPCVD 系统。这种反应器的工作压力较低，通常为 0.001Torr 或～10^{-6}atm。在这些反应器中的质量和流体输运是完全不同的。前三种系统工作于粘滞流体状态，可用连续流体力学行为描述。LPCVD 则工作于分子流状态。CVD 环境的特定流动状态可用 Knudsen 数予以表征。该数为气体分子平均自由程 λ 与反应器典型物理线度 L 之比值，即 $Kn=\lambda/L$。直径为 d 的气体分子在气体压力 P 下的平均自由程可用下式表达：

• p. 129 •

$$\lambda = \frac{k_B T}{\pi\sqrt{2}\,d^2 P} \tag{3-18}$$

Knudsen 数是用于描述流体、热量和质量输运过程的综合特征的若干个无量纲数之一。室温下气体分子的平均自由程大致可用下式表述：$\lambda(\text{cm})=0.005/P$，式中 P 代表压力，单位为 Torr。在一个大气压下(～760Torr)，平均自由程约为 70nm，而在≈10^{-3}Torr 的低压下的平均自由程为～5cm。多数流动状态可根据 Knudsen 数的大小进行分类：

粘滞流 → $Kn \ll 1$
过渡流 → $Kn \cong 1$
分子流 → $Kn \gg 1$

1) 此处应指多片生长时的片与片间；2) 相当于 133—10^5Pa。——译者注

粘滞状态的特征是低温度和高压力。在中等或近一大气压下工作的多数 CVD 系统是处于粘滞流状态。在这种压力状态下,流体输运可用传统的流体输运模型描述,根据该模型可得出主导反应器中热量、动量和质量输运的方程。得出输运方程的完全解通常是困难的,这时可进行某些简化以便得出生长环境的探索性模型。在这种压力状态下的 CVD 系统设计通常致力于在反应器中实现层流分布。层流的特点是气体平滑地流过表面而无任何湍流,在图 3-12 中画出的是水平生长系统的层流状态。在转盘式反应器中,一个自旋的盘用作衬底支架,其作用宛如离心泵并造成气体沿表面径向流动。在不存在层流情况下,湍流或无规律混合将导致薄膜生长中的不均匀性增大,这是由于气流和通向表面的反应物流不断随时间变化之故。在多数系统中,层流可在离反应器入口不远的地方确立。对大多数反应器完全可以按流体力学原则处理。

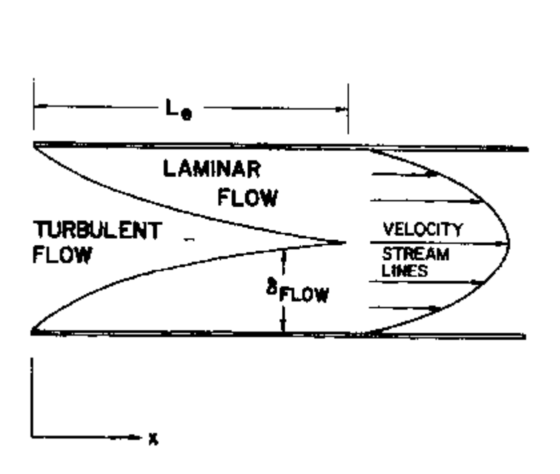


图 3-12 反应器内的层流分布可使通过生长着的衬底表面的气体进行可控的和规则的流动

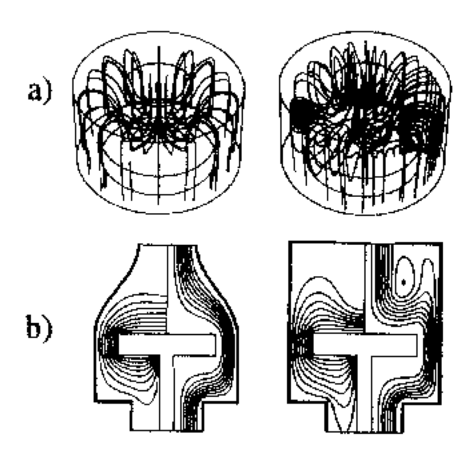


图 3-13 反应器中主导质量、流体和热量输运的基本方程的数值解可用于预示 CVD 反应器中的复杂的流动图像。此图画出的是水平反应器的计算结果。a)预测的对称或不对称进气管设计的流动图像,后者造成一个复杂的流体流动图。b)在流动场中的回流可能由于反应器外形的不同而形成差异[Vossen 和 Kern,1991]

这种建立模型的工作要求对全套热量、质量、动量输运方程进行数值求解,因而可能相当费力。计算结果对 CVD 反应器中反应物的输运可给出相当细致的描述。根据对水平系统计算作出的流体运动图形示于图 3-13(Vossen 和 Kern,1991)。图中可看到反应器中流体流动的复杂情况。气流场的复杂性再加上生长的不均匀性往往可以通过适当地选择生长条件而予以抑制。尤其是在恒定质量流条件下降低反应器中的压力可以使一些循环效应消除并在反应器中形成层流。一旦层流确立,形成的穿越生长前沿的气流体输运则可用边界层理论描述。边界层理论是在一定假设条件下对流体流动情况的简化描述。边界层是接近于生长表面的一个假想的气相区,在这个区域内的气体流速为零。气体的这一滞留区使穿越边界层的质量流的扩散方程易于求解。边界层的厚度取决于气流速度和粘滞度。该理论从反应器壁处的“无滑行”条件出发,那里的气体流速为零。事实上,边界层理论的假设并不完全符合多数反应器的情况,但是这一简化仍然可对生长过程的一般特征作出预测。在气相输运通向生长前沿的一系列过程中生长反应发生于表面,通过这一假设

可以建立通向表面的流体模型，如图 3-11 所示。生长反应物扩散穿越边界层为生长前沿提供反应所需物质，使薄膜得以生成并成长。在稳态下，穿越气相的流体与表面反应速度是协调的。用于描述这些反应器的综述和有关模型求解等问题可在本章参考文献中查到(Hess 和 Jensen，1989；Middleman 和 Yeckel，1986；Quazzani 和 Rosenberger，1990；Vossen 和 Kern，1991)。

• p. 130 •

在图 3-10 中画出的 LPCVD 反应器通常可在炉中加热区容纳大量密置的晶片。这些反应器的模型既要考虑到环绕晶片的气流，也要考虑到晶片之间的气流。这种系统中的流体流动计算通常可以划分为两个独立的状态区。在围绕晶片的环状区，气流可按粘滞流方式处理；而晶片间的径向传质则可看成是扩散过程。这一模型可对流体和传质过程进行精确的描画；但当一些特征距离(如晶片间距)小于气体中的平均自由程时，这一模型不再适用。当生长速度受生长物的表面反应速度限制时，往往可以采用分子流状态描述反应器工作模式($Kn \leqslant 1$)。在这种情况下，基于连续流体力学和扩散的简化模型不再准确。单个气体分子的运动细节，如它们如何进入、穿越、进行反应并离开反应器，均应加以考虑。这种细致的分子描述通常要采用数值计算，这种计算方法已经研究出来，并根据单个分子的轨迹建立生长过程的宏观描述。这种计算方法被称为 Monte Carlo 法，其立足点是分子流动的统计学特性。这种数值模型需要长时间的计算，但却可为反应器中的传质提供准确的描画。

• p. 131 •

3.3.1.2 传质与传热

反应器中流体的行为对系统中整个物质运动提供了描述。在 LPCVD 生长中，气相中反应物的摩尔分数高，但在较高压力生长过程中，反应物是被载气稀释的。载气通常是惰性稀释剂，如 He，N_2，H_2 等，在保持反应器总压或流量不变条件下，它们被用于控制反应物的分压。在 LPCVD 系统中，传质主要借助于流体流动。高压反应器中的传质则借助于两种方式：通过载气流动的输运作用而形成的对流过程和穿过边界层的扩散过程。传质和传热在气相中的扩散系数在量级上是接近的，而且它们在这些反应器中的输运过程可用类似的理论描述。外延层的均匀生长要求反应物通向生长前沿的流通量必须是均匀的，不仅在晶片整个表面，而且在反应器中所有晶片周围均应如此。均匀性要求为反应器中的传质设置了限制。不管反应器中气相条件如何变化，传质的设计必须使通向表面的气流是恒定的。

高压反应器中的传质比较复杂，因为随着气流通过热的生长表面反应物在不断消耗。以单位时间生长的厚度表达的薄膜生长速度(GR)与反应物在生长表面的流量相等：

$$\mathrm{GR} = -\frac{D}{n_0}\left.\frac{\partial c}{\partial y}\right|_{\mathrm{surf}} \tag{3-19}$$

式中 D 是气相扩散系数，c 是气相中生长前沿处的反应物浓度，n_0 是薄膜中的原子数密度。反应物在表面附近的气相扩散受到整个流体流量和反应物的气相浓度限制。气相反应物的浓度在整个晶片表面上是变化着的，因为在上游薄膜沉积后的气流中反应物在不断消耗，通过反应器的设计可大大减轻这一消耗效应。早期的模型在处理气相反应物的消

耗问题时是借助于生成一个厚度为 δ_{diff} 的扩散边界层，这有些类似于流体流动时在层流剖面中的边界层。扩散边界层随着气体流过热的衬底而增厚，在生长着的晶片附近，气相中的反应物已被耗尽：

$$\delta_{diff} \approx 3\left(\frac{D}{\nu}\right)^{1/3}\left(\frac{\nu x}{V_{ms}}\right)^{1/2} \tag{3-20}$$

式中，ν 是气体的动粘度，V_{ms} 是气体的平均流速，x 是沿气流方向的距离。通向表面的流量或 GR 则可近似地写为：

$$GR = -\frac{D}{n_0}\frac{\partial c_0}{\partial x}\bigg|_{surf} \approx -\frac{D}{n_0}\frac{c}{\delta_{diff}} \tag{3-21}$$

• p. 132 •

式中，c 是反应器中给定点的反应物的气相浓度。由于 δ_{diff} 是反应器中位置的函数，所以生长速度原则上将沿着反应器的长度方向发生变化。为了在卧式反应器中大面积衬底上达到均匀生长，往往尽量压缩反应器的截面以便提高反应器中局部的 V_{ms}。提高反应器中的气流速度可补偿气相物质消耗造成的生长速度下降。另外一些提高均匀性的办法是用其它载气代替 H_2，以改变气相中的粘度，或者采用较大的反应器流速。后一种办法是靠牺牲生长反应物的利用率来达到提高均匀性的目的。

3.3.2 气相与表面化学

对多数化学体系的描述均从全过程的平衡热力学分析开始。平衡一词意味着系统是不随时间变化的，这显然与晶体生长过程实际不符。晶体生长过程本质上是一个非热力学平衡过程。因为它必然是一个材料的净沉积过程。如上所述，材料的生长速度可能受到一系列宏观输运现象的影响。不管系统中的输运限制如何，对材料沉积必定有一个热力学驱动力。将通常的质量作用原理运用于对薄膜生长重要的化学反应，即可计算出这个驱动力或过饱和度。涉及材料净沉积的全部化学反应的自由能变化构成了这个驱动力。运用热力学可对驱动力提供一些有用而重要的信息。热力学可告诉我们，该反应从能量角度是否可行，如果可行，则该反应的最大限度如何。当热力学表明反应可行时，实际反应进行和反应速度则取决于温度和输入的特定反应器。反应器中提供所需要的热条件下，并非所有反应均能发生。在这些场合，往往要使用一些非热能源。额外能源，如紫外(UV)辐照或者使用等离子体可使生长前体破裂，而为启动生长反应提供足够能量。在多数场合，无需其它能源仅靠加热衬底即可使反应进行并实现均匀生长。

在反应器中进行的生长化学一般应区分在气相中还是在表面上发生。用于半导体生长的气相化合物品种很多。用于硅沉积的一些常用反应物列于表 3-2。其中许多化合物在不太高的温度下，在气相中即发生分解

表 3-2 硅生长源的热力学和物理特性

化合物	室温状态	22℃时蒸气压 (Torr)	生成自由能 (kcal/mol)
$SiCl_4$	液态	208	−148.16
$SiHCl_3$	液态	533	−115.34
SiH_2Cl_2	气态	1 200(23 psig[1])	
SiH_3Cl	气态	47 990(928 psig)	−43
SiH_4	气态		+13.6
Si_2H_6	气态		+30.4

1) 表中 psig 为压力的英制单位 bf/in² 的符号，1bf/in² = 6894.76Pa。——译者注

或反应。二硅烷(Si_2H_6)在700℃下气相中即快速分解。反应产物在气相中将继续反应,并生成其它化合物,最终抵达表面。Si_2H_6 的气相分解最终导致 SiH_4,Si_2H_6 和 SiH_2 混合物达到表面,见下式:

二硅烷分解(单分子分解)

$$Si_2H_6 \rightarrow SiH_2 + SiH_4 \tag{1}$$

硅烷生成(气相反应)

$$SiH_2 + H_2 \rightarrow SiH_4 \tag{2}$$

二硅烷再生成(气相反应)

$$SiH_4 + SiH_2 \rightarrow Si_2H_6 \tag{3}$$

· p. 133 ·

在此情况下,使用二硅烷的主要结果是 SiH_4 和 Si_2H_6 达到生长前沿,因为反应(2)和(3)在高温有氢载气时进行得非常快。如此快的反应使 SiH_2 在气相中的稳态浓度非常低。如果 Si_2H_6 的气相分解反应完全,即生成 SiH_4,则二硅烷生长硅时的生长速率将为用 SiH_4 生长时的二倍。此时气相反应的结果是在原位产生生长前体 SiH_4,并达到表面。

并非所有气相反应均能产生有用反应产物。许多化合物半导体是借助金属有机气相外延(MOVPE)进行生长的。这种方法的特点是使用挥发性金属化合物,如$(C_2H_5)_3Ga$,$(CH_3)_3In$,并通常与V族氢化物配合,如 AsH_3 和 PH_3。金属有机化合物在室温下是稳定的,而通常在比衬底温度要低的温度下发生气相分解。这些化合物就像在生长表面反应一样在反应器的热的气相区也分解并发生反应,结果使生长反应物到达生长表面之前即出现消耗或消失。金属有机化合物的分解产生非挥发性副产物,这些产物含有金属物质并沉积于反应器的内壁。这种气相超前反应造成生长速度下降,并使沿晶片表面的生长速度更加不均匀。另外一些有害气相反应造成无用气相化学物质的生成,随后并运动至生长表面,结果形成缺陷。生成颗粒的反应尤其如此。

· p. 134 ·

上述气相反应均与温度和反应器压力有关。在使用金属有机化合物时,采用"冷壁"反应器可使气相到达生长前沿时保持冷却状态,从而使气相反应受到抑制。许多反应[如式(1)中给出的 Si_2H_6 的单分子分解]必须与其它气相分子发生碰撞,才能启动分解反应。在反应器压力较低时,这些气相分解反应可受到有效的抑制。反应器压力低可减少气相中的碰撞机率,因而减少了分解。低压反应器利用对反应器压力的依赖性可以排除生长反应物的气相分解。此时,在生长化学中气相化学不再起很大作用。结果生长反应物与生长前沿的直接反应成为整个生长化学中的基本反应。

热力学与传质的相互关系可以决定生长和生长反应物均匀抵达表面的所需条件。一旦达到表面,分解和材料生成将依赖于表面构造和表面化学的细节。这些表面过程的元阶段始于反应物的吸附。这些物质的吸附作用依赖于吸附点位的多少和吸附反应所需的或释放的能量。对于同一表面点位往往有许多气相物参与竞争。从吸附物角度考虑,最终的表面组分是这一竞争的结果,它取决于相对的气相浓度和吸附过程的能量关系。

反应物的表面吸附可用若干简单模型描述。多数模型均基于热力学平衡理论。在这些模型中,反应物的表面浓度将是抵达的反应物 R_{gas} 与空的表面点位 V 相互作用和被吸附反应物 R_S 之间平衡的结果。

吸附：　　$R_{gas}+V \xrightarrow{k_{ad}} R_S$　　(4)

脱附：　　$R_S+V \xrightarrow{k_{de}} R_{gas}+V$　　(5)

式中，k_{ad}和 k_{de}分别为吸附和脱附的速度常量。这些模型中之最简单者为 Langmuir 吸附等温曲线。该模型假定气相和表面吸附物处于热力学平衡态，该模型的局限性在于仅允许有一种表面点位和限定只生成吸附物的单原子层。可供吸附的点位比率是以气相中的反应物分压来表达的。被特定反应物覆盖的可供吸附点位比率 Θ 由下式给出：

$$\Theta = \frac{\alpha P}{1+\alpha P} \tag{3-22}$$

式中，P 为反应物 R_{gas}在生长表面上方的分压，而 α 则通常以 Arrhenius 形式写为：

$$\alpha = \alpha_0 \exp\left(\frac{-Q_{ad}}{RT}\right) \tag{3-23}$$

式中，Q_{ad}是与吸附过程有关的激活能，α_0 是一个常数(Adamson，1990)。这个简单方程可用以描述反应物表面浓度与温度和分压的函数关系，并且经常用以描述许多吸附过程的特征，尽管略嫌简单。在低分压下，表面覆盖率与气相浓度成简单的比例关系：$\Theta \approx \alpha P$。相应地在高分压下，表面覆盖率变成 1。温度对表面覆盖率有影响，在低温下由于脱附过程受到抑制，因而有较高的表面覆盖率。

• p. 135 •

如把一种以上吸附物的情况考虑在内，则 Langmuir 吸附等温曲线可进一步改进。如果几种物质对同一吸附点位进行竞争，则每种物质对点位的覆盖率将受到表面上其它化学实体存在的影响。每种吸附物的点位覆盖比率将由下式给出：

$$\Theta_i = \frac{\alpha_i P_i}{1+\sum_j \alpha_j P_j} \tag{3-24}$$

式中，$\sum_j$ 项代表所有可供吸附物(j)之总和。这正是生长过程之通常情况。在用 SiH_4 生长 Si 时，SiH_2，SiH_4 和 H 全都参与对表面上同一点位的竞争[1)]。

吸附是表面反应的第一步。一旦被吸附，反应物将进一步分解或与已并入但最终构成副产物的原子发生反应。存在着一些可能发生的简单的表面反应。实际上，这些简单模型可能对表面反应动力学过程细节的描述并不很准确，但它们却可对整个过程进行描述。吸附物的反应速度将取决于其表面覆盖率、近邻物的浓度和性质及温度。气相化学与表面化学结合或异相反应构成了生长化学模型。表面生长反应的最简单模型是反应物在吸附点位上的直接分解。这时，生长速度与吸附反应物的表面覆盖率成正比：

$$GR \propto \Theta \text{ 或 } GR = k_{rxn}\Theta \tag{3-25}$$

式中，k_{rxn}为表面反应物分解的速度常量。这一速度常量也可假定为遵从 Arrhenius 速度方程

$$k_{rxn} = k_{rxn,0} \exp\left(\frac{-Q_{rxn}}{RT}\right) \tag{3-26}$$

合并二式得到的生长速度公式应是与吸附和分解过程均有关的温度函数，此函数还应与反应物在生长前沿的气相浓度有关，

1）原文为 complete for，疑为 compete for 之误。——译者注

$$GR = \frac{k_{rxn,0}\alpha_0 P \exp\left(\frac{-(Q_{ad}+Q_{rxn})}{RT}\right)}{1+\alpha_0 P\exp\left(\frac{-Q_{ad}}{RT}\right)} \tag{3-27}$$

这一关系式可能给出一个对生长温度和反应物浓度均很复杂的依赖关系。对于许多系统，反应物的分压和最终表面覆盖率是不高的，因而可简化为：

$$GR \approx k_{rxn,0}\alpha_0 P\exp\left(\frac{-(Q_{ad}+Q_{rxn})}{RT}\right) \tag{3-28}$$

这一方程表明生长速度与气相反应物浓度呈线性关系而与温度则呈指数关系。在许多CVD系统中经常见到的正是这种关系，尽管实际的生长化学可能比简单模型中设想的要复杂得多。

为描述CVD生长行为，曾提出过一些更复杂的表面反应图解。为了实现生长反应，有一些表面反应物要求两个邻近位的吸附物共同反应。在这种场合，生长速度将与两个反应物的表面覆盖率成比例关系。同样，每种反应物的表面覆盖率可用Langmuir模型描述。生长速度则将与两个反应物的表面覆盖率成正比。比例常数即为反应速度常量k_{rxn}，

$$GR = \frac{k_{rxn}\alpha_1\alpha_2 P_1 P_2}{(1+\alpha_1 P_1+\alpha_2 P_2)^2} \tag{3-29}$$

· p. 136 ·

这一特定模型被称为Langmuir-Hinshelwood反应定律并一直用于描述以$(CH_3)_3Ga$和AsH_3外延生长GaAs的行为。这个方程的温度-压力关系是相当复杂的，并用于解释时常见到的生长速度与反应器参数间的复杂关系。对于其它生长情况，可以通过综合吸附定律和具体化学机理的假设而得出通式。对于通用CVD外延系统的速度关系的研究实例，将在以后讨论。

在外延生长中涉及的表面反应与在选定的生长条件下存在于生长温度下的表面构造细节有关。反之，这些表面构造部分地取决于吸附物的存在。台阶、扭转部和平台结构以及局部重建结构对抵达的化学反应物可能表现为一系列不同的吸附点位。尤其是可能的杂质吸附，给主要生长反应物增添了附加因素，从而对表面生长化学和生长形貌造成干扰。已讨论过的生长反应原理可用于描述杂质的并入问题。杂质源可发生气相反应，在表面吸附并进入生长中的薄膜。一些杂质源可能仅仅在特定的表面位(如表面上的台阶)被强烈吸附。衬底晶向的微小变化(有时称之为偏离切割)可明显改变杂质的并入率。这种细致的因素可使生长行为复杂化，并影响到外延薄膜的最终特性。

3.4 液相外延(LPE)工艺

液相外延(LPE)首先由Nelson(1963)提出，并用于许多材料的沉积，其中包括Ⅲ-Ⅴ族和Ⅱ-Ⅲ族半导体以及磁性石榴石材料(Giess和Ghez，1975)。LPE的适应性强以及可制备高纯材料，因面最先用于电子和光学器件制造，如第一个$GaAs/Al_xGa_{1-x}As$双异质结激光器的室温连续振荡。LPE的优点有：相对简单和不太昂贵的设备、前体材料的利用率高、并可制成从薄到厚各种不同厚度的高纯和高光学效率材料。另外，LPE是一个近平

衡生长技术。生长速度因衬底晶向不同而差别很大。这使它具备独一无二的能力在光刻图形衬底上进行重复生长和完成平面化工艺。这些优点使 LPE 成为各种 LED 的通用沉积技术，因为降低成本对这些器件非常重要。由于 LPE 具备重复再生长的能力，它还是埋层异质结构和 DFB 激光器的通用制造技术。

LPE 的弱点是它不能对非常薄的薄膜进行可控生长。在异质结构电子器件(如超晶格或量子阱器件)中具有指定组分的薄膜是必须的。LPE 的生长速度一般高于 MOVPE 或 MBE，因而限制了用它生长极薄层的能力。薄膜绝对厚度的控制能力也不如其它工艺好，这与其生长的起始和终结方式有关。由于 LPE 是一个近平衡技术，并非一切材料均可用此法生长。三元和四元系材料的某些组分存在着互溶隙，这就妨碍了 LPE 的沉积，因为在生长过程中会出现相分离。最后，表面形貌通常不如 MOVPE 和 MBE 好，这也是决定其不能用于生长某些器件结构的主要原因。因此，对一些包含量子阱、超晶格或腐蚀栅等比较精细的器件，MBE 和 MOVPE 是最常选用的生长技术。

• p. 137 •

LPE 是令所需材料从过饱和溶液中沉积到衬底上。与 MOVPE 和 MBE 不同，LPE 是在富Ⅲ族元素环境下，与非常接近于平衡状态下发生的。溶剂元素通常为待沉积化合物的Ⅲ族元素组成分(Ga 或 In)，有时一些低熔点金属(如 Sn，Bi 或 Pb)也可用作溶剂。LPE 生长的热力学推动力来自于将系统冷却至液相线温度以下这一操作。在图 3-14 中画出的 GaAs 相图中(Casey 和 Panish，1978)，在凸形曲线上方仅存在一个液相。熔体生长(即直拉法)是在化学配比固体熔点(对 GaAs 为 1238℃)下进行的，而 LPE 则是在比它低得多的温度下完成的。GaAs 的 LPE 生长是将处于温度 T_1 并含有少量 As 的 Ga 溶液冷却至其液相线温度 T_2，达到该处(例如图 3-14 中的点 B)的组分。当继续冷却至点 C 处温度 T_3 时，溶液成为过饱和，GaAs 开始在衬底上沉淀或生长。当足够的 GaAs 已沉淀出来以致熔体不再成为过饱和时，生长过程在点 D 处停止。整个过程，液相组分从 B 至 D 一直变化。

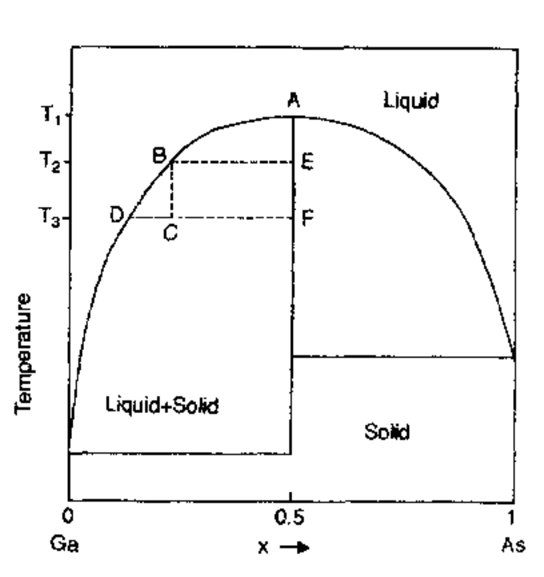


图 3-14　Ga-As 相图可用于设计 GaAs 的 LPE 生长工艺

由于多数Ⅲ-Ⅴ族二元化合物是“线性”化合物(即不存在可测量的均匀区间)，因而只有合乎化学配比的 GaAs 沉积下来。在三元和四元化合物中，这一特点不一定依然成立，因为沉积薄膜的组分取决于过饱和度及液相组分。结果，在某任选温度下并不能生长出全部的合金组分。一些三元或四元合金存在有互溶隙。在相图中的互溶隙意味着从液相溶液中可同时生长出两种固相或两种固体组分，当然，这取决于特定的温度和液相组分。

文献中报道过三种主要的 LPE 工艺形式：倾侧法、浸蘸法和滑动法，以滑动法应用最为广泛。倾侧法是最早应用的 LPE 方式。在这一方法中，熔体和衬底分别置于舟的两端。

将舟倾斜使熔体流到衬底表面，从而开始外延生长。生长结束时，将舟返回到其原来位置，从而使熔体脱离衬底。这种方法只能用于单层生长。浸蘸法可以在衬底上进行多层外延生长，在这一方法中，将衬底浸入熔体以便开始外延过程；而将衬底提出时则结束生长过程。将衬底移至另一个浸蘸位，生长过程再次进行，同时完成一个多层结构的另一层生长。这一方法曾用于多层生长并用以制备商品器件，但像倾侧法一样，浸蘸法的厚度均匀性并不太理想。器件要求多层结构并且要能生长出各种不同组分的薄层，从而使滑动法成为主导工艺。

• p. 138 •

滑动法是应用最广的 LPE 工艺，因为它能直接生长出厚度和均匀性相当好的多层结构。滑动系统的示意图见图 3-15，这是一个具有滑轨的装置，衬底和滑槽均置于轨道上面，滑槽上有若干个装有不同熔体的熔池(Kuphal，1991)。每个熔体用于生长不同的薄膜，因而每个熔体的组分不同。例如，一个熔体含有 p 型掺杂剂，另一熔体含有 n 型掺杂剂，用之可以制备 p-n 结。用三个或四个熔体即可制备异质结结构。滑槽与衬底托板紧密配合，当把装有指定熔体的熔池滑动至衬底上面时，生长即可开始。LPE 系统的组件由石墨制成。熔体通常并不浸润石墨，这样当滑槽移走时通过擦抹作用使溶体脱离衬底，从而达到结束生长的目的，整个装置装于石英管中，管中则通入高纯氢。石英管置于可移动的多温区炉内。往往在炉内设有热管以获得平坦的温区。通过石英托杆移动滑槽的位置，可以手动或由计算机控制的步进电机驱动。通常在熔体上方设有石墨盖，以防止蒸发和熔体污染。

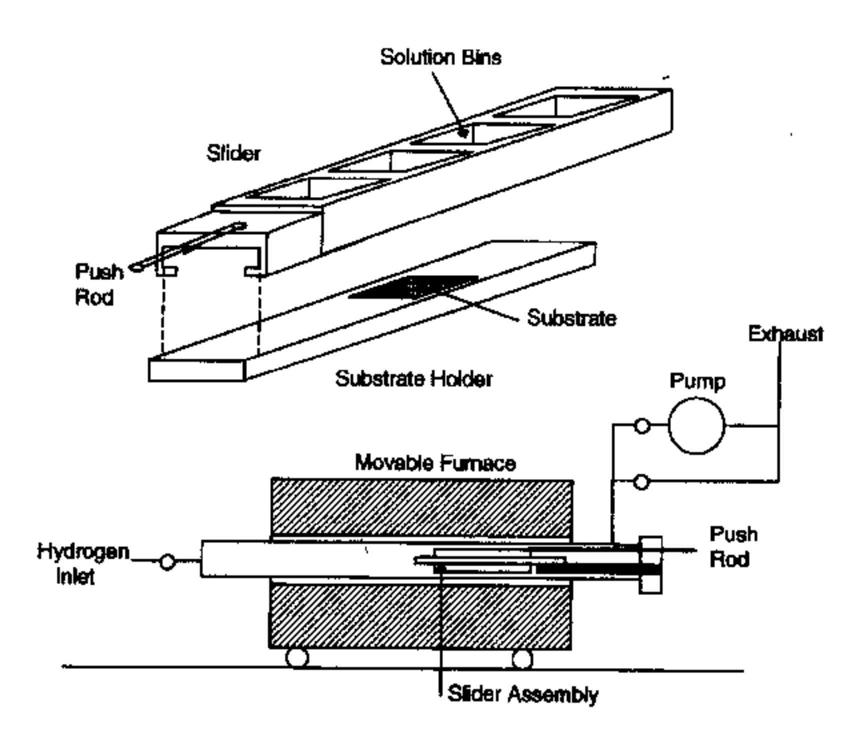


图 3-15　通用的水平滑动式 LPE 系统示意图

• p. 139 •

组成 LPE 系统的熔体可以是单相的，也可以是两相的。单相熔体是在特定温度下过

饱和的液体。过饱和度不应过大，以免固相在熔体中自发成核。两相溶液由含有固体源的熔体组成。石墨盖可以用与生长薄膜同类的衬底代替，从而确保熔体的均匀饱和。两相法的主要优点是简化了对生长过程的控制。例如，在LPE中，生长速度是由接触时间和过饱和度决定的。在两相法中，浮于熔体上的衬底盖起着原料调节库的作用，从而保证了开始加热时的熔体饱和状态。除了确保饱和外，盖子还可防止源的挥发，并有助于对熔体外形的控制。由于存在着两个衬底，当系统冷却时，生长过程在两个衬底上进行。因熔体厚度不同，这可造成待生长衬底上生长速度的某些下降。必须指出，这一方法仅适用于生长二元化合物，因为具有特定三元或四元组分的衬底是无法得到的。通过多年的研究开发，滑动法已用于生产。生产规模的滑动LPE系统由计算机控制并可同时装入多个圆形衬底，最大直径可达50mm(Shea等，1993)。

滑动LPE技术中仍有一些实际问题。例如，衬底边缘部位的过度生长就是一个潜在的问题。边缘过度生长有几个原因，如不同晶向的生长速度不同、熔体中热对流和溶质的非一维扩散等。如果边缘部位的外延层厚度超过了衬底托板与熔体滑槽间的空隙，石墨件或生长的外延层就会被滑槽擦伤，造成划痕或生长表面上产生其他缺陷。但这个间隙也不能做得过大，否则滑动时会带出一些熔体，从而给相邻熔体造成污染。衬底-滑槽间隙通常在20—100μm之间，这就给外延层最大厚度和衬底厚度公差设置了限度。边缘部位过度生长可通过降低熔体中的热对流得到改善，如采用低降温速度或等温(分步降温)生长，还可以采用薄熔体加盖生长，以达到降低二维扩散的目的。使熔体接触面积小于衬底面积也可解决这一问题。

3.4.1 LPE生长过程

滑动LPE工艺的操作要点主要在于熔体制备及随后的生长过程的时间-温度程序。在图3-16中给出了一个LPE生长的典型温度变化周期(Kuphal，1991)。系统首先加热至高于饱和温度T_S。这一阶段产生一个均匀的熔体。然后降温并使熔体与衬底接触。图中给出了两种常用的降温法："平衡降温"和分步降温。在"平衡降温"生长时，缓慢地将温度从T_S降至最终温度T_E。分步降温时，在与衬底接触前，先将系统降至过饱和温度T_A，然后在此恒定温度下进行外延生长。衬底还可加热至高于饱和温度并与不饱和熔体接触，以便进行衬底表面的原位腐蚀。这个腐蚀阶段的目的在于除去切割或抛光时产生的损伤，同时产生一个比较均匀的成核点位密度。回熔法的缺点是不均匀腐蚀会给表面形貌带来副作用。

· p. 140 ·

正像前面说过的，LPE是一个接近平衡的生长过程。如果生长完全达成平衡，则沉积的料量应该恰恰与所沉淀的固体量相等，从而恢复在该温度下的固-液平衡。但实际上并不出现这一情况，因为熔体中的扩散速度不能快到在整个熔体中均达到平衡条件。过饱和物质通过熔体达到衬底表面的扩散限制了生长速度。

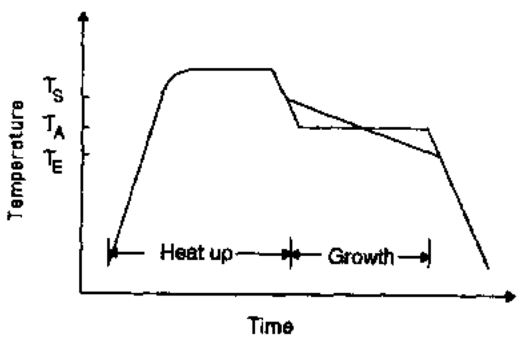


图3-16 LPE生长的典型的温度变化曲线

可以推出一个简单的扩散模型，其中熔体可假定为半无限高的、等温无对流的熔池。假定生长仅仅是一个在衬底上的沉积过程，且生长速度只受溶质扩散制约(溶质是熔体中的低浓度组元)。GaAs 生长在这种情况下，可视为 Ga 熔体中的 As 向 GaAs 衬底的扩散过程。在时间 t 内，均匀冷却时所生长的外延层厚度 d 可由下式给出：

$$d=\left(\frac{3}{2}\right)\left(\frac{R}{C_{As}^{s}m}\right)\left(\frac{D}{\pi}\right)^{1/2}t^{3/2} \tag{3-30}$$

式中，R 是降温速度；C_{As}^{s}是溶质(As)在固相中的浓度；m 是液相线的斜率，当生长时温度变化不大时，可视为常数；D 是扩散系数；t 是生长时间。对于分步降温，外延层厚度可由下式给出：

$$d=\left(\frac{2\Delta T}{C_{As}^{s}m}\right)\left(\frac{D}{\pi}\right)^{1/2}t^{1/2} \tag{3-31}$$

式中 ΔT 是温度差(Casey 和 Panish，1978)。对非无限熔体高度和三元、四元材料的生长速度也已导出(Kuphal，1991)。LPE 的典型生长速度约 100nm/min。尽管开发出许多降低生长速度、缩短与熔体接触时间的方法，LPE 在生长超薄层方面仍无法与 MOVPE 或 MBE 竞争。

• p. 141 •

LPE 的主要特点之一在于这是一个生产高纯度和高光学效率材料的简单方法。这些好的材料特性直接得益于生长方法。LPE 是在富Ⅲ族元素状态下生长的，因而Ⅲ族空位密度低。这些空位是非辐射复合中心，它们限制着光学效率、载流子寿命和扩散长度(Jordan 等，1974；Ettenberg 等，1976)。高纯生长得力于杂质的分布系数小，熔体趋向于将它们留在体内。为了减少有害杂质和获得高纯 GaAs，预烘烤 Ga 熔体被证明是有效的(Amano等，1993)。通过 Ga 预烘烤可降低 Ga 熔体中的 S，Si 和 C 等的杂质浓度。氧是另一个有害杂质，它在一些Ⅲ-Ⅴ族材料中形成非辐射深能级。如向熔体中加入少量 Al，氧将优先生成 Al_2O_3，后者将残留于熔体中，从而防止氧进入晶体(String fellow，1981)。

LPE 的生长速度与晶向有关，以前曾谈到，这会造成边缘的过度生长。生长速度随晶向而变的特点，在光刻图形衬底上的再生长过程中可视为一大优点。这一特点主要用于产生埋层异质结和分布反馈或 DFB 激光器。图 3-17 示出了在 4μm 深槽上的 LPE 生长情况(Kuphal，1991)。原有的刻槽表面已通过一系列 AlGaAs/GaAs/AlGaAs 层的外延生长实现了完全的平面化。利用(001)和(111)面上生长速度的巨大差异，尤其对 InP 和 InGaAsP 四元化合物，可在预先构图的衬底上一次完成埋层异质结激光器的生长过程。采用任何其它的外延生长技术生成这类结构，几乎是不可能的。

• p. 142 •

LPE 工艺的主要问题是难以得到大面积、光滑、平坦的表面形貌。作为一个近平衡过程，表面移动度大，因而横向生长速度也高。表面形貌因面对晶向非常敏感，衬底上的缺陷多少及其性质以及开始生长时的成核条件均有重要影响。最常见的 LPE 形貌图形是台阶或者小平面。如果衬底偏离晶向角度较大，将形成拉长的台阶，这将给制造器件造成困难。小于 5°的小偏离生成较短的台阶，具有约 100μm 的宽台面和几十纳米的阶高。采用某一晶向可使台面变得足够大，这时完全可以在台面上制造激光器之类的器件。曾有报道，非常精确地控制生长温度和衬底偏离可以使 LPE 层上不生成台阶(Rode 等，1977)。

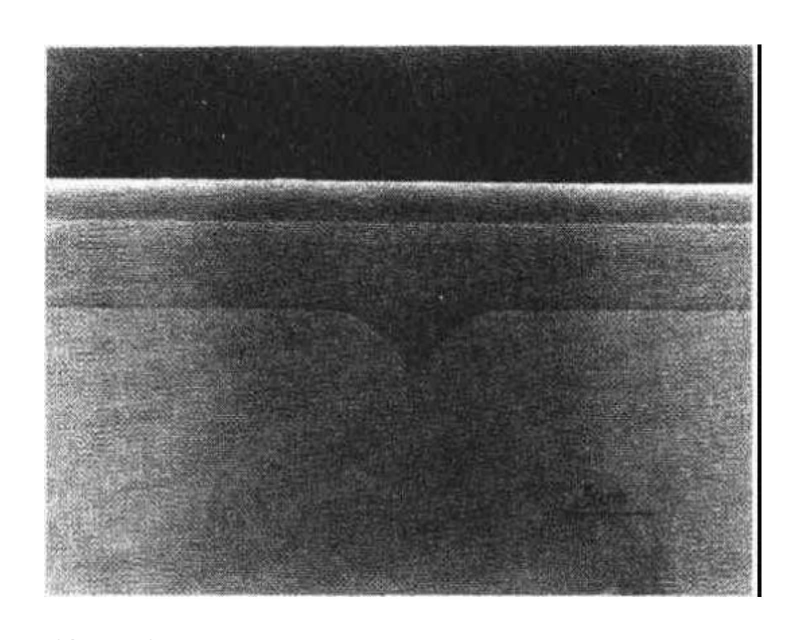


图 3-17 用 LPE 生长 $Al_xGa_{1-x}As/GaAs/Al_xGa_{1-x}As$ 层时一个 4μm 深槽的平面化工艺(Kuphal,1980)

LPE 异质结构生长比较复杂,因为有必要对熔体中的各个组分的多少和扩散均加以控制,才能获得所需组成的外延层。有时会出现所谓的"晶格牵引"或"晶格挂钩",这会给生长层固相组分造成扰动以令其与衬底晶格常量达到匹配。由应变能和热力学驱动力构成的系统总能量降低造成这种预定值偏离。晶格牵引实际使制造晶格匹配的异质结构变得更容易。这种效应在 MOVPE 或 MBE 中不会出现。但另一方面,这种效应给应变层结构的生长造成困难,而有时需要生长具有一定晶格失配的应变层结构。

3.5 分子束外延(MBE)工艺

分子束外延(MBE)是一种超高真空蒸发技术,这种方法广泛地用于半导体单晶的沉积。该法成功地用于Ⅲ-Ⅴ,Ⅱ-Ⅵ族化合物半导体和 Si,Ge 及有关合金的沉积。MBE 也用于多种金属和氧化物的单晶生长。和常见热蒸发法一样,MBE 由装有待蒸发原料为内源的真空室构成。MBE 系统的设计要考虑在非常低的压力下和非常小的排气速度下工作。MBE 在超高真空(UHV)条件下进行。要求 UHV 环境是为了保持所生长薄膜的纯度,MBE 的生长速度很低,通常在 1μm/h 左右。为了获得这一生长速度,源分子必须以每秒一个单原子层的速度抵达表面。如果所有打到表面的原子全部进入表面,则这一碰撞速度对应于约 10^{-6}Torr 的蒸气压。真空室中的残余气体同样与表面相撞、发生反应,并进入所生长表面。因此,薄膜中杂质含量与真空室中含的有害杂质气体分压有关。真空室中总的本底气压必须小于 10^{-11}Torr 才能使杂质与源物质的抵达速度相比非常低,从而保证薄膜有很高的纯度。

· p. 143 ·

高纯环境带来一些独特的特性。这些特点有:在比通常 CVD 法使用温度更低的温度下进行高纯材料生长,对生长速度可进行非常精密的控制并能制成对所掺杂质和主成分

来说都是很陡的界面。此外，高真空环境可采用一些原位分析手段，如反射高能电子衍射(RHEED)和俄歇电子谱，这对监控生长过程非常有利。

MBE 的主要优点是生长温度较低和生长速度小。较低的生长温度可减少系统发热元件放气所致的杂质污染。在器件结构生长时还可以降低外延层组元和杂质的扩散和再分布，生长速度慢使层厚和界面构造较易控制。对 GaAs 来说，典型的生长温度约为 600℃，生长速度约为 1μm/h。生长温度低使降低沉积速度成为可能。在 3.2 节中曾讨论过，慢的生长速度给碰撞原子提供了足够的时间，以便沿衬底表面扩散，并得以进入其适当的晶格点位。如果碰撞流速过高，原子将没有足够时间达到恰当格点，从而造成晶岛出现。晶岛生长是不希望有的，因为它将造成不陡的界面，使与衬底的对应关系受到损失并产生多种缺陷。缺陷产生还可能来自局部的非化学配比，如局部流束不平衡产生的 Ga 液滴。

MBE 的 UHV 环境决定了生长室中的传质模式。由于压力低，蒸发物的平均自由程很大。源物质可以不经散射从源直达衬底，从而形成一个通向样品的流束。这种束流特性使其可以采用机械快门，对蒸发物束实行有效的通/断。因此，到达生长前沿的源物流可以非常快且可突然通/断。源的快速通/断配以慢生长速度可使生成的界面接近于原子级陡度，并使外延层厚度接近于单原子层尺度。如上所述，因为是低温生长，生长过程中的层间互扩散是很轻微的。

· p. 144 ·

MBE 生长室的基本结构示意图见图 3-18。生长室分成三部分：真空系统、源和衬底支架。真空系统由生长室、泵、原位监控仪器和衬底进出系统的传送装置组成。原位监控仪器包括源流量监控器和 RHEED。RHEED 用子生长前的表面处理和生长速度的原位校正。生长源通常以元素形态从喷射池蒸发直达单晶衬底以生成外延单晶薄膜。与衬底碰撞的物流受每个喷射池温度和机械快门的位置控制。衬底置于加热台上，加热台一般可以

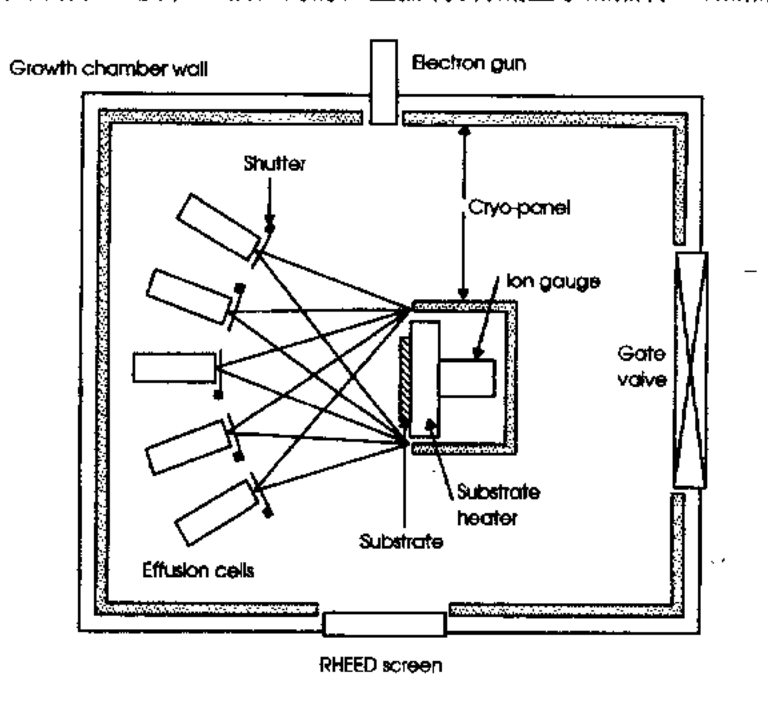


图 3-18　典型的 MBE 生长室示意图

旋转以提高通向生长表面的物流均匀性。

MBE 系统设计成可达到并保持非常低的气压。基压接近于 10^{-12}Torr，而生长时的气压约为 10^{-6}Torr。采用多级闸门用于高效的装料和出料，同时使空气进入生长室的可能性降至最低。如图 3-19 所示，系统通常由装料闸门、缓冲室和生长室组成。真空室一般由不锈钢制成，采用金属密封接头和阀门以减少漏气和控制放气速度。除了保持低气压外，系统还必须能产生特定物质的有效束流，而且其中有害杂质必须极少。MBE 系统的全部元件必须能承受约 200℃的烘烤，以促进反应室内壁上水蒸气和氧的脱附。每当因维修而打开生长室，从而使系统内表面暴露于空气时，生长室必须进行“烘烤”。通过加热或“烘烤”室壁，空气带进的吸附水可以真空泵有效地抽出。

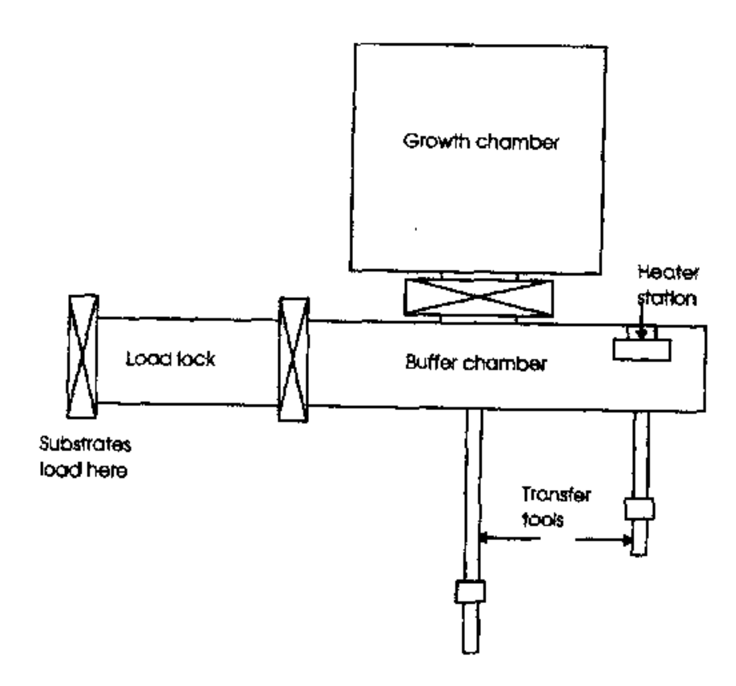


图 3-19 包括装料闸门、缓冲室和生长室在内的 MBE 系统的主要部件

• p. 145 •

衬底通过装料闸门送进系统。装料闸门装有多级泵迅速将系统抽至低气压(10^{-6}—10^{-7}Torr)。这些泵包括一个吸附泵和紧接的深冷抽气泵或离子泵。装料闸门也可在较低温度(几百度)烘烤以排除由衬底和支架带进的大部分水蒸气。用于沉积薄膜的衬底装在运送器上，后者可在系统中运转。衬底用铟钎料或用一套夹具紧固于支架上，该夹具使装出料变得非常简单。小的系统一次装一片，用于生产的较大系统采用“小车”实现多个衬底的装卸。这种晶片装运系统不但提高了生产效率，而且还使系统暴露于空气的次数降低。

装料闸门内抽空后，衬底转入缓冲室。缓冲室是一个真空度更高的空间，通常用离子泵抽气。缓冲室可适应更高温度的烘烤(≈500℃)，以进一步除去吸附的杂质。它还可以装进一些检测仪器，如俄歇或 RHEED 谱仪。缓冲室进一步抽空和烘烤后，衬底装入主生长室。这些操作使用一种传递工具，该工具可将衬底从一个室移至另一个室，而不影响真空度。生长室装有一个大的深冷抽气泵或离子泵，以便在生长过程中保持所需真空度和残余气体分压。生长室设有大的低温板用于给泵补给液氮。低温板的冷表面使挥发性气相

杂质冷凝并有效地提高 H_2O,O_2 等的抽气速度。水和其它含氧物对半导体特性有不良影响,对含 Al 化合物影响尤大。低温板通常设计成环绕于整个生长区间、源的法兰盘和衬底支架。多余的生长物,如生长 GaAs 时的 As,也同样沉积在低温板上,因而不能完全被主泵抽出。源法兰盘和喷射池炉同样围以低温板,因而减少了交叉污染和快门关闭时的源物泄漏。整个真空系统可确保在真空室内有害杂质(H_2O,O_2,CO 或 CO_2)的分压降至很低,从而可沉积出非常纯的材料。

装于支架上的衬底被置于生长室内的加热载物台上。通常用灯丝辐射加热。以置于衬底后面的热偶测温,还可用光学高温计监测衬底表面进行测温。通常将一个离子真空规置于衬底支架的对面。离子规可以转至分子束中,使它可以测量来自源区每一种生长物流直接投向衬底位的流体"压力"。

· p. 146 ·

MBE 与 CVD 相比,优点之一是前述的原位表面分析,在生长前及生长过程中均可进行。最常用的技术是 RHEED。MBE 生长室中 RHEED 的两项主要用途:(1)生长前建立恰当的表面条件;(2)生长速度的原位测量。示于图 3-18 的 RHEED 系统由一个能产生 5—50keV 能量的电子束的电子枪和荧光屏组成。电子束以非常小的角度(≈1°—2°)投向衬底。电子束被所生长薄膜的表面原子反射以后,生成一个二维衍射图像。此衍射图像包含有关表面上整体构造和原子排列的信息。重构表面的构造可以通过对荧光屏上的衍射图像进行研究后推出。生长时选择适当的表面重构可以影响 3.2 节中讨论过的生长模式和均匀性。

蒸发源装在一个可精密地、有重复性地保持特定温度的喷射池内。之所以要严格控制,是因为喷射出的物流量基本取决于池温。这种池通常称之为 Knudsen 池或 k 池,因为其最初的几何结构和平衡条件曾由 Knudsen 用于其分子喷射的研究工作(Knudsen, 1909)。在一个理想的 k 池中,池中的蒸气压与固体或液体源处于平衡,而且仅仅有极少量蒸发物通过池中的小孔逸出。小孔要足够小以便与池保持平衡条件。这种情况下,在与池孔相距 l 处与衬底相撞的原子流 J(原子/cm^2 · s)可以下式给出:

$$J = \frac{PAN}{\pi l^2 (2\pi MRT)^{1/2}} \tag{3-32}$$

式中,P 为池中气压;A 为小孔面积,N 为阿伏伽德罗常量,M 为分子量,R 为气体常量,T(K)是池温。由于源物的蒸气压随温度剧烈变化,因而必须对喷射池的温度加以严格控制,

$$P = P_0 \exp[-Q_{evap}/(k_B T)] \tag{3-33}$$

合并(3-32)和(3-33)式可得出物流与温度的关系如下式:

$$J \propto T^{-1/2} \exp[-Q_{evap}/(k_B T)] \tag{3-34}$$

对多数金属,如 Ga 的蒸发热大约为 3~4eV/原子。Ga 在 950℃时的蒸气压约为 2×10^{-3} Torr[1)]。采用常见值 $A=0.78cm^2$,$l=20cm$,得出 Ga 的流量约为 1.5×10^{14}原子/(cm^2 · s)。这相当于每秒生成 0.24 个 GaAs 元胞或生长速度 0.48μm/h。对工作于这一条件下的 Ga 的 k 池,温度 1℃的波动将造成约 2%的物流量变化。对于许多结构,这个波动还应进一步

1) 1 Torr=133.322Pa。

减小；在较高的温度下，源加热器的温度波动必须小于 0.2℃。

· p. 147 ·

在实际系统中，喷射池与理想 Knudsen 池相差甚远。差距产生是由于要提高生长速度和整个大面积上的均匀性。高纯难熔材料，如 Ta 和热解氮化硼(PBN)用于 k 池以防止对源和生长室造成污染。对坩埚设计进行了许多研究[1]，在保证大而可控的物流条件下，热负载可做到很小。在一切场合下，均要将 k 池围以低温板，以减少由于源及加热器的辐射使生长室升温。池孔比理想 Knudsen 池的大许多，这是为了对 k 池不过分加热情况下能将生长速度提到一定程度。为了使一些低蒸气压元素(如 Si)蒸发，还需要有可达到更高温度的加热方式。以细小而高能、大电流的电子束聚焦于源进行电子束加热是一种可供选择的方式。k 池装于源法兰盘上，后者可使每个池以适当角度对准衬底。池-衬底间距要小，池孔要大，这样才能保证在大面积衬底上有均匀的物流和适当的生长速度。

气体源或金属有机 MBE(MOMBE)是 MBE 中的一种，这里采用气体源取代通常的固体源。装设气体喷嘴可以使用多种气体和液体源，如 AsH_3、PH_3 和三甲基镓等等。变动前体可以实现新的生长模式和采用新的掺杂剂，另外对某些生长物还可较易控制。Ⅲ-Ⅴ族砷化物/磷化物的混晶生长是后者的一个实例。生长这些材料所用的固体磷，由于其蒸气压高而给高真空系统造成困难，而且不易控制固相中的 As/P 比。以 AsH_3 和 PH_3 代替 As 和 P 元素源使生长这类材料的能力大为提高。气体源系统拥有较高的气体负载，因而要有诸如深冷泵、涡轮、分子泵及扩散泵系统之类的高速泵。气体引入一般靠高温“裂化池”实现。裂化池的作用是为了使前体在与衬底相撞之前发生分解或裂化。热裂解和等离子体裂解均可成功地应用。生长源的部分分解有时可降低生长温度并提高源的利用率。将此法用于 MBE 的一个实例是Ⅱ-Ⅵ族化合物生长。Ⅱ-Ⅵ族一般很难实现 p 型掺杂。氮对许多Ⅱ-Ⅵ族半导体是一个适宜的掺杂剂，但 N_2 的活性非常差。将 ECR 等离体裂解池用于氮以生成原子态氮可大大提高 p 型掺杂效率并直接用于Ⅱ-Ⅵ族激光器的制备。

MBE 系统日益完善使其能满足日益增长着的对提高控制能力、可靠性及生产效率的要求。整个系统，包括喷射池温、衬底加热器、快门及全部泵均已实现了计算机控制。生产渐变组分和特定掺杂分布要求有控制程序，利用这一程序可使喷射池和衬底加热器产生任意的温度分布。最新的进展，包括由原位测量提供的直接监控和反馈，譬如椭圆仪或反射电子衍射测量，可用于对生产过程实行控制。

· p. 148 ·

MBE 可以相当快地实现特定器件结构。MBE 不但在研究工作中非常有效，而且在开发和批量不大的生产中也是有效的。MBE 的不足之处有：较昂贵而且不适于同时多个衬底生长。生产廉价的器件(如 LED)或大面积器件(如太阳能电池)最好采用其它的生长方法(如 CVD)。

3.6 外延系统专论：材料与生长问题

一般的半导体外延生长可以采用多种方法。本节将集中介绍在半导体工业中目前采

1) 这里的坩埚实际指的是喷射池。——译者注

用的四种系统。选择某一半导体材料主要是为了突出某一生长方法的适用性。硅的化学气相沉积可能是最重要的半导体生长系统。用于生长化合物半导体的类似系统是金属有机气相外延系统,这样在介绍 InP 系材料生长时予以讨论。InP 用于多种光电子器件。液相外延在多种应用中往往以 MOVPE 或 MBE 代替。但是,它在生长一些高效发光结构时(如 $Al_xGa_{1-x}As/GaAs$ 体系)从工艺角度看仍是一个重要方法。最后,分子束外延将结合 GaAs 生长进行讨论。

3.6.1 硅化学气相沉积

硅外延在制造集成电路的许多工序中均要用到。选择何种硅外延取决于材料在器件中的应用情况。多数硅外延是以常压多片生长系统完成的。这些系统可以处理多个大直径(≥6″直径)硅片。硅外延的一个重要用途是在互补型 MOSFET(CMOS)工艺的开始阶段在硅片上生成电学特性可控的厚膜。CVD 生长工艺的新成就推动了先进的异质结构在 Si 工艺中的出现。包括在硅衬底上生长非常薄的 Si_xGe_{1-x}薄层的 Si_xGe_{1-x}系材料结构的生长使许多传统的 Si 器件(如双极型晶体管)的性能得以改进。被称为 UHV-CVD 的 Si 超高真空 CVD 的进展使 Si 结构的生长在非常低的温度下进行,这使所生长薄膜间的互扩散降至最小。降低杂质的重新分布和材料保持其生长时异质界面及杂质分布使开发具有突变界面的薄层结构成为可能。Si 的厚膜生长和异质结生长这两项应用对反应器设计和操作条件的要求完全不同,因为每种工艺生长涉及到的化学问题完全不同。

3.6.1.1 *硅化学气相沉积:表面及反应器研究*

在大硅片上进行硅外延是一个主要用在集成电路头道工序的操作技术。用于硅外延的反应器通道是圆筒形、单片的或多片热壁 LPCVD 管式反应器。在每种系统中使用的生长条件不一样。在每种反应器中,为获得均匀、可控的薄膜,其生长操作条件均进行了优选。筒式反应器通常可在其衬底托架上装 20—40 个硅片。硅片和石墨托架通常以射频加热或以大功率红外灯组加热。反应器通常在接近于环境压力下工作,采用氯化物法,如 $SiCl_4$ 或 $SiCl_2H_2$ 进行外延。生长温度高时,这些反应器可以较高速度≈0.1μm/min 沉积。高生长速度需要高生长温度,这造成生长层间的互扩散或杂质重新分布,往往使获得陡的掺杂结变得非常困难。这些系统的热容量大,会使高温下的操作时间过长。

• p.149 •

根据多种考虑,有必要开发单片生长系统。硅片直径的不断增大使许多种多片反应器变得过大。单纯从晶片尺寸出发去设计反应器规模已不可能。尤其是许多现代器件需要较薄的外延层,还要求减少杂质重新分布。这些器件只能在高温下短时间停留,以便扩散维持在允许范围以内。采用单片反应器可用红外灯对衬底快速加热。这些系统通常称之为单片快速热加工(RTP)系统。当遇到一些技术难题时,如需对晶片进行均匀的辐照加热或降温,利用这些 RTP 系统可轻易地组装成自动加工线,因为在某一时刻只需与一个晶片打交道。反之,一个筒式反应器往往要求有操作人员装片、出片,从而增加了晶片损坏、污染的危险,而且还浪费时间。

最新型的反应器是超高真空 CVD 或 UHV-CVD 系统。这种水平放置反应管的多片

系统是一个一般的 LPCVD 反应器，它设计成在非常低的气压下工作。此外，反应器的结构采用了类似 MBE 的技术，可保持极低的气压($\leqslant 10^{-9}$Torr)，尽管实际操作压力要高些。每炉可装 10—35 片或者更多硅片，从而提高了生产效率。装片操作通过真空装料闸门，从而使装出料时反应器内表面不致暴露于空气。在保持高洁净度的同时，UHV-CVD 系统还可制出高质量的外延片，由于该法可在较其它外延反应器更低的温度下生长，因而生长速度较低。UHV-CVD 系统生长时的压力只有约 10^{-3}Torr。在这一系统中一般采用氢化物法：SiH_4 和 GeH_4。UHV-CVD 系统的生长温度一般比近常压生长反应器的低很多。UHV-CVD 的硅外延温度为 450—650℃；而常压 CVD 的生长温度要超过 750℃，在 650—750℃生长往往会生成多晶。

• p.150 •

采用哪种特定系统往往出于多种考虑：器件应用、生长速度、热处理条件等等。对 Si-CVD 有一些共同特点，在选择系统操作条件时均起作用。在选定生长化学的前提下，CVD 反应器内操作条件的范围受到生长系统内剩余杂质的限制。这些杂质中影响最大的是碳氢化合物和含氧化合物(如 H_2O)，由于它们在硅表面有较高的活性而对生长前沿造成污染。碳和氧的吸附和并入产生一系列不良反应，如引入电活性缺陷从而影响器件性能，甚至造成废品。氧和碳在生长前沿的吸附还会造成形貌缺陷。Si 表面的局部氧化会妨害外延生长造成无生长区。表面氧覆盖度较低时，进入的杂质会扰乱晶格的原子排列，并生成堆垛层错或其它缺陷。Si 氧化的倾向很强。Si-O 键或 Si-C 键比 Si-Si 键易于生成，它们的键强分别为 191.1，107.9 和 78.1kcal/mol。氧与硅的键强如此之高，因此生长环境中的 H_2O 含量必须很低才能防止氧进入硅。在生长环境中允许存在的氧平衡量可用平衡热力学计算。依据反应，水和 Si 反应生成 SiO_2，

$$Si + 2H_2O \rightleftharpoons SiO_2 + 2H_2 \tag{6}$$

式中，平衡系数由下式给出：

$$K_{SiO_2} = \left(\frac{P_{H_2}}{P_{H_2O}}\right)^2 = \exp[-\Delta G_{rxn}/(RT)] \tag{3-35}$$

式中，P_i 是系统中相关反应物的分压，ΔG_{rxn}是反应自由能。对金属杂质可进行类似计算，如图 3-20(Kuech 等，1987)所示。该图表明，生长温度 800℃时，生长环境中的 H_2O/H_2 比值必须小于 10^{-8}。在常压反应器中该比值表明，在输入的气流中 H_2O 的浓度必须小于 10ppb。源气体的提纯尚不足以保证气体的高纯度。由于零部件上(如衬底托架)吸附的水被带进反应器中，还会使反应器中的水污染进一步增高。水的内在源会使反应器中气相组分中的水含量难以降低。

• p.151 •

上述论点是在达成平衡条件下得出的。在极低的压力和温度下，因动力学因素而达不到平衡，所以热力学分析不能对生长环境进行准确的描述。在这种情况下，氧的吸附和掺入受氧化物生成动力学和氧从生长前沿脱附的限制。在高温下，硅还能生成其它的含氧化合物，这同样也影响到吸附氧的表面浓度。尤其是，在极低压力下，反应器中 SiO_2 和 O_2 间的平衡可移向有利于无氧表面的方向。SiO_2 和高温一氧化物 SiO 也在生成和脱除表面氧上发生竞争。这些反应在反应器中与 O_2 和 H_2O 处于平衡态：

$$SiO_2(固) \rightarrow SiO(气) + 1/2\ O_2(气) \tag{7}$$

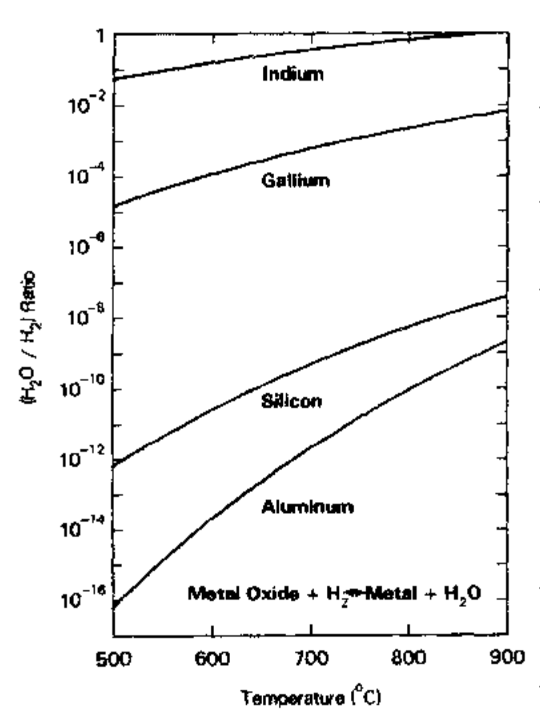


图 3-20　通过热力学平衡计算的 H_2O/H_2 比值可作为某一生长系统所需纯度的指标。位于某曲线上方的 H_2O/H_2 值将导致生成氧化物

与

$$Si(固) + 2H_2O \rightarrow SiO_2 + 2H_2 \quad (8)$$

和

$$Si(固) + O_2 \rightarrow SiO_2 \quad (9)$$

反应器中 H_2O 和 O_2 的低分压有利于生成挥发性 SiO。在每一个给定的温度下，对这些反应物存在着一个极限分压，低于该值时表面可保持无氧。这样，在低温下进行外延生长，可保持 Si 表面不被含氧物污染。图 3-21 给出了无 H_2 载气生长时，因 SiO 从生长前沿挥发而形成的 H_2O 的极限分压(Ghidini 和 Smith，1984)。生长温度为 650℃时，水的分压必须低于 10^{-6}Torr。当 CVD 系统在常压下工作时，分压值表明在输入的气体中的 H_2O 浓度必须低于 1ppb。即使输入气体已提纯到该纯度，装入反应器的机械零件上的残余吸附 H_2O 也会达到这一分压值。现在已有可在 800℃以下成功进行 Si 外延的 APCVD 系统。这些系统均装配有装料闸门，以最大限度降低装料时环境气氛进入反应器的可能，同时还可对气体

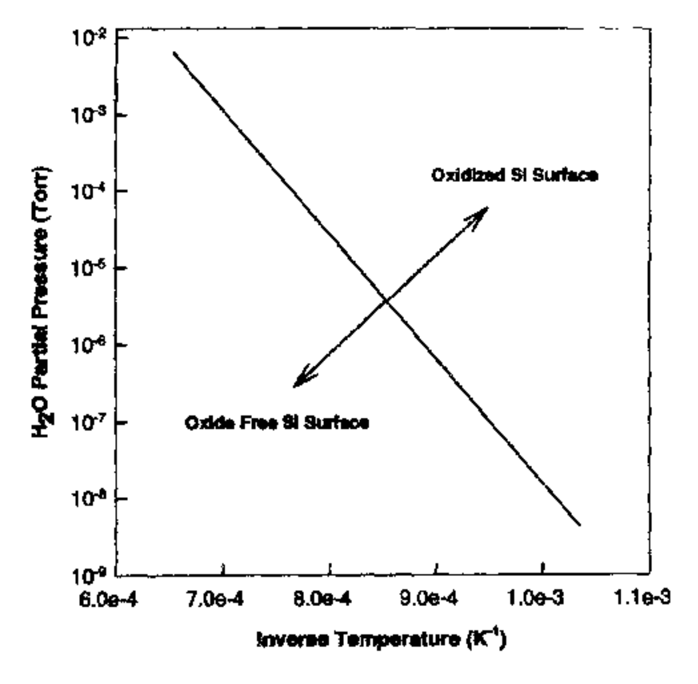


图 3-21　SiO 从生长前沿的蒸发可使 Si 表面净化。氧化物的生成与脱除间的平衡示于图中。它可用于确定为达到生长系统所需纯度而给氧和水所规定的含量

在使用时进行充分的提纯。

对Si外延生长时生成氧化物的问题有若干解决方案。两个主要的方法是选择不同的生长化学或采用低反应器压力。含氯的硅源已广泛用于以化学方法从生长前沿排除氧。SiO_2 可以在室温下以HF腐蚀掉。在高温下其它含卤素化合物均可有效地腐蚀Si表面。在硅片开始升温时，HCl经常送入反应器用于腐蚀Si表面。在高温下(如1000℃)硅或 SiO_2(稍差)可被腐蚀生成 $SiCl_4$，

$$Si + 4HCl \rightleftharpoons SiCl_4 + 2H_2 \tag{10}$$

$$SiO_2 + 4HCl \rightleftharpoons SiCl_4 + 2H_2O \tag{11}$$

这些腐蚀反应以化学手段可将硅片的原有表面除去一层。化学处理的表面，除了含有氧化层外，还含有吸附的碳及其它杂质。原位的或反应器内的腐蚀技术可除去这些表面杂质，并制备出一个新鲜的、原子级清洁的表面，以供外延生长。这些高温腐蚀工序像其它高温工艺一样会造成杂质的重新分布。另外，Si的气相腐蚀有时在硅片内有缺陷处择优进行。由于这种择优腐蚀，HCl腐蚀工艺会突出缺陷点位并造成生长表面的粗糙形貌。采用氯化硅烷，如 $SiCl_xH_{4-x}$，通过类似的腐蚀反应也可以除去任何生成的氧化物。

• p.152 •

降低反应器压力会影响到适宜外延生长的温度区间。如果以Si生长前沿排除氧受SiO的生成和脱附限制，则降低反应器总压力即可确保反应器中 H_2O 分压低于表面氧化物生成所需要的最低限。例如，在0.01Torr总气压下流入反应器的高纯气体将只带进100ppb或更低的污染，流入反应器的气体将造成一个约 10^{-9}Torr的杂质分压，结果杂质的碰撞和进入生长薄膜的机率很小。反应器中 SiO_2 和 O_2 间的平衡将向有利于无氧表面的方向偏移，通过SiO的迅速脱附而使 SiO_2 降低。据图3-21，一个工作于0.01Torr压力下的反应器和正常的载气纯度下，可以在低于600℃的温度下获得无氧表面。实际在采用UHV-CVD系统时，生长温度还可以更低。因此，LPCVD系统的优越性来自两个因素，一个是反应器中传质限制的影响减弱，再一个是在较低生长温度下进行外延材料生产。

3.6.1.2 *硅化学气相沉积：生长化学*

在外延硅生成时所使用的生长化学集中于硅烷 Si_nH_{2n+1} 和氯化硅烷 $SiCl_xH_{4-x}$。氯化硅烷通常用于较高压力生长系统。生长时可降低氧的掺入是使用氯化物生长源的主要优点。氯化硅烷分子非常稳定，其生成自由能列于表3-2。重氯化硅烷的较高稳定性使APCVD反应器的生长温度提高。图3-22给出了外延硅生长所用的四种Si前体：$SiCl_4$，SiH_2Cl_2，SiH_3Cl 和 SiH_4 的生长速度比较(Bollen，1978)。在同样条件下，含氯较高的硅烷使Si生长速度下降。以这些前体进行硅CVD还有一些其它共同特点。在每种场合，图中显示出两种生长温度区间。低温下，生长速度随温度剧烈变化；这种生长温度影响是归因于硅前体与生长表面的直接表面反应，正是这个表面反应作为生长反应的速度限制阶段。硅源分子的较高稳定性使在生长前沿的活度较低，因而生长速度较低。影响生长速度的特定表面反应阶段尚未确定。限制反应阶段的可能机理有氢自生长前沿的脱附或氯化硅烷的表面分解。氢的脱附应为含硅反应物的吸附提供额外的表面点位。氢的表面覆盖应该是生长环境和硅片温度的函数。较高的生长温度造成氢在表面上的覆盖度较低，从而可能提高生长速度。生长源的稳定性提高也会降低表面的反应能力。稳定的生长源在其发生表

面分解反应之前即可能从表面脱附。脱附使硅生长物脱离表面，也会造成生长速度下降。实际上很难确认特定的机理，而且实际的生长化学过程无疑比这些简单的假设要复杂得多。

• p. 153 •

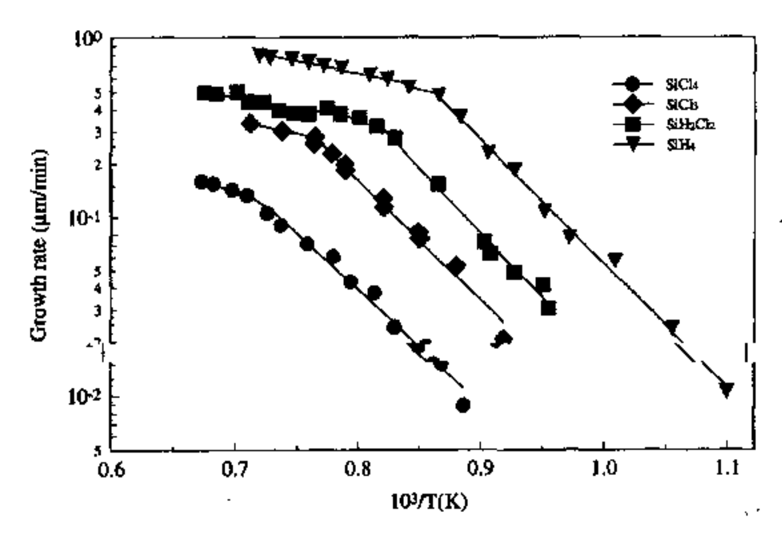


图 3-22　外延硅生长所用四种硅前体 $SiCl_4$，SiH_2Cl_2，SiH_3Cl 和 SiH_4 的生长速度比较。可看出，以高氯化物源生长硅的生长速度是源分子中卤素原子数的函数

图 3-22 中的另一个生长区不太受温度影响或者说是一个近似与温度无关的生长区。温度影响不大表明这是一个受传质限制的生长行为。这种情况下，表面反应非常快而且表面附近的生长物气相浓度近似为零。表面反应随着反应物抵达表面而消耗一切反应物。因而在气相中生长反应物输运至生长前沿成为硅进入生长前沿的速度限制阶段，于是生长速度必定受气相扩散输运与温度关系的影响。如在 3.2 节中讨论过的，扩散输运是一个温度的幂函数。表面反应限制和质量输运限制生长区的转变随着生长前体的稳定性提高而逐渐向较高温度方向转移。因而生长前体的选定与所需生长速度有很大关系，也与所生产器件所能承受的温度以及还与输入气流中的本底杂质浓度有关。

• p. 154 •

在 UHV-CVD 生长 Si 和 Si_xGe_{1-x}时，曾广泛使用过 Si 和 Ge 的氢化物：SiH_4 和 GeH_4。UHV-CVD 的生长温度决定于氢吸附动力学。在直接装入反应器前的硅片处理中，往往包括用 HF/H_2O 溶液腐蚀，以化学方法处理表面而最终除去氧化物的步骤。以 HF/H_2O 除氧化层会使表面吸附氢。含氢表面会占据所有的可供吸附的表面点位。氢终端使表面变成惰性的，因此室内环境中的氧和 H_2O 无法吸附，因而不能发生反应而生成表面氧化物。这种处理方法的有效期不长，因为即使在室温下也会有一些氢偶然地被氧取代。这种生长前预处理的、无氧含氢表面被送入反应器。晶片不再进一步腐蚀并保持这种氢钝化态直至开始生长过程。随着生长温度升高一直到超过 750℃，氢将逐渐脱附，出现一个稳态下无氢吸附或很少有氢吸附的表面。在 UHV-CVD 中 Si 的外延生长可在两个完全不同的生长温区进行。在低温区，以 SiH_4 在 450℃$\leqslant T_{生长}\leqslant$650℃区间进行外延生长或在高温区的 $T_{生长}\geqslant$750℃下外延。这种双稳态生长温区的出现直接与含氢表面及生长过程中保留

无氧表面的需要有关。在低温下，将图 3-20 中的数据外推，则显示出反应器中的 H_2O 分压必须低于 10^{-14}Torr 时才能保持清洁表面。送入的气体不可能提纯到产生这一氛围的所需纯度。

UHV-CVD 系统的两个因素有助于防止表面氧化物生成并保持一个低含 H_2O 量的生长环境。在 Si 生长过程中，UHV-CVD 反应器的内表面逐渐为 Si 所覆盖。内表面的多晶硅涂敷层为反应提供了一个大的活性表面，并可在气流中含有的氧化物抵达硅片表面之前将其除去。反应器内气流中的杂质脱除被称之为原位吸杂。第二个妨碍在硅表面上生成氧化物的因素是氢钝化。正如氢在反应器外界环境中防止了表面氧化一样，硅片上的氢也可在生长环境中防止硅表面氧化，因为生长表面上缺少活性吸附点位而妨碍了其氧化。高温促使氢从生长前沿排除，而在低温下，生长薄膜的表面从生长反应产生的氢中获得补给。在这种表面上，反应必定从 SiH_4 分解开始，然后才是从表面逐渐排除氢，

· p.155 ·

$$SiH_4(气)+2Si_{表面}\rightarrow SiH(吸附)+SiH_3(吸附)+Si(固) \tag{12}$$

$$SiH_3(吸附)+Si_{表面}\rightarrow SiH_2(吸附)+SiH(吸附) \tag{13}$$

$$2SiH_2(吸附)\rightarrow SiH(吸附)+H_2(气) \tag{14}$$

$$2SiH(吸附)\rightarrow Si(固)+H_2(气) \tag{15}$$

式中，$Si_{表面}$是一个 Si 的表面点位，括弧中的“吸附”表示该物是一吸附物。这里是一个假设的机理，反应的主要含义是：氢可向表面提供补给，从而保证了有足够的 SiH_4 过剩压力。事实上，随着硅片在反应器中的温度升高，在硅片上方的 SiH_4 过剩压力总可维持。SiH_4 的过剩压力保证了在氢脱附而腾出表面点位时，即可有 SiH_4 分子吸附于表面上。

在 UHV-CVD 工艺中，硅外延生长的速度限制阶段是氢从表面的脱附，以便于随后的 SiH_4 源吸附和分解。由于在这个生长工艺中不存在传质限制，因而总的反应流程相当简单；依据 H_2 自生长表面的脱附速度，决定着多余 SiH_4 的吸附速度和随后的氢从附着于生长表面的 SiH_x 中的排出速度。SiH_4 在某一适当 Si 表面点位分解之后，通过沉积的 Si 原子沿表面的横向扩散而完成了整个外延过程。

半导体合金 Si_xGe_{1-x}的生长采用将 SiH_4 和 GeH_4 同时送入反应器的方法。由于多余 Ge 也参加到氢的脱附过程中去，因而合金体系的生长较为复杂。Ge-H 键比 Si-H 键弱(20 对 38kcal/mol)。当生长 Si_xGe_{1-x}时，由于生长表面上存在 Ge，因而使氢自表面的脱附速度加快。附着于 Ge 表面的氢较易脱附，这使新的吸附点位增加了。SiH_4 和 GeH_4 为这些新的表面吸附点位发生了竞争。在吸附和分解方面 GeH_4 更加有效，因而使薄膜中的 Ge/Si 比值大于气相中的比值，见图 3-23(Meyerson 等，

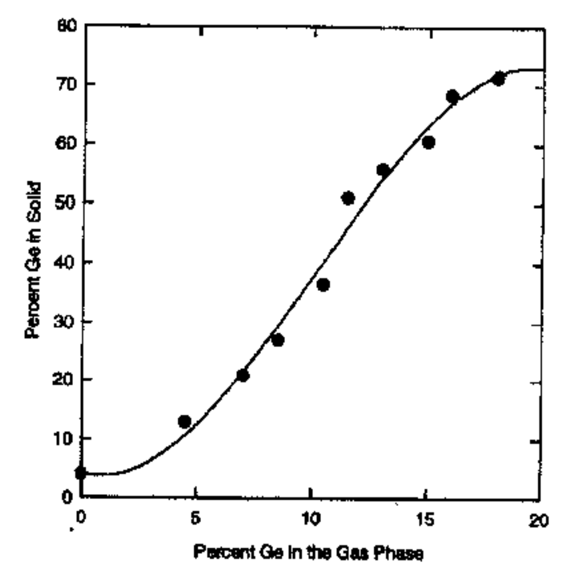


图 3-23 GeH_4 在吸附和分解方面比 SiH_4 更为有效，结果使薄膜中的 Ge/Si 比值大于气相中的比值

1988)。氢自 Ge 点位上的迅速脱附造成了生长速度与固相中 Ge 组分的关系是非线性的，见图 3-24(Meyerson 等，1988)。如果两个源在生长前沿的吸附能力是相等的，则应出现一个恒定的生长速度。表面化学动力学的改变使 Si_xGe_{1-x} 合金体系比硅有一个更高的生长速度，而且由于这一表面化学特点面使生长行为更加复杂。

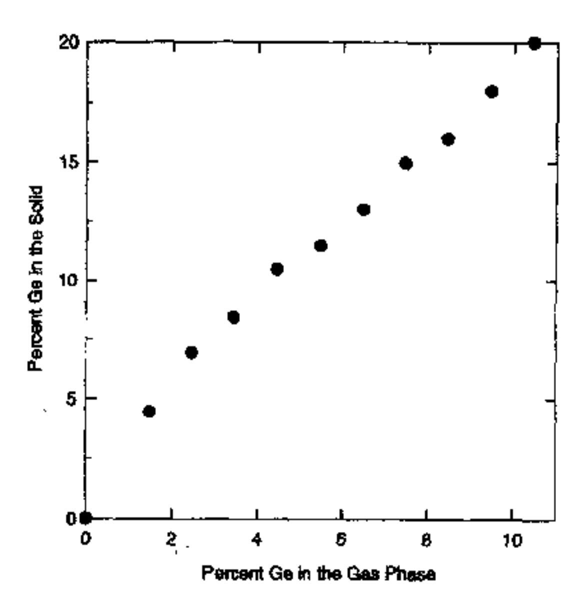


图 3-24 氢从 Ge 点位上的迅速脱附还造成了与固体中 Ge 组分的关系有一个非线性生长速度

3.6.1.3 异质结生成

• p. 156 •

利用 Si 外延不仅限于生长具有可控电学性质的外延层，如 pn 结生长。在 Si 上的合金半导体 Si_xGe_{1-x} 的生长使开发一些先进器件成为可能。这些器件利用了生长时改变组分的办法获得了跨越异质外延界面有一个可控组分的变化。往往要求有很陡的组分变化，在几纳米内的组分突变可有效地用于改变器件的电子结构。界面的陡度与生长薄膜时的气相环境的组分变化有直接关系。在 UHV-CVD 生长系统中，气体在反应器中驻留时间非常短。驻留时间可定义为反应器体积与进入反应器的气体体积流速之比值。在多数生长条件下，UHV-CVD 系统的驻留时间小于 $\frac{1}{10}$s。在这些系统中，生长速度非常小，通常只有每分钟几纳米。驻留时间短保证了生长环境可在不到一个单原子层的生长时间内发生变化。最终形成的结非常之陡，只有晶体内一个单原子层大小。当然，由于热互扩散，最终的结构还会有所变化。

在 APCVD 系统中，气体驻留时间就不像在 UHV-CVD 中那么短。因为 APCVD 系统的体积一般较大而体积流量较小之故。另一复杂因素是反应器内气相中的再循环。在反应器中，如果气体对热对流敏感的话，则反应器中形成的对流滚动对未作用的反应物和反应副产物将起到一个蓄积器的作用。在简单的驻留时间计算表明可获得突变结时，流体力学效应则造成组分梯度变缓，从面使异质界面变差。

• p. 157 •

3.6.1.4 杂质并入

为了使组成器件的外延层有确定的电学特性，必须在生长中的外延层中可控地掺进杂质。在外延 CVD 生长过程中，掺杂要求有适当的气相源。通常，Si-CVD 使用氢化物作掺杂剂。最常用的硅掺杂源有 AsH_3，PH_3 和 B_2H_6。这是一些很方便的 Si 掺杂源，因为它们在室温下都是气体而且也易于使用。这些气体像 SiH_4 和 GeH_4 一样都是有毒的，有时还易燃。掺杂要求可控地将杂质送入反应器。杂质并入率取决于掺杂源的性质、生长温度和生长表面。掺杂源以高度稀释状态送入反应器，例如 PH_3/SiH_4 比值非常小。掺杂剂的固相浓度应当很低，一般在 10^{15}—$10^{20}cm^{-3}$之间。

少量杂质的掺入还可能通过表面相互作用而影响生长反应。在以 SiH_4 生长 Si 时，掺

入 PH_3 或 AsH_3 可使薄膜生长速度明显下降(Farrow,1974)。这些氢化物强烈地吸附于 Si 表面,而其后的分解则慢于 SiH_4。杂质的强烈吸附再加上分解速度小,使 PH_3 在 Si 表面上聚集。许多表面点位不再供 SiH_4 吸附,因而生长速度明显下降。Ⅲ族氢化物 B_2H_6 可产生一个完全不同的反应。硼是最常用的 Si 和 Ge 的受主杂质。与 AsH_3 和 PH_3 相反,B_2H_6 掺入气相可加快以 SiH_4 生长 Si 的速度。这一效应还不能很好解释。在生长前沿附近存在 p 型层可能促进了 H 自表面的脱附,从而为 SiH_4 开辟了新的吸收点位。如上所述,在多数情况下,氢自生长前沿的脱附是 Si 生长的速度限制阶段。由于杂质的掺入使生长前沿的化学行为发生变化,尽管掺入量不大,也会使整个生长化学过程改变。

在 CVD 系统中最终的杂质分布同样受到已谈过的驻留时间的影响,同时还因掺杂而使化学过程变得更为复杂。生长多层结构时生成的杂质剖面分布将受到随后的任何热处理的影响,因为后者可引起杂质的固相扩散。

3.6.2 GaAs MBE

GaAs 属于用 MBE 生长的最有代表性的材料之一。虽然 GaAs 的 MBE 生长有多种方式,最常用的 MBE 技术还是使用 Ga 和 As 的元素源。这些元素在喷射池中保持在能提供生长所需流量的温度。为产生通向表面的适当流量,Ga 池温度大约为 1000℃。As 的蒸气压较高,所以 As 池温度约为 300—400℃。典型的衬底生长温度为 600—700℃。在这些条件下,生长 GaAs 的模型可利用下述简化假设:(1) Ⅲ族元素(Ga)的粘附系数为 1;(2)为获得化学配比的 GaAs,须有足量的 Ⅴ 族组元(As)并入;(3)GaAs 生长几乎总是在富 As 条件下进行,而且生长速度受 Ⅲ 族 Ga 入射流量的控制。

· p. 158 ·

GaAs(及多数化合物半导体)的两个组元并不同等地蒸发。对于 GaAs,这意味着在 650℃以上时,As 优先从晶体中以 As_2 形式蒸发。在更高的温度下,Ga 才开始蒸发。这些温度恰恰位于典型的生长温度范围内,因而衬底必须在"过量砷压"下升温或降温,以防止发生分解。"过剩压力"由通向生长前沿的 As 物流提供,通常为 As_4 或 As_2。固体元素 As 是最常用的砷前体,因而主要的升华物应为 As_4。在某些系统中,在约 900℃时 As_4 进一步裂解成 As_2。当 As_4 是主要挥发物时,一般认为生长模型如下:两个化学吸附的 As_4 分子分别与 Ga 发生反应并生成 GaAs 和 As_4,继之以 As_4 脱附。一个简化的总反应可写成:

$$4Ga + 2As_4 \rightleftharpoons 4GaAs + As_4 \tag{16}$$

当 As 流量超过 Ga 流量时,多数相邻点位被 As_4 占据的机率较大。这时生长速度将受通向表面并与吸附的 As_4 发生反应的 Ga 流量限制。但当 As 流量与 Ga 流量相差无几时,则速度限制阶段取决于两个 As_4 分子(与 Ga)[1)]相遇并发生反应的机率。以 Ga 和 As_2 生成 GaAs 的模型要简单一些。As_2 与表面上吸附的 Ga 反应生成 GaAs。一般认为 As_2 的粘附系数接近于 1,而 As_4 的最大粘附系数只有 0.5。这意味着在化合物半导体生长时,As_2 应是较好、较有效的 As 源。*

在 MBE 中,AsH_3 是一个不太常用的 As 源,使用 AsH_3 有若干引人之处。AsH_3 是气体,它是从系统之外的钢瓶送入的,无需为补充 As 源而打开系统,而在向喷射池补充元

---

1) 译文与原文稍有不同,括弧中文字系译者添加。——译者注

素 As 时，打开系统是不可避免的。AsH_3 的另一个优点是通过质量流量控制器可以精确地调节流量，后者比热喷射池的响应时间短得多。最后，AsH_3 可以利用高温裂解器分解，因而可以对入射 As 物进行选择。AsH_3 的缺点是增加了真空系统的复杂性，而且由于它的毒性和易燃性必须配备一大套安全装置。

用作生长源的金属 Ga 通常以喷射炉蒸发。这些喷射源均有其复杂性。Ga 滴或含 Ga 氧化物杂质可从池中喷向衬底。这种效应被称为"Ga 迸溅"。在生长层中出现的小坑或小丘类缺陷被认为与 Ga 消或沉积的氧化物有关。通过认真地准备 Ga 炉以排除一切杂质和改进喷射炉，使其喷口温度较高，以防止 Ga 在炉末端冷凝，可以降低这些缺陷的密度。

· p. 159 ·

GaAs 生长一般使用 GaAs 衬底。衬底通常在炉外用一些溶剂和酸清洗。近来出现了所谓的"直接外延用"衬底，可省去炉外清洗步骤。在送入系统并在缓冲室除气后，在生长前衬底要加热以使原有的氧化物脱附。这一工序在 As 气流中进行，脱附温度≈600℃。利用 RHEED 装置检验氧化物的脱附程度。

以前谈过，GaAs 总是在富 As 环境中生长。由于 Ga 的粘附系数接近 1，如果在富 Ga 环境中生长则形貌变差，而且还会发生非外延生长。在(001)面上，GaAs 是由 Ga 面和 As 面交替组成的。因 As 或 Ga 流量不同，可获得稳定的 As 表面或 Ga 表面。但很难保持稳定的 Ga 表面而不使形貌变坏。表面重构过程用 RHEED 监测。稳定的 As 表面具有 $c(2\times8)$结构，而稳定的 Ga 表面则具有有心 $c(8\times2)$结构。标准的预生长处理包括衬底在 As 气流中升温、氧化物脱除及获取稳定的 As 表面。

生长时的表面重构取决于 As/Ga 或 Ⅴ/Ⅲ 比值。这是一个不仅影响结构而且还影响生长层电学和光学特性的非常重要的参数。典型的生长过程是以 As/Ga 比约为 1～2 进行的，即正好获得稳定 As 表面的比值。虽然 As 和 Ga 的流量可以根据当量束压(BEPs)估计，但通常还是靠 RHEED 图像和生长薄膜的性质来决定适当的生长条件。

高 As/Ga 比使深能级密度(Stall 等，1980)和电子陷阱密度增加(Neave 等，1980)。在低温生长时，这一相关性特别突出。GaAs 的典型生长温度在 600—650℃之间。虽然可在更低的温度下进行外延生长，但低于 600℃左右时电学和光学活性缺陷密度剧烈增大。

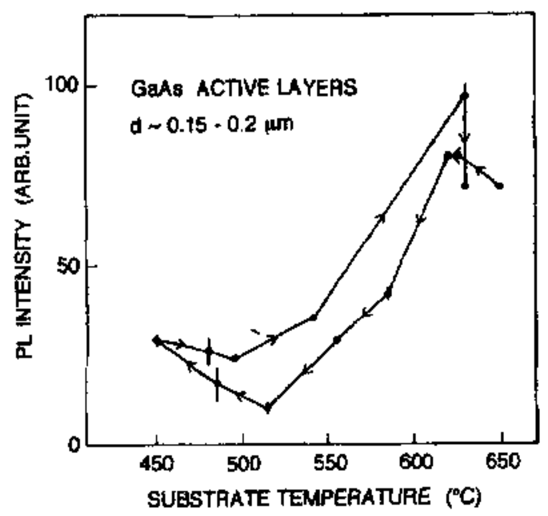


图 3-25　双异质结或 DH 激光器中 GaAs 有源层的光致发光强度随生长温度显著增大。箭头指出的是样品生长的顺序

生长温度还取决于所要生长的器件属何种类型。电学器件通常比光学器件的生长温度低。生长温度较低则来自热的系统零件的污染较小。光学器件通常在较高温度下生长，其主要原因是发光效率随着生长温度提高而明显增高。图 3-25(Cho，1985a)给出的是双异质结(DH)激光器的 GaAs 有源层 PL 强度与生长温度的关系曲线。很明显，在较高生长温度下辐射效率显著增大。高生长温度使氧进入外延层减少而后者起深能级

和非辐射复合中心作用。

• p. 160 •

发光效率随温度增大这一规律对 $Al_xGa_{1-x}As$ 更加明显，其生长温度一般在 700℃以上。但是，高温生长因 Ga 自 $Al_xGa_{1-x}As$ 的脱附而变得复杂。高温下，Ga 自生长表面蒸发，使外延层中的 AlAs 摩尔分数增大。这一效应在高温生长时应于考虑，并根据经验进行调整。

MBE 的主要优点是可在原位用 RHEED 测量生长速度。根据 As 稳定(2×4)图像的镜面反射 RHEED 斑点的强度波动即可测出生长速度。此斑点强度波动的周期与生长一个单原子层(Ga+As 层，≈0.283nm)的时间相当。波动计数始于 Ga 快门打开时刻，终于快门关闭时刻。根据波动周期计算结果即可求出生长速度。此方法亦可用于 AlAs 生长。

强度波动的原因据信与生长模式有关，该模式造成表面"平滑度"在一个单原子层尺度上的变化(Neave 等，1983)。图 3-26 给出了这一生长模式的图解(Cho，1985a)。生长开始时表面是平整的，并且电子束从表面强烈反射。其后沿表面的随机位置开始出现成核。当表面覆盖度 Θ 达 50%左右时，表面有最大的"粗糙度"，即在原有表面上有一半为单原子层所覆盖，而以随机方式生成。粗糙表面的反射率相对来说最低。随着生长进行，表面覆盖度增加，平整表面再次出现。如像开始时那样，反射率又处于相对最大值。如果生长是以这种方式进行，则反射率(变化)本应是无穷尽的。在多数情况下，波动振幅是衰减的，其原因是在下面一层尚未达到 100%覆盖度时，其上已开始了第二层的成核。

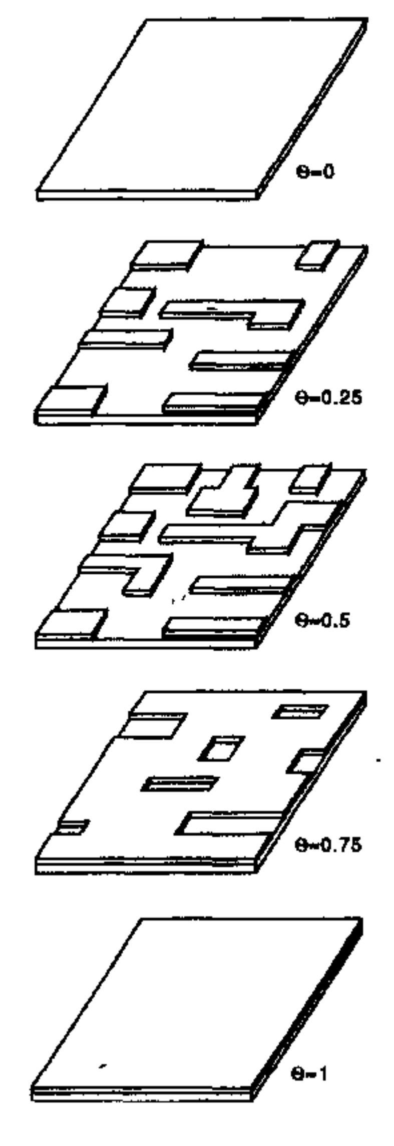


图 3-26 GaAs 生长显示的表面变化造成了 RHEED 的波动。$\Theta=0$ 代表最初的平整表面。Θ 的百分值代表一个单原子层的覆盖度程度

• p. 161 •

用 MBE 生长的非特意掺杂 GaAs 通常是 p 型的，载流子浓度在 $10^{14}cm^{-3}$范围内。根据 PL 和霍耳变温测量结果，主要的剩余受主被确认为是碳。尽管尚不完全肯定，仍可认为 MBE 系统中的碳主要来自残留的碳化氢[1]，如 CO 和 CO_2。在非特意掺杂的 GaAs 中的其它剩余杂质还有硅、锰(来自热的不锈钢)、硫(来自砷源)和氧(残留的 O_2 和 H_2O)。

为提高非掺杂 GaAs 的纯度做过很大努力。首先，生长室和源必须有最高纯度。生长室和所有元件必须彻底烘烤，尽可能地除去水分。源必须在高于其使用温度下脱气。液氮深冷挡板(示于图 3-18)可大大降低系统中的剩余分压，尤其是 H_2O。最后，为达到高纯，

---

1) 原文如此，应为碳化合物。——译者注

仅让必需的喷射池处于“热”态，其余的离子真空规和离子化源则必须关闭，以防任何残留的气体分解。现代 MBE 系统的设计均可满足这些要求。但是，通过细致的、巨大的努力才获得最高迁移率——$GaAs/Al_xGa_{1-x}As$ 中最高的 2DEG（二维电子气）迁移率的获取使用了高抽气速度的深冷泵的特殊系统，并在生长前进行了 8 周预烘烤（Pfeiffer 等，1989）。

许多元素曾用于 MBE GaAs 的掺杂。施主杂质有硅、锡、锗和碳。受主杂质有铍、镁、锰、碳、锌和镉。图 3-27（Cho，1985b）给出了一些施主、受主在 GaAs 中的掺杂浓度与喷射池温度间的函数关系。该图表明，在 GaAs 中无论施主还是受主，均可在很宽的载流子浓度范围内实现掺杂。

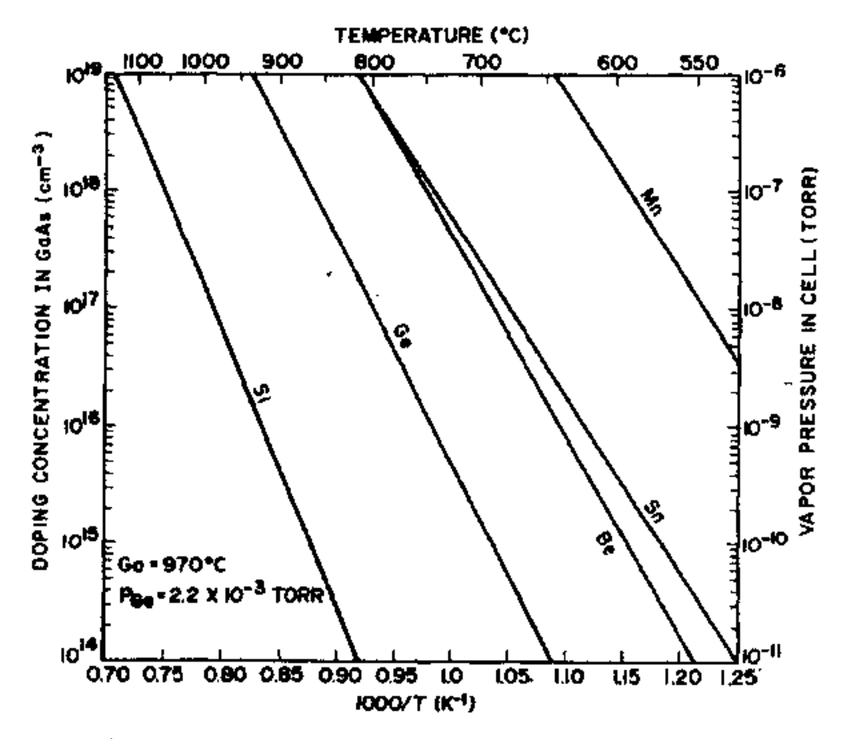


图 3-27 GaAs 中一些施主和受主元素的掺杂浓度与喷射池温度有明显的函数关系，因为元素蒸气压与温度是一个指数函数（假定在生长表面的粘附系数为 1）

硅通常用作 n 型掺杂剂，因为它的特性良好，而且离化能低（位于导带下≈5.8meV）。硅掺入量随生长速度加大而变小，但对生长温度不太敏感。用硅掺杂的最大载流子浓度约为 $10^{19}cm^{-3}$。

锡的离化能与硅接近，而且最高载流子浓度也与硅类似，但是它对生长温度相当敏感，而且有在生长表而富集的倾向。但是锡很少同等地占据 Ga 位和 As 位（两性元素特点），在掺锡 GaAs 的发光谱中未观察到与 SnAs 相关的复合峰。由于这一原因，锡经常用作激光器的首选掺杂剂。

锗不太常用，但由于它表现出很强的两性特性而受到关注（Kunzel 等，1980；Heckingbottom 和 Davies，1980）。由于 As/Ga 比或衬底温度不同，Ge 可能表现为受主或是施主。仅靠从 As 稳定生长变至 Ga 稳定生长条件，用 Ge 就可制成 pn 结（Cho 和 Hayashi，1971）。

铍是最常用的 p 型掺杂剂。Be 是较浅的受主(E_v 上≈19meV)并且掺入特性良好，而且可获得很高的载流子浓度($10^{20}cm^{-3}$)。Be 的最大缺点是它的毒性和致癌作用，而且铍与含氧物非常易于化合，与其它元素相比，铍的纯度较低。

镁仅在 500℃以下才能有效地掺入。由于它不像 Be 那么有毒，因而可用于低温生长。Zn 和 Cd 的蒸气压太高，因而不常用于 MBE 掺杂。锰是一个较深的受主(E_v 以上≈90meV)，而且生长过程中行为复杂，如表面富集、强烈依赖于生长条件，因而几乎无法使用。

3.6.3 AlGaAs 的 LPE 生长

LPE 的实际应用可通过生成特定的材料体系予以阐述。LPE 常用于各种 $Al_xGa_{1-x}As$ 系的 LED 和激光器生长。本节中将讨论用 LPE 生长 AlGaAs 及掺杂问题。以前谈过，LPE 生长的出发点是相图。图 3-28 给出了三元化合物 $Al_xGa_{1-x}As$ 的相图(Cassey 和 Panish，1978)。该图主要突出了液相线和固相线，对靠近 As 端的细节，图中未表示出。涂有阴影的部分代表可与固相处于平衡的三元液相组分，斜线部分代表固相组分。二元固相 GaAs 和 AlAs 标于 Ga，As 和 Al，As 组成的三角形各边的中点。图 3-29 给出了平行于温度轴切开的图剖面，有时称之为赝二元剖面图(Stringfellow，1982)。利用该图可以确定在某一特定温度下与某一给定组分熔体处于平衡的固相组分。从该图还可以看出，固相中的组分明显高于液相中的组分。这一点在图 3-30 和图 3-31 中可看得更清楚(Casey 和 Panish，1978)。图 3-30 给出了 Al-Ga-As 系的液相等温线，而图 3-31 则给出了固相中的固相线组分与液相线组分的函数关系。这些图清楚地表明，固相中的 AlAs 摩尔分数远大于 Al 在液相中的百分数，而且该比值随生长温度降低而增大。

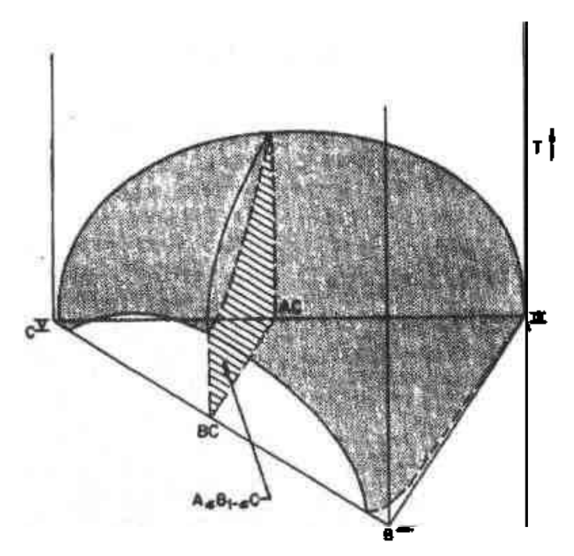


图 3-28　用于 AlGaAs LPE 生长的 $Al_xGa_{1-x}As$ 液相线和固相线相图

图 3-29　图 3-28 中相图的赝二元系剖面。图中表明了在某一温度下与液相熔体处于平衡的固相组分

· p. 163 ·

Al 摩尔分数在液相和固相间的巨大差异给控制组分带来困难。熔体中 Al 含量的微小误差给生长中的固相中的 AlAs 摩尔分数造成巨大影响。此外，熔体中的小量 Al 会迅速耗尽，这进一步使外延层中形成组分梯度。最后，从含 Al 熔体中向不含 Al

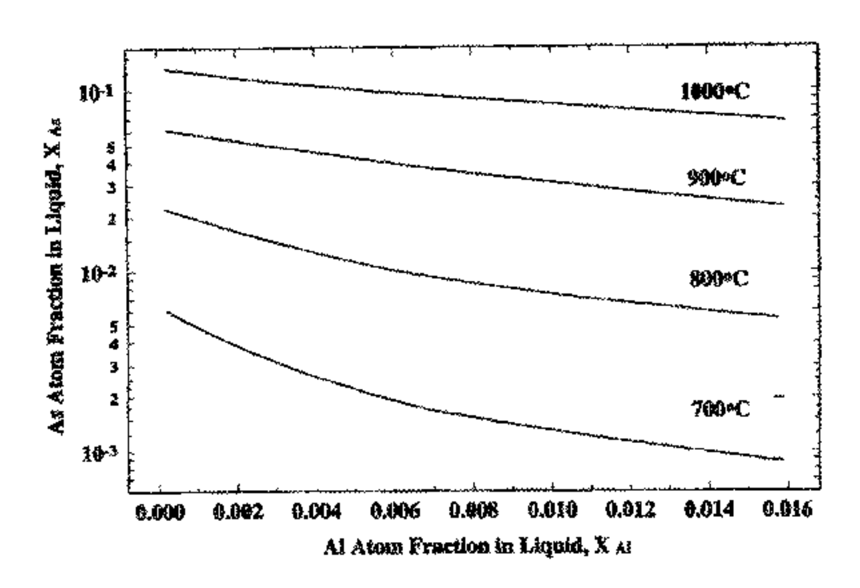


图 3-30 Al-Ga-As 系的液相等温线与温度的函数关系

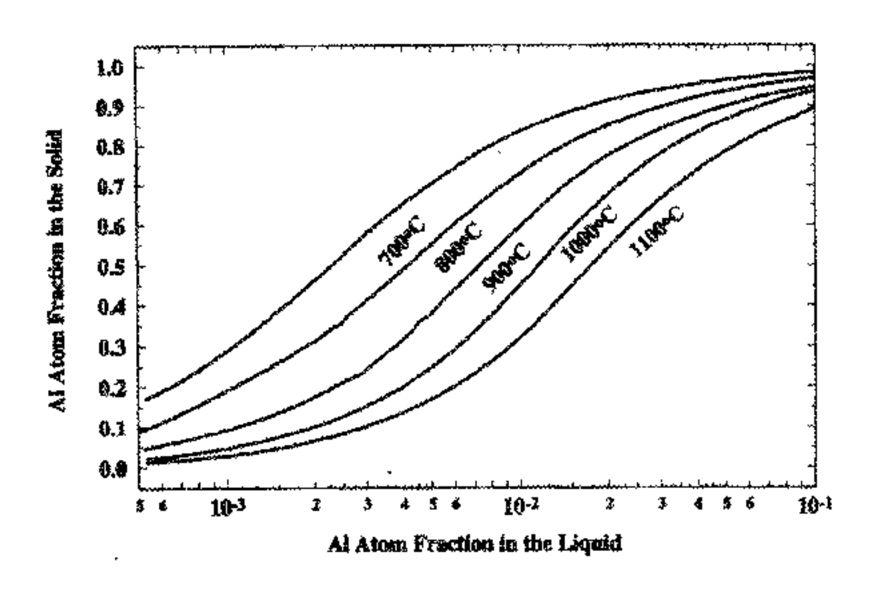


图 3-31 固相 $Al_xGa_{1-x}As$ 中的固相线组分与液相线组分的函数关系

熔体中带入的任何溶液将造成明显的、非特意的 Al 掺杂。

如上所述，相图是决定生长参数的出发点。作为示例，我们试求生长温度为 900℃时生长 $Al_{0.25}Ga_{0.75}As$ 的熔体组分。必须指出，固相组分和生长温度都是在求熔体组分时根据相图理论要求的。用图 3-31 求出 Al 在熔体中的原子分数 X_{Al}为 3×10^{-3}。图 3-30 表明，As 在液相中的原子分数 X_{As}为 5×10^{-2}时，$X_{Ga}=1-X_{As}-X_{Al}=9.47\times10^{-1}$。利用下面公式可以将熔体组分中的原子百分数换算成重量：

$$X_i=\frac{N_i}{\sum_{j=1}^{3}N_j} \tag{3-36}$$

或

$$X_i = \frac{W_i/M_i}{W_1/M_1 + W_2/M_2 + W_3/M_3} \tag{3-37}$$

· p. 164 ·

式中，W_i 和 M_i 分别为各有关组元的重量和原子量，摩尔数为 $N_i = W_i/M_i$。Ga 组元为熔体中的主体成分，因而决定着系统的产率。在实例中我们取 10g Ga，即 $N_{Ga} = 0.143$。其它组分的相应摩尔数可用下式求出：

$$N_{Al} = \frac{X_{Al}}{X_{Ga}} N_{Ga} \tag{3-38}$$

和

$$N_{As} = \frac{X_{As}}{X_{Ga}} N_{Ga} \tag{3-39}$$

· p. 165 ·

根据这些公式可以得出 $N_{As} = 7.57 \times 10^{-3}$，$N_{Al} = 4.54 \times 10^{-4}$。利用分子量可以求出 As 和 Al 的重量

$$W_{As} = M_{As} N_{As} = 74.9 \times 7.57 \times 10^{-3} = 5.67 \times 10^{-1} \text{g} \tag{3-40}$$

$$W_{Al} = M_{Al} N_{Al} = 27.0 \times 4.54 \times 10^{-4} = 1.23 \times 10^{-2} \text{g} \tag{3-41}$$

$$W_{Ga} = 10 \text{g}$$

利用这一方法可以求出制备某一固相组分的 $Al_xGa_{1-x}As$ 所需的熔体组分。必须指出，随着 Al 在固相中的摩尔分数 X 增大，As 在熔体中的摩尔分数要减小。由于生长速度受到 As 向衬底的扩散限制，对某一过饱和度，随 Al 在固相中的摩尔分数 X 增大生长速度将下降。当 X 值从 0 增至 0.8 时，生长速度将降至原有的 1/5，这一效应变得相当明显(Wu 和 Su，1989)。

生长准备始于将 Ga 装至舟中；然后系统抽空除气；而后 Ga 熔体脱气以降低其杂质浓度。在等于或超过生长温度的温度下，在纯 H_2 中脱气 10—20h。除气以后，加入 Al 和 As。如果使用两相法，则 GaAs 以衬底形式加入到熔体中。只要在 GaAs 中的 As 超过 5.67×10^{-1}g(对上述给出的生长实例而言)，则溶液自动达成平衡。添加这些元素时可以打开系统，也可以用专门设计的反应器在原位加入，以防止系统与空气和水汽接触。熔体然后升温至略高于生长温度并恒温数小时以便熔体进入平衡状态。然后可以采用“平衡法”或分段降温法进行生长。典型的(Al，Ga)As 的生长温度在 800℃左右，而典型的降温速度为每分钟十分之几到 1K。

生长 AlGaAs 比生长 GaAs 复杂，因为如果有氧存在的话，Al 将氧化并生成 Al_2O_3。这将生成稳定的薄壳，并飘浮于熔体表面。但是一些 Al_2O_3 将停留在衬底-熔体的界面处，此界面随着生长进行将在生长层中造成缺陷。可通过除去一切氧的来源的办法降低 Al_2O_3 生成的可能性。认真而仔细地准备、源材料脱气、用高纯氢作载气和 Al 原位装入 Ga 熔体等措施都是为了生产高质量的(Al，Ga)As。已有经专门设计的舟，可在生长前将熔体上飘浮的氧化物从熔体上分离出去(Lu 等，1992)。

LPE 生长的、非特意掺杂的(Al，Ga)As 为 n 型。n 型杂质可以是硫或硅。对于 $0 < x < 0.35$，$Al_xGa_{1-x}As$ 的典型载流子浓度为小系数的 $10^{16} cm^{-3}$(Wu 和 Su，1989)。还有一些与 $Al_xGa_{1-x}As$ 异质外延生长有关的其它复杂因素。因为一般 $Al_xGa_{1-x}As$ 外延层并不是在与

其组分相同的 $Al_xGa_{1-x}As$ 上生长的，因而对不同组分生长的影响进行研究是必要的。据观察，在生长 $GaAs/Al_xGa_{1-x}As$ 量子阱时，在下面的 $Al_xGa_{1-x}As$ 势垒层及 GaAs 阱层之间的界面可以做得很陡，但是在 GaAs 阱层及其上面的 $Al_xGa_{1-x}As$ 势垒层之间的界面的陡度则差得多(Chen 等，1989)。其原因为 $Al_xGa_{1-x}As$ 的化学势比 GaAs 的低，换句话说，是由于有效饱和度不足以及出现 Ga 的回熔腐蚀。因而当 Al-Ga-As 熔体与 GaAs 阱进行接触时，开始发生的是腐蚀而不是生长。在最坏情况下，GaAs 阱可能局部被完全腐蚀掉。为减小这一影响，可用另一个拥有更高过饱和度的熔体。较高的过饱和度可有效地防止回熔，因为它有一个较高的沉积驱动力，结果就改进了 GaAs 与 $Al_xGa_{1-x}As$ 结处的界面。

• p. 166 •

LPE 中的最后一个问题是特意掺杂问题。在 LPE 生长的 $Al_xGa_{1-x}As$ 中，一系列元素被研究用作施主和受主杂质。Ⅱ族元素，如 Zn 和 Cd 是受主，而 S，Se 和 Te 则是施主。Ⅳ族元素 Si，Ge 和 Sn 是两性的。这些元素可以进入Ⅲ族或Ⅴ族的子晶格，相应地起施主或受主作用。究竟这些元素进入何种格点取决于生长条件，如生长温度、液相线组分或固相化学配比等。

3.6.4 InP 金属有机气相外延(MOVPE)

Ⅲ-Ⅴ族半导体生长是 MOVPE 工艺最广泛的应用领域。MOVPE 生长工艺对这些材料体系生长有许多共同特点。作为此工艺的实例，本节将研究 InP 的生长。在 GaAs，$Al_xGa_{1-x}As$和其它工艺上重要材料的生长中将参照 InP 生长对生长温度、反应器化学及反应器压力等影响因素进行讨论。本节将介绍 InP 生长中的化学问题以及一些与生长有关的掺杂和其它问题。

在过去 10 年间，InP 和有关化合物的生长已从研究阶段进入生产阶段，这主要是受 1.3—1.55μm 波段光纤通信用的光发射器件的推动。InP 和有关的 InGaAsP 合金拥有直接带隙，因而发光效率高。晶格匹配的三元、四元合金的存在以及用 InP 制备出高质量再生长薄膜的能力使非常多的激光器结构，包括埋层异质结结构和脊形波导等得以实现。电子器件方面的应用则有异质结双极晶体管和调制掺杂 FET 等。所有这些器件均使用 InP 衬底并配以三元、四元(In，Ga，Al)(As，P)外延层以形成异质结结构。工艺上两个重要的晶格匹配三元化合物是带隙为0.75eV的$In_{0.53}Ga_{0.47}As$和带隙为1.46eV的$In_{0.52}Al_{0.48}As$。利用 InGaAsP，InGaAlP 等的四元化合物，可以在很宽的带隙范围内获得晶格匹配的外延层。InGaAlP 合金在不久前已被用于生产极高效率的黄橙色光发射器件。

• p. 167 •

三甲基铟(TMI)和三乙基铟(TEI)是主要的 In 前体，而磷烷(PH_3)则是主要的磷源。TEI 和 TMI 均储于鼓泡瓶中，但是 TEI 是液体而 TMI 则是固体。TMI 的蒸气压大约是 TEI 的 10 倍。很多 InP 的早期 MOVPE 研究使用 TEI。用 TEI 和 PH_3 生长 InP 似乎比用 TMI 生长的重复性要好些。从装有液体的鼓泡瓶输出反应物总比从固体输出反应物重复性要好得多，稳定得多。用 TEI 生长 InP 的一个问题是它与 PH_3 在室温发生反应并生成不挥发的加合物，使输入气流中的反应物损耗，从而造成生长的不均匀性。虽然降低反应器压力可抑制加合物生成，可通常还是选用 TMI 代替 TEI 生长含铟和磷的化合物。TMI 的优点是蒸气压较高，这可减轻进气管道中的冷凝问题。不久前，开发出叔丁基膦(TBP)

作为另一种磷源。TBP 的危险性比 PH_3 小，因为它是一个蒸气压低得多的液体，而 PH_3 则是压缩气体。

TMI 在 300—400℃间分解。分解温度多少受环境影响。在 H_2 和 D_2 中，热解反应是一个均匀的气相反应。TMI 在 D_2 中的分解生成为 CH_3D 和 C_2H_6(Buchan 等，1988)。发现载气参与了分解反应，如从 CH_3 和 H_2 生成 CH_4。但是 TMI 的分解反应受到 PH_3 存在的影响。TEI 不像 TMI 研究得那么充分。TEI 的主要特点是它的气相热解温度低于 TMI。

磷烷的分解温度比 TMI 高得多。图 3-32(Buchan 等，1987)中的(a)曲线表明在 D_2 中在 520℃下约有 50%的 PH_3 自动分解。但是分解反应受到 InP 表面的强烈催化作用，这可从曲线(b)—(d)中随气氛中的 TMI 量增大的表现中看出。从图中可看出若干有趣特点。PH_3 的热解温度随 TMI 的加入而剧烈下降。另外，仅从对 TMI 的对比中也可发现 TMI 的热解温度下降了约 50℃。最后，TMI+PH_3 反应曲线的形状表明，在较低温度下 PH_3 已部分分解，面另一部分则在较高温度下分解，这说明 PH_3 可在很低的温度下与 TMI 发生反应。

• p. 168 •

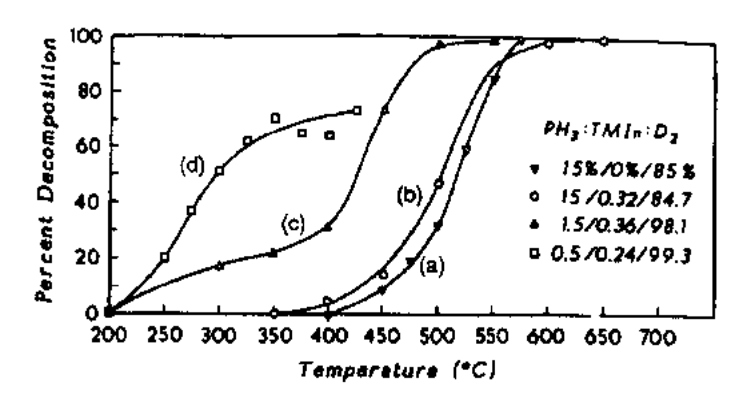


图 3-32　PH_3 热解随 TMI 浓度增加时与 PH_3 温度的函数关系。PH_3:TMI 的比值为 47，4 和 2

仅单独对照 TMI 的分解，当在 D_2 气氛中时，TMI 与 PH_3 仅生成 CH_4 而不生成 CH_3D。因此，对 TMI/PH_3 混合物和仅对单独一个前体，气相分解机理是不同的。对混合物分解所设想的模型为 TMI 和 PH_3 反应生成气相络合物或加合物，后者再通过排除 CH_4 而进行分解。仅仅产生 CH_4 这个反应无需乎载气 $D_2(H_2)$的参与。甲烷的排出过程可能产生于气相，也可能发生于衬底表面，这是从纯气相分解研究中得出的结论。

TBP 已用于替代 PH_3 作源，需要一个替代源的原因有二。其一，PH_3 的分解温度过高；其二，PH_3 有毒和较高的易燃性。PH_3 是一个储于高压钢瓶中的气体，其阈限值(TLV)为 300ppb。PH_3 的高压储存更增加了其潜在的危险性。TBP 以液体状供应，25℃时的蒸气压为 266Torr。TBP 的蒸气压低很多，因此尽管 TBP 的 TLV 与 PH_3 的接近，它在储存与使用时的危险性却小得多。TBP 在提纯工艺上的进展使其生长的 InP 的纯度堪与使用 PH_3 生长者相匹敌。

InP 通常在(001)InP 衬底上生长，衬底在切片时向〈011〉方向偏离一个 3°～5°的角。InP 晶片在化学和结构特性方面与 GaAs 近似，与硅相比显得比较脆。使用偏离晶向的衬底是它比准确定向的晶片可获得更好的形貌。对 InP 衬底一般采用化学腐蚀抛光进行清

洁处理。腐蚀的目的是为了除去机械抛光时产生的一个薄损伤层。腐蚀液一般由去离子水、硫酸和双氧水组成。用去离子水冲洗，并在纯 N_2 中干燥后，将衬底装入反应器。

和 GaAs 的情况相同，V 族元素 P 比 Ⅲ 族元素 In 有较高的蒸气压，因而 InP 衬底也必须在过量 P 压下升温，以防外延生长前衬底表面发生分解。在 MOVPE 生长时，PH_3 在 >350℃的温度下加入到 H_2 载气中。这个阶段还有一个目的就是令清洁处理时产生的氧化物脱附。如果要在 InP 衬底上生长一个含砷层，则必须首先生长一个 InP 缓冲层。也可以不用在 PH_3 中升温，而在 AsH_3 中加热 InP 衬底。这同样可以防止衬底分解，并通过生成 InAs 表面层使表面氧化物脱附。

用 TMI 和 PH_3 生长 InP 通常用 H_2 作载气。在 V 族元素 P 的过剩压力下进行生长，生长速度受 Ⅲ 族元素 In 的分压控制。实际上，InP 的生长速度与 H_2 通过 TMI 鼓泡瓶的流量成正比，由于反应器中 V 族源过量，因而 PH_3 的流量对生长速度没有影响。在大气压力下，在 550—700℃间，生长速度与生长温度无关。在低于～550℃时，生长速度变小，这是由前体分解速度下降所致。常压生长使用的 V／Ⅲ 比值不很大(30—50)；而低压生长时，为了获得良好形貌和材料特性，此值可高达数百。在高的 V／Ⅲ 比值下，非掺杂 InP 的光致发光响应(PL 强度和峰的 FWHM)也得以改善(Eguchi 等，1988)。

• p. 169 •

使用 TMI 的一个实际问题是从鼓泡瓶带出的 TMI 流量随时间的稳定性。随着 TMI 的消耗，它可能重新结晶(提醒一下，TMI 是固体)，因而其表面积是随时间变化的。在使用鼓泡瓶时，通过鼓泡瓶由单位体积载气带出的 TMI 流量随时间而减少。为了获得所需的组分和生长速度，就需要不断地对生长条件进行修正。有若干方法可减缓这一影响，包括反向使用鼓泡瓶，使 TMI 沉积于鼓泡瓶中的支撑件上以增大固体的暴露面积，还可以在较低压力下使用鼓泡瓶。

非掺杂的 InP 通常是 n 型的。曾进行大量研究以便用 MOVPE 生长高纯 InP。InP 中杂质主要来自 TMI。使用很高纯度的 TMI，得到的迁移率高达 264 000cm^2/(V • s)(Thrush 等，1987)。在这些高纯外延层中，主要杂质是 C，Si 和 S。在极高的纯度下，这些杂质不可能来自 In 或 P 的前体。此时，实际杂质浓度取决于特定的反应器及其结构材料。例如，Si 的非有意掺杂可能是由于高温石英部件的还原及 Si 的气相输运，最终进入生长层(Briggs 和 Butler，1987)。电子迁移率也是生长条件的函数。生长条件的依赖性与杂质的特定来源有关。采用较低的生长温度和较高的生长速度可获得最高的迁移率。这些条件可降低反应器元件的温升(这是杂质的一个源泉)，还可以降低其在生长固相中的浓度(大的生长速度)。由于生长温度低会造成 PH_3 的分解不充分，因而需要较大的 V／Ⅲ 比(>150)，以便得到较好的形貌。

高纯 InP 的光致发光(PL)响应中主要有两个峰，一个是激子发光，另一个是受主峰。随着生长温度提高，激子峰在光谱中占主导地位。受主峰与碳和锌有关，但是在高纯材料中最可能的是碳，碳的来源是金属有机 In 源 TMI。通常，生长温度越高，激子峰的 PL 效率也越高。例如，将生长温度从 600℃提至 650℃会使带边 PL 峰的 FWHM 变小，而且还会使碳的 PL 峰几乎全部消失(Chen 等，1986)。

在 MOVPE 中可进行有意掺杂。对 InP 研究过许多掺杂剂，用于 n 型、p 型以及半绝缘(SI)InP 生长。施主杂质包括硅、硫、硒、锡(Veuhoff 等，1992)和碲(Clawson 等，1987)；

而镉(Blaauw 等,1987)、镁和锌则是受主。铁和铬曾有报道用于生成 SI-InP。通常用硅或硫进行 n 型掺杂。Si 和 S 各具优点,必须结合最终器件要求进行评价。Si 的扩散系数小,因而可得到比较陡的掺杂界面。但是,用 S 掺杂时可得到较高的自由载流子浓度,而且在同等掺杂浓度下,掺 S 样品的迁移率较高。在生长调制掺杂异质结器件时,由于掺杂和组分界面的陡度更为重要,因面硅被用作施主掺杂剂。在需要高掺杂和高电导时(如激光器)则 S 被选用作施主掺杂剂。

· p. 170 ·

硅烷和二硅烷均可用作硅掺杂前体。硅烷在 InP 中的掺杂行为与在 GaAs 中的非常类似。掺入量与反应器中硅烷的摩尔分数、反应器压力和生长温度成正比,而与生长速度成反比。用 SiH_4 可以得到相当高的载流子浓度($\approx 2\times10^{19}cm^{-3}$),在高载流子浓度下,较低温度可得到最好的形貌(Clawson 和 Hanson,1994)。二硅烷在 InP 掺杂中的表现也与在 GaAs 中的近似。二硅烷比硅烷的优越之处是其裂解温度低,因而对生长温度不太敏感。以二硅烷进行硅掺杂的掺入量同样随 PH_3 摩尔分数增大而增加(Rose 等,1989)。

H_2S 是 S 掺杂的前体。使用 H_2S 时,自由载流子浓度与反应器中 H_2S 的摩尔分数呈指数函数关系。随反应器压力变小,硫的掺入量也下降(Moerman 等,1991),而且也与1/T 呈指数率变化。

InP 的 p 型掺杂规律较 n 型掺杂远为复杂。受主的扩散系数通常与浓度有关,而且掺杂剂的激活受到降温时反应器环境的影响。InP 最常用的 p 型掺杂剂是 Zn 和 Mg。Zn 掺杂用二乙基锌(DEZ)。在常压下,以 DEZ 掺 Zn 与用 H_2S 掺 S 有类似的生长规律。但是掺 Zn 过程的效率较低。与 H_2S 一样,Zn 掺入量随 H_2 流过 DEZ 鼓泡瓶的流量和 1/T 呈指数式增长。在低气压下,来自 DEZ 的 Zn 掺入量与进入反应器的 DEZ 摩尔分数成线性关系(Veuhoff 等,1991)。两个元素受温度的影响可用其蒸气压高做出解释。当部分吸附 Zn 进入生长着的晶体时,表面上吸附的部分 Zn 蒸发并扩散进入反应器环境。这一行为导致杂质掺入量对生长速度产生依赖性。在高温下,杂质掺入量随生长速度而增加。如果 Zn 的脱附受动力学限制,则较大的生长速度将把较多的掺杂剂带入生长层。和 H_2S 类似,Zn 的掺入量随反应器压力下降而减少。降低反应器压力使 Zn 自生长前沿的传质加快,结果造成 Zn 的掺入速度下降。研究了 Mg、Cd 和 Be(Cole 等,1991)用作 InP 的 p 型掺杂剂。在低反应器压力下,Mg 的掺入量与反应器中双甲基环戊烷二烯基镁的摩尔分数呈超线性关系,因而比 DEZ 较难控制。Zn 和 Mg 可达到的最高载流子浓度约为 $2\times10^{18}cm^{-3}$。

InP 受主掺杂中的一个有趣事实是:受主激活率与反应器降温过程中的气体环境有关。在降温时,受主杂质可能因氢的存在而变得不易激活。从物理角度看,受主仍然进入晶体,但由于氢的协同引入而成为非电活性的。在生长前沿能产生原子氢的环境中,降温时的这种失活效应尤为明显。氢造成失活效应是由于 V 族源的表面催化分解反应引起的。由于 AsH_3 比 PH_3 更易分解,因面这种失活效应以在 AsH_3 中降温最为强烈,其次为在 PH_3 中降温,而以在 H_2 中降温最弱。对 n 型 InP 未观察到这种效应。

· p. 171 ·

还用铁(Franke 等,1990)和铬(Harlow 等,1994)进行了半绝缘 InP 的 MOVPE 生长。通过掺入这些元素可获得电阻率达 $10^8\Omega\cdot cm$。Fe 和 Cr 本身均为深受主,可对 n 型材料进行补偿(Wolf 等,1993)。

3.7 致 谢

作者对 Madison 市 Wisconsin 大学材料科学与工程系的 Max Lagally 教授在撰写本章中给予的帮助致以谢意。他还为本章提供了扫描隧道显微镜照片,一并致谢。

3.8 参 考 文 献

Adamson, A. W. (1990), *Physical Chemistry of Surfaces*, 5th ed. New York: Wiley.

Amano, T., Kond, S., Nagai, H., Maruyama, S. (1993), *Jpn. J. Appl. Phys. 32*, 3692.

Blaauw, C., Emmerstorfer, B., Springthorpe, A. J. (1987), *J. Cryst. Growth 84*, 431.

Bollen, L. J. M. (1978), *Acta Electron. 21*, 185.

Borg, R. J., Dienes, G. J. (1990), *Introduction to Solid State Diffusion*. San Diego, CA: Academic Press.

Briggs, A. T. R., Butler, B. R. (1987), *J. Cryst. Growth 85*, 535.

Buchan, N. I., Larsen, C. A., Stringfellow, G. B. (1987), *Appl. Phys. Lett. 51*, 1024.

Buchan, N. I., Larsen, C. A., Stringfellow, G. B. (1988), *J. Cryst. Growth 92*, 591.

Casey, H. C., Jr., Panish, M. B. (1978), *Heterostructure Lasers, Part B*. New York: Academic Press.

Chen, C. H., Kitamura, M., Cohen, R. M., Stringfellow, G. B. (1986) *Appl. Phys. Lett. 49*, 963.

Chen, J. A., Lee, J. H., Lee, S. C., Lin, H. H. (1989), *J. Appl. Phys. 65*, 4006.

Cho, A. Y. (1985a), in: *The Technology and Physics of Molecular Beam Epitaxy:* Parker, E. H. (Ed.). New York: Plenum Press.

Cho, A. Y. (1985b), in: *The Technology and Physics of Molecular Beam Epitaxy:* Parker, E. H. (Ed.). New York: Plenum Press, p. 6.

Cho, A. Y., Hayashi, I. (1971), *J. Appl. Phys. 42*, 4422.

Clawson, A. R., Hanson, C. M. (1994), in: *Proc. 6th Int. Conf. on InP and Related Materials*, March 27–31, Santa Barbara, CA. Piscataway, NJ: IEEE, p. 114.

Clawson, A. R., Vu, T. T., Elder, D. I. (1987), *J. Cryst. Growth 83*, 211.

Cole, S., Davis, L., Duncan, W. J., Marsh, E. M., Moss, R. H., Rothwell, W. J. M., Skevington, P. J., Spiller, G. D. T. (1991), *J. Cryst. Growth 107*, 254.

Eguchi, K., Ohba, Y., Kushibe, M., Funamizu, M., Nakanishi, T. (1988), *J. Cryst. Growth 93*, 88.

Ettenberg, M., Olsen, G. H., Nuese, C. H. (1976), *Appl. Phys. Lett. 29*, 141.

Farrow, R. F. C. (1974), *J. Electrochem. Soc. 121*, 899.

Fitzgerald, E. A. (1991), *Mater. Sci. Rep. 7*, 87.

Franke, D., Harde, P., Wolfram, P., Grotet, N. (1990), *J. Cryst. Growth 100*, 309.

Ghidini, G., Smith, F. W. (1984), *J. Electrochem. Soc. 131*, 2924.

Giess, E. A., Ghez, R. (1975), in: *Epitaxial Growth, Part A:* Matthews, J. W. (Ed.). New York: Academic Press.

Harlow, M. J., Duncan, W. J., Lealman, I. F., Spurdens, P. C. (1994), in: *Proc. 6th Int. Conf. on InP and Rel. Mater.*, March 27–31, Santa Barbara, CA. Piscataway, NJ: IEEE, p. 64.

Heckingbottom, R., Davies, G. J. (1980), *J. Cryst. Growth 50*, 644.

Hess, D., Jensen, K. F. (1989), *Microelectronics Processing*, Adv. Chem., Vol. 221. Washington, DC: American Chemical Society.

Jordan, A. S., von Neida, A. R., Caruso, R., Kim, C. (1974), *J. Electrochem. Soc. 121*, 153.

Knudsen, M. (1909), *Ann. Phys. (Leipzig) 4*, 999.

Kuech, T. F., Wolford, D. J., Veuhoff, E., Deline, V., Mooney, P. M., Potemski, R., Bradley, J. A. (1987), *J. Appl. Phys. 62*, 632.

Kunzel, H., Fischer, A., Ploog, K. (1980), *Appl. Phys. 22*, 23.

Kuphal, E. (1980), *Appl. Phys. A 52*, 380.

Lu, Y. C., Bauser, E., Queisser, H. J. (1992), *J. Cryst. Growth 121*, 566.

Meyerson, B. S., Uram, K. J., LeGoues, F. K. (1988), *Appl. Phys. lett. 53*, 2555.

Middleman, S., Yeckel, A. J. (1986), *J. Electrochem. Soc. 133*, 1951.

Moerman, I., Coudenys, G., Demeester, P., Crawley, J. (1991), in: *Proc. 3rd Int. Conf. on InP and Rel. Mater.*, April 8–11, Cardiff, U.K. Piscataway, NJ: IEEE, p. 472.

Nayak, S., Kuech, T. F., unpublished.

Neave, J. H., Blood, P., Joyce, B. A. (1980), *Appl. Phys. Lett. 36*, 311.

Neave, J. H., Joyce, B. A., Dobson, P. J., Norton, N. (1983), *Appl. Phys. A 31*, 1.

Nelson, H. (1963), *RCA Rev. 24*, 603.

Ouazzani, J., Rosenburger, F. (1990), *J. Cryst. Growth 100*, 545.

Pfeiffer, L., West, K. W., Stormer, H. L., Baldwin, K. W. (1989), *Appl. Phys. Lett. 55*, 1888.

Rode, D. L., Wagner, R. W., Schumaker, N. E. (1977), *Appl. Phys. Lett. 30*, 75.

Rose, B., Kazmierski, C., Robein, D., Gao, Y. (1989), *J. Cryst. Growth 94*, 762.

Shea, J. B., You, B. T., Kao, J. Y., Deng, J. R., Chang, Y. S., Chen, T. P. (1993), *J. Cryst. Growth 128*, 533.

Shewmon, P. (1989), *Diffusion in Solids*, 2nd ed. Warrendale, PA: TMS.

Stall, R. A., Wood, C. E. C., Kirchner, P. D., Eastman, L. F. (1980), *Electron. Lett. 16*, 171.

Stringfellow, G. B. (1981), *J. Cryst. Growth 55*, 42.

Stringfellow, G. B. (1982), *Rep. Prog. Phys. 45*, 469.

Thrush, E. J., Cureton, C. G., Trigg, J. M., Stagg, J. P., Butler, B. R. (1987), *Chemtronics 2*, 62.

Veuhoff, E., Baumeister, H., Reiger, J. Gorgel, M., Treichler, R. (1991), in: *Proc. 3rd Int. Conf. on InP and Rel. Mater.*, April 8–11, Cardiff, U.K. Piscataway, NJ: IEEE, p. 72.

Veuhoff, E., Rieger, J., Baumeister, H., Treichler, R. (1992), in: *4th Int. Conf. on InP and Related Materials*, April 21–24, Newport, CA, p. 44.

Vossen, J. L., Kern, W. (1991), *Thin Film Processing II*. San Diego, CA: Academic Press.

Wolf, T., Zinke, T., Krost, A., Bimherg, D. (1993), in: *5th Int. Conf. on InP and Related Materials*, April 19–22, Paris, France, p. 707.

Wu, M. C., Su, Y. K. (1989), *J. Cryst. Growth 96*, 52.

一般阅读资料

Grovenor, C. R. (1989), *Microelectronic Materials*. Bristol, U.K.: Adam Hilger.

Hess, D., Jensen, K. F. (1989), *Microelectronics Processing*. Washington, DC: American Chemical Society.

Hurle, D. T. J. (Ed.) (1995), *Handbook of Crystal Growth*, Vol. 3. Amsterdam: Elsevier.

Lee, H. (1990), *Fundamentals of Microelectronics Processing*. New York: McGraw-Hill.

Massel, L. I., Gland, R. (1970), *Handbook of Thin Film Technology*. New York: McGraw-Hill.

Muraka, S. P., Peckerar, M. C. (1989), *Electronic Materials: Science and Technology*. San Diego, CA: Academic.

Vossen, J. L., Kern, W. (1991), *Thin Film Processes II*. San Diego, CA: Academic.

4 光　　刻

Rainer Leuschner
Siemens AG,Corporate Research and Development,Erlangen,Germany
Geog Pawlowski
Hoechst,Japan Ltd., Saitama,Japan
（梁七妹 译　朱　钧 校）

目录

符号与缩语表

a	厚度
DR	分解速率
DOF	聚焦深度
D_p	清除剂量
FT	胶膜厚度
G	接近间隙
k_1, k_2	常数
L	最小可复印线宽
n	折射率
NA	数值孔径
R	反射率;分辨率
S	摆福比
T_G	玻璃转化温度
α	胶吸收率
γ	胶反差

ε	消光系数
θ	角度
λ	波长
AAS	原子吸收谱仪
ABC	(叠氮苯甲亚基)环已酮
AFM	原子力显微镜
AHR	酸硬化胶
ALC	酸活泼化合物
APSQ	乙酰化苯基硅三分之二氧烷
ARC	防反射涂覆
ASIC	专用集成电路
BARC	底层防反射涂覆
BCB	苯环乙烷
BDMADS	双(二甲基胺基)二甲基硅烷
CA	化学放大
CAR	化学放大胶
CARL	胶线条的化学放大
CD	临界尺寸
CEL	反差增强层
CQUEST	Canon 四极有效分步重复光刻机技术
DESIRE	扩散增强甲硅烷基化胶
DNQ	重氮-萘醌
DOF	聚焦深度
DPI	双苯基碘鎓
DR	分解速率
DRAM	动态随机存取存储器
DUV	深紫外
EBL	电子束光刻
ECR	电子回旋共振器
eximer	激发二聚物
FFP	形成薄膜的聚合物
FIBCVD	聚焦离子束化学蒸气沉积
FLEX	焦距容差范围增加曝光
HELIOS	Oxford 同步加速器的高能光刻辐照
heptaMDS	七甲基二硅氧烷
HMCTS	六甲基环三硅氧烷
HMMM	六甲氧基甲基三聚氰胺
HX	卤化物

IBL	离子束光刻
IC	集成电路
ICA	茚羧酸
ICP-MS	电感耦合等离子质谱仪
ICP-OES	电感耦合等离子光发射谱仪
KTFR	Kodak 薄膜胶
LIGA	Lithographie,Galvanoumformung,Abformung
LSI	大规模集成
MCM	多芯片组件
MIE	磁控管增强离子刻蚀机
MIF	不存在金属离子
MLR	多层胶
MSNR	丙烯酸酯化硅基负性胶
MTF	调制传递函数
NA	数值孔径
NBSE	硝基苯甲基磺酸酯
NUV	近紫外
O_2-RIE	氧反应离子刻蚀
OPTIMA	轮廓图形转移成像
OSPR	有机硅正胶
PAC	光活泼化合物
PAG	光酸产生剂
PCM	可移动一致性掩膜版
PCVD	等离子化学气相沉积
PEB	曝光后烘烤
PHS	聚羟基苯乙烯
PI	光促发剂
PMGI	聚(甲基戊二酰亚胺)
PMIPK	聚(甲基异丙烯基酮)
PMMA	聚(甲基异丁烯酸)
PROMOTE	剖面形状修正技术
PSMT	相移掩膜版技术
PTMS	苯三酚磺酸盐
RBS	Rutherford 背反射谱仪
RIE	反应离子刻蚀
SABRE	加硅双层胶
SAFE	扫描隧道显微镜对准场发射
SAHR	甲硅烷基化酸硬化胶
SEM	扫描电子显微镜

SHRINC	超高分辨率光照控制
SIMS	二次离子质谱仪
SLR	单层光刻胶
SNR	硅基负性胶
SRAM	静态随机存取存储器
SUCCESS	包含可去除复杂侧链组分的锍化合物
SUPER	亚微米正性干法刻蚀胶
TARC	顶层防反射涂覆
TFT/LCD	薄膜晶体管/液晶显示
TMAH	四甲基氢氧化铵
TMSDEA	三甲基甲硅烷二乙基胺
TPS	三苯基锍
TSI	顶表面成像
ULSI	超大规模集成
UV	紫外光
VHSI	甚高速集成
XRL	X 射线光刻

• p. 178 •

4.1 引 论

用辐照形成集成电路(IC)图像的方法通常简称为光刻,它已成为这些技术驱动产品生产过程中的关键工艺步骤。其制造特点是周密合理的安排、全面优化与自动化的工艺方案和特别高的重复生产率(Moreau,1988)。其它以光刻为基础的生产工艺包括多芯片组件(MCM)(Lall and Bhagath,1993)、微机械器件(Rogner 等,1992)、用于磁盘的薄膜头(Bond,1993)或薄膜晶体管/液晶显示(TFT/LCD)(Howard,1992)。所有这些元件是有效信息管理所需的基础部件,用于组织世界范围内日益增长的信息密度。没有其它替代技术能以类似的精度、速度和经济的生产能力提供所需的图形结构。

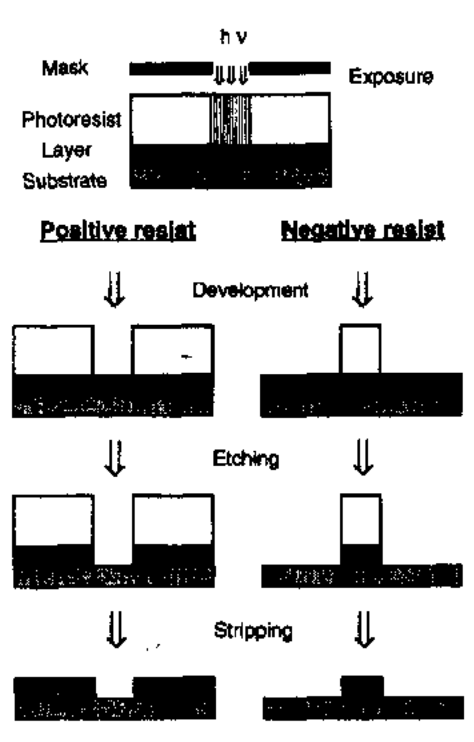


图 4-1 正性与负性图形的形成

光刻的主要目的是复制一个三维立体图形,该图形的尺寸要尽可能与掩膜版实际原图或由连续直写法提供的数字化二维原图一致。应用一套掩膜版照明系统和称为光刻胶的并能依据曝光程度改变溶解度的辐照敏感薄层,可以方便地得到信息的复制。材料的化学性质和它的处理条件确定了图形的色调,如果复制图形与原型一致,称为正性复制,若两者相反,则为负性复制。图像区与非图像区的差别是通过显影方法(图 4-1)得到的,显影可选择去除经曝光或不曝光的光刻胶,从而形成需要的三维立体图形。留下的形成图形的薄膜,保护衬底免受工艺处理化学药品例如腐蚀剂的侵蚀,使整个器件能承受腐蚀剂的作用。

用于集成电路生产的基本材料包括经过充分清洗和高度抛光、直径达到 200mm 的圆硅片(Bullis and O'Mara,1993),它是从一个纯度很高的大单晶硅锭上切成的。每一硅片上有几百个分立的小芯片,一个芯片包括几百万个电学元件,例如电容、二极管和晶体管等,面积为 1—2cm^2。在它由抛光片变为有集成电路的圆片过程中,硅片接受了许多不同的加工处理。一些关键的工艺步骤在集成电路制造中要重复使用,其中光刻工艺起了主要作用,它能形成导电区和绝缘区图形(Einspruch,1985)。

• p. 179 •

开头,硅片在～1000℃温度下热氧化,在硅衬底上生长一层二氧化硅薄膜,这个二氧化硅层可保护衬底上已选择的区域避免掺杂离子的穿透。光刻胶溶液被旋转涂覆在硅片上,在加温的热板上溶剂挥发,光刻胶固化为均匀的 1—2μm 的厚膜。涂覆光刻胶的硅片接受图像形状的辐照,可溶解的光刻胶部分在显影工序中去除。然后,SiO_2 层上未被光刻胶覆盖的区域被腐蚀掉,暴露出要求敞开的硅表面部分,SiO_2 层上受光刻胶保护的部分则留下。此时,光刻胶被去除(剥离),以避免光刻胶杂质对器件的沾污。

现在，硅片已为下一步工序——离子注入作好准备，离子注入赋予硅电学性能。高能量的掺杂元素(硼、磷)的离子射向硅片并穿入硅表面的敞开区域。衬底表面再次被氧化，硅片又被光刻胶覆盖以进行如绝缘、或金属化等进一步工艺处理，从而确定最后的电学器件。现在，为了制造电子器件采用多达 24 次光刻和多于 250 次单独工艺步骤，使得一种单一芯片生产的时间要一个月(Bullis and O'Mara，1993)。在最后的光刻步骤中，确定了接触孔和把芯片插入印刷电路板时内部管腿的连接。一个简化的 IC 制造流程显示在图 4-2。

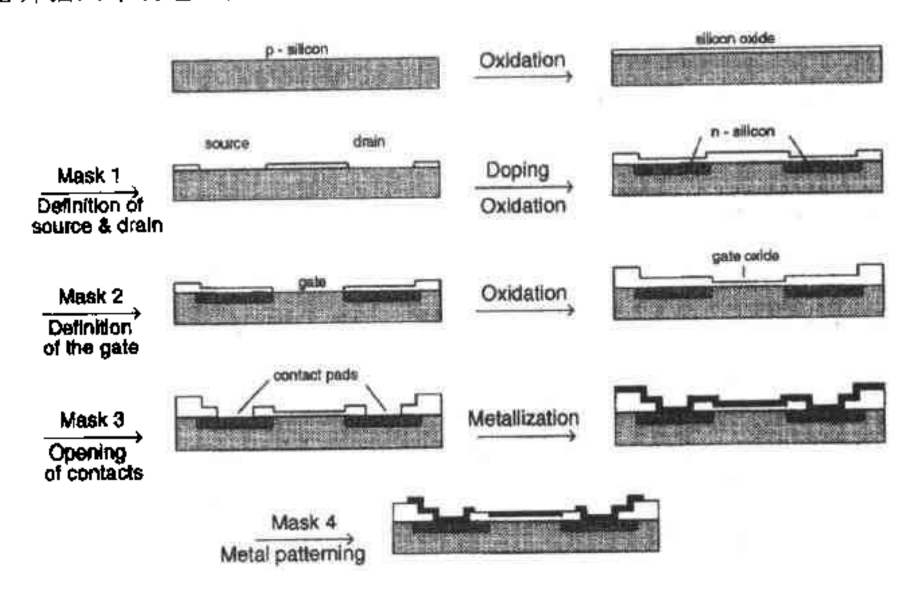


图 4-2　平面工艺技术：MOSFET 制造的简化工艺步骤

对 IC 生产的主要挑战是进一步缩小器件横向几何尺寸，以制造更加复杂的电路，例如有更高存储量的动态存储器(DRAM)。对更高分辨率的需求是持续改进光刻工艺的驱动力。图 4-3 说明存储器件的存储容量和所需特征尺寸的发展(左边)，并概括了为生产这类器件所用或需要的技术和光刻胶特性。

• p. 180 •

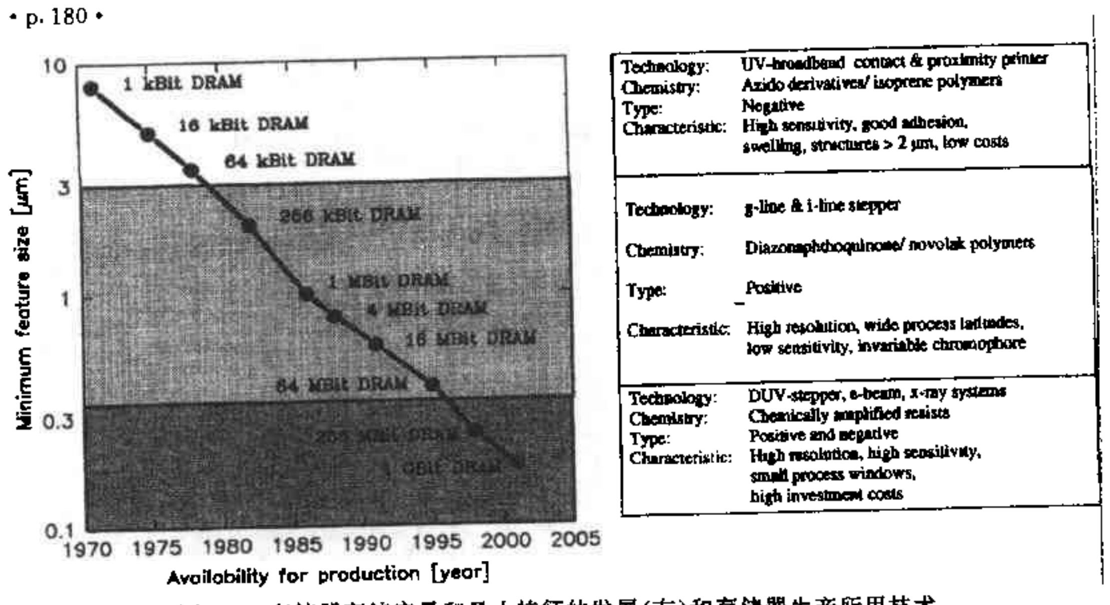


图 4-3　存储器存储容量和最小特征的发展(左)和存储器生产所用技术

4.2 曝光设备

4.2.1 图像形成和分辨率

IC 通常用近紫外光辐照源,例如汞/稀有气体放电灯形成图像。为达到最佳分辨率,发射光经过滤波并且用滤波器和透镜系统修正以产生窄带辐射。接触式、接近式或投影式曝光设备(图 4-4)已有商业应用,每一种相对另一种都有一定的优点和缺点(Soane 和 Martynenko,1989)。

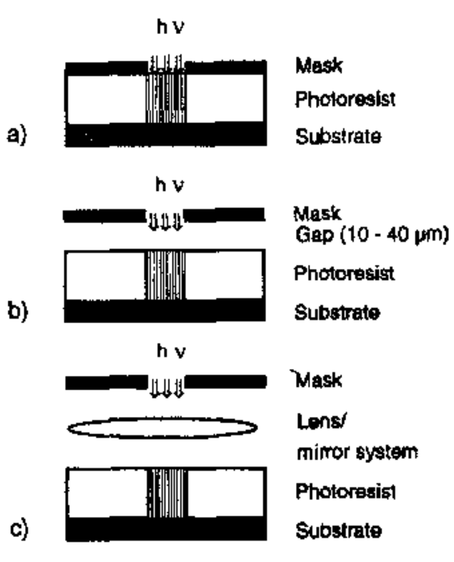


图 4-4 掩膜版/芯片放置
(a)接触式,(b)接近式,(c)投影式复印

在一个光刻系统中,光通过掩膜版的透明区域。当它碰到光刻胶时发生的基本现象是非涅耳衍射。图 4-5 比较了上述曝光工具的空间图像。接触式复印能达到完美的图形传递。但是,随着掩膜版和硅片间距离的增大,干涉图形发生了(接近式复印),形成光强平滑分布的空间图像。它的光强峰值在窄缝的中央,尾部则超出掩膜版确定的区域。当多个邻近窄缝被投影时,情况变得更复杂,可以看到一串起伏的最大和最小值,最大传输值小于 100%而最小传输值大于 0%。最小可复印

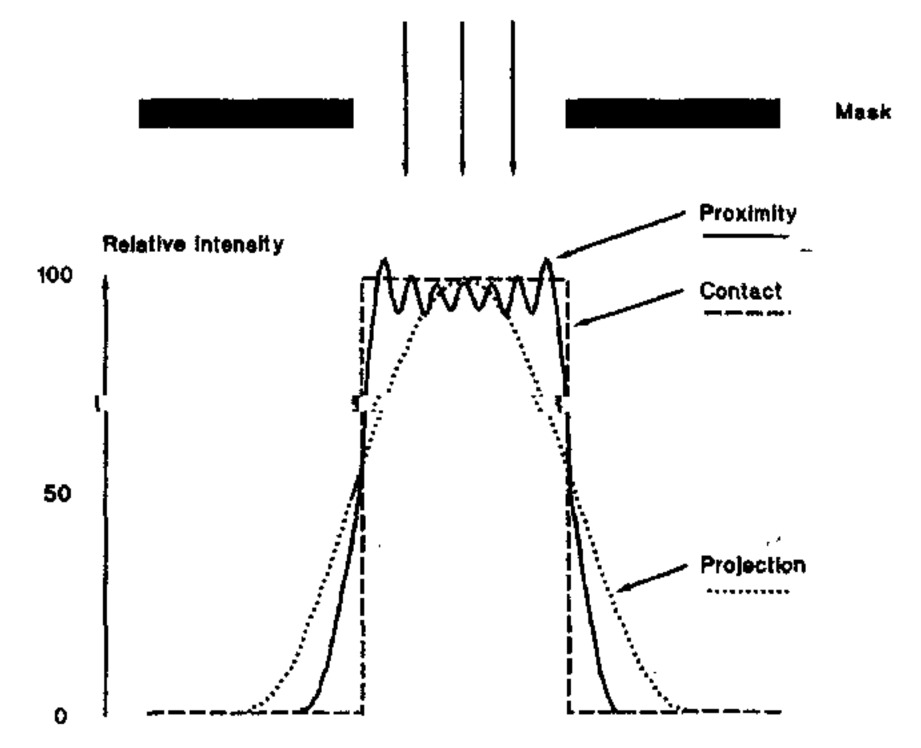


图 4-5 比较接触式、接近式和投影式复印所得的空间图像(复制自 Soane,1989)

线宽可以由波长 λ，接近间隙 G 和光刻胶厚度 FT 得出(Thompson 等，1983)：

· p. 181 ·

$$L = 3/2\sqrt{\lambda(G+FT/2)} \tag{4-1}$$

投影复印时，衍射图形的专门频率由物镜收集，在硅片平面上重新构成空间图像。对于一个理想的镜头系统，图像质量仅仅受到由于数值孔径(NA)大小有限而造成部分衍射光不能通过镜头而造成的限制。镜头系统在空气中的 NA 值由式(4-2)确定，θ 是可以进入镜头的衍射光线的最大角度(Mack，1993a)：

$$NA = \sin(\theta/2) \tag{4-2}$$

投影式复印限制的粗略估计可由 Rayleigh 公式(4-3)得到。分辨率 R 由辐照波长、NA 和经验常数 k_1 确定，k_1 取决于光刻胶类型、衬底和工艺环境(Lin，1990)。在实验室条件下，假定 $k_1 \geqslant 0.5$，而生产条件下的 k_1 典型值为 >0.8 至 >1.2，它决定于衬底的反射率：

$$R = k_1 \times \lambda/NA \tag{4-3}$$

· p. 182 ·

在固定波长条件下，较大的 NA 可以复印较小尺寸的图形。从式(4-4)可见，利用增加 NA 得到较高分辨率的代价是聚焦深度(DOF)减小。在式(4-4)中的经验常数 k_2 也取决于所用材料的性质。

$$DOF = k_2 \times \lambda/(NA)^2 \tag{4-4}$$

在实验室和生产条件下，k_2 在 0.4—0.8 范围内。Dammel 等(1990)和 Boettiger 等(1994)的研究表明，式(4-4)仅在亚半微米范围内粗略可用，实际上可得到比预计大的聚焦容差范围。从式(4-3)可见，λ 的减少能改善分辨能力，可以采用高 NA 系统和 NUV 辐照或较小的 NA 和深 UV 辐照而得到高分辨率。较短的波长 λ 应能产生较好的聚焦深度，但是随着特征尺寸的减小，不能全部抵销相应的 DOF 的减小，如图 4-6(Arden，1990)所示。为了保证表面形貌覆盖良好和有足够的刻蚀阻抗，最小光刻胶厚度需要大于 0.5μm，这样就使得 DOF 问题成为单层光刻胶用于亚微米光刻时的主要物理限制。

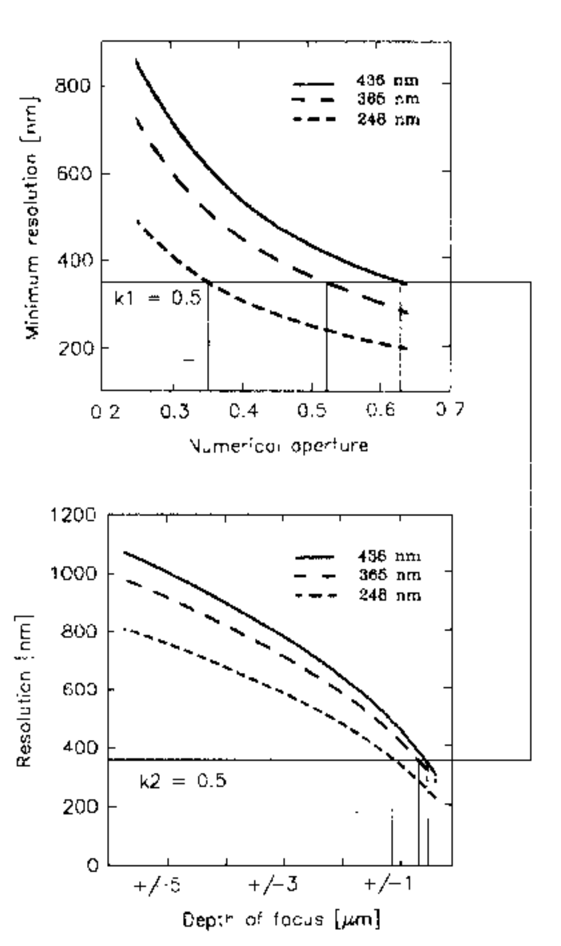
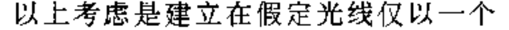


图 4-6 分辨率对聚焦深度的影响



以上考虑是建立在假定光线仅以一个方向射向掩膜版的(相干照明)基础上。事实上，它有一个角度范围(部分相干)，其对于分辨率的影响用调制转移函数(MTF)表示，它描述了图像反差与空间频率的函数关系(Thompson 等，1983；Mack，1993a)。

4.2.2 接触式和接近式复印

4.2.2.1 光学掩膜版对准仪

就设备而言,1:1 接触式复印是最简单的方法。它被广泛用于低分辨率(>5μm)器件的生产。掩膜版由玻璃或石英衬底构成,其上面有作为吸收体的薄铬层图形阵列,掩膜版与光刻胶紧密接触。它允许一次曝光同时产生许多芯片,这种方法是便宜的,并能提供良好的图形复制。掩膜版与薄膜的重复接触会造成严重的划伤或使光刻胶块粘在掩膜版上。损坏的掩膜版图形会复制到光刻胶上,因此需要附加的时间去返工和清洗掩膜版,同时也减低了成品率。在阴影接近式曝光时,掩膜版与硅片表面有约 40μm 间隙,这样可以避免沾污和损伤问题,但是衍射效应会造成分辨率变坏[比较式(4-1)]。

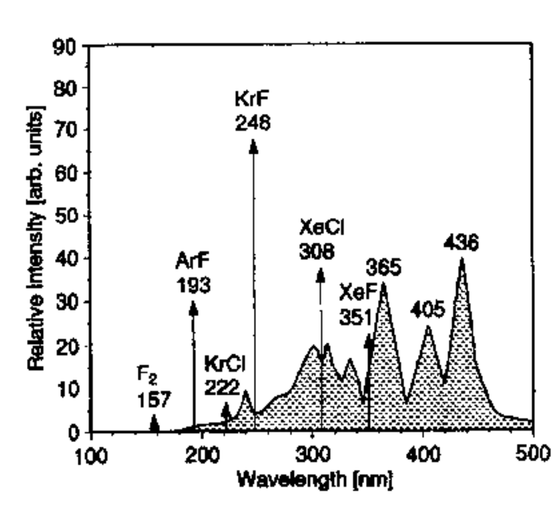


图 4-7 汞灯和准分子激光器的发射谱与能量的比较(蒙 W. Spiess 允许复制)

• p. 183 •

光学掩膜版对准仪一般配备有汞/氙放电灯,并有环绕中心 400nm、310nm 和 250nm 的三个光谱范围可选择(图 4-7)。在接触式复印时,宁愿采用宽带照明,因为采用多色光,驻波效应不太明显。为得到三维结构,可以把接触式复印用于很厚的光刻胶层(≤200μm)形成有高纵横尺寸比的图形,因为光刻胶厚度并不受光学投影系统聚焦深度的限制(Loechel 等,1994)。专门设计的掩膜版对准仪可用于前面和背面的对准(Cromer,1993),这是微机械应用需要的,因为微机械的硅衬底是腐蚀穿透的。

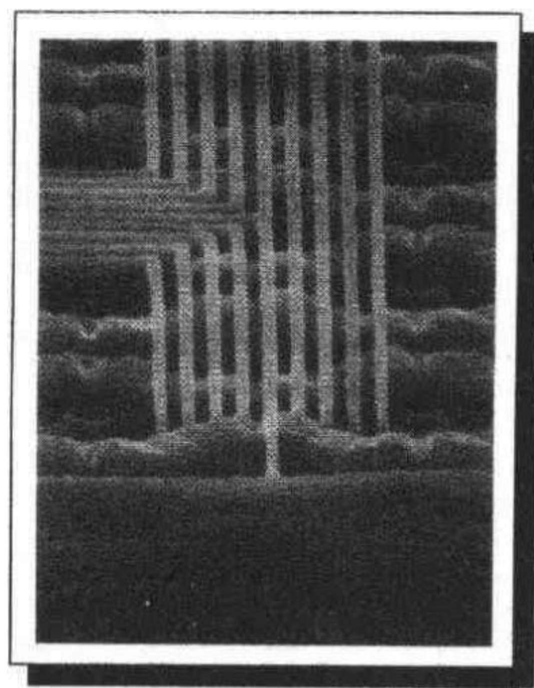
4.2.2.2 X 射线分步重复光刻机

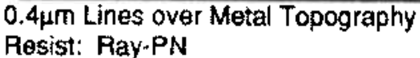
使用改进光刻胶和光学技巧(Chu 等,1991)的光学系统的分辨率的极限,预期会在 0.2μm 以上,主要由于聚焦深度容差范围不够。表面成像方案能使器件尺寸进一步缩小,但代价是要增加复杂性。用 X 射线辐照(Peters 和 Frankel,1989)可得到小于 0.2μm 的超大规模集成电路(ULSI),而没有任何聚焦深度问题。X 射线光刻(XRL)的基本概念是接近式复印。依据式(4-1),X 射线光刻所得空间图像比 200nm 辐照方法有明显改善。

XRL 具有的其它特点和重要优点是对灰尘颗粒和表面形貌不敏感,因为没有反射和背散射效应发生,可以得到整个表面上良好的线宽控制,如图 4-8 所示。尽管这些特点使 XRL 优于现在所知的任何辐照技术,但尚存在的一些问题十多年来一直阻碍它进入高档 IC 生产。

• p. 184 •

以激光为基础的等离子体源(Chaker 等,1991)发射波长为 0.8—2.2nm 的"软"X 射线,其波长已足够短,能够产生不受衍射破坏的图像(Gao 和 Cerrina,1991)。它们的中等





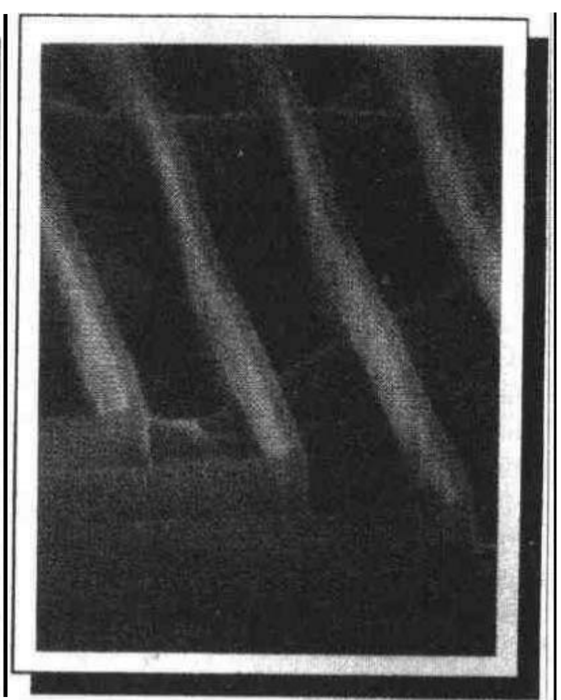


图 4-8 用激光等离子源提供的 X 射线辐照在金属表面曝光 AZ PN114 所得的 SEM 照片（右面：0.4μm线条与间隔；左面：0.175μm线条。剂量：9mJ/cm²，显影：60s. 0.135N AZ MIF 312）（蒙 Hampshire Instrument、Ltd 允许复制）

亮度（<10mW/cm²）要求高灵敏度光刻胶（<50mJ/cm²）、分辨能力（～0.2μm）则受到过渡区模糊的控制（Frackoviak 等，1993）。这样的数据也可用深紫外（DUV）光刻达到，而且对这种"软"X 射线方法能否突破而进入大生产是有怀疑的。相反，功率 100mW/cm² 的高能（小型）同步加速器环在将来的 0.2μm 光刻（Yanof 等，1992）中预期会成为生产工具，因为它具有高的分辨率（>70nm）（Ogawa 等，1993）、高产量和对尘埃与表面形貌不敏感的特点（Yoshioka 等，1989）。

对于同步加速器而言，它的复杂的辅助系统、大尺寸和高投资是与其它技术相比较的严重缺点，但是，对每一位成本的分析表明，同步加速器 XRL 也许是制造 ULSI 器件的最便宜方法（Roltsch，1991）。多种不同功能的电路（例如用 0.35μm 特征尺寸的 SRAM）已用 XRL 制造出来（Technology News，1993）。此处（Rogner et al.，1992）只提到 XRL 在制造集成光学系统所用的三维微元件、传感器和用 LIGA 工艺（German：Lithograrphie，Galvanoformung，Abformung）的微齿轮方面的适用性。第一个配备超导磁铁的"商业化"小型同步加速器是来自 Oxford Istruments 的 Oxford 同步加速器（HELIOS）（Kempson 等，1991）提供的高能光刻辐照源。现在已有一些描述关于用于光刻的同步加速器技术发展水平的文章发表（Maldonado，1991；Schmidt 等，1991；Yoshihara，1992）。

·p.185·

X 射线（0.5—4nm）的可用波长范围由掩膜版和光刻胶的吸收特性决定。由辐照源产

生的 X 射线光子不能被任何今天已知的材料反射或折射。由于投影和缩小技术都不能应用,只能采用间隙～40μm 的 1∶1 阴影复印(Guo 和 Cerrina,1991)。高质量的 X 射线掩膜版包含一层对 X 射线透明的薄膜(≤4μm),它使掩膜版对吸收体应力造成的变形十分敏感(Acosta,1991;Chaker 等,1991)。掩膜版的无缺陷生产和修理是困难的(Koek 等,1993)。这些问题最近十年还没有满意的解决。这种方法已表明有高的套刻精度(<70nm)(Tsuyuzaki 等,1994)。

4.2.3 投影式复印

4.2.3.1 近紫外投影系统

很明显,投影式复印方法在现代 IC 光刻中占主要地位。80 年代早期,1∶1 全场扫描光学投影照相机是 IC 光刻的主力(Thompson 等,1983)。这些机器工作时,采用专门的低数值孔径(NA)环形场反光镜头。它的好处是产量高和可在一定的波长范围内曝光。但是,其分辨能力不满足 IC 设计规则发展的需要。反光镜头 NA 的增加使相机以较小曝光场为代价得到较好的分辨能力,这就产生了分步重复扫描相机的概念。尽管这些新的相机允许 NA 加倍(>0.3),但是,它们不能与分步重复缩小相机(Stepper)竞争,分步重复相机现在统治着先进 IC 的生产。现代的分步重复相机采用单色辐照(如 436nm 或 365nm,分别为汞发射谱的 g 线和 i 线;图 4-7),一个 NA 大于 0.5 的复杂透镜系统允许掩膜版图形以 5× 或 10× 因子缩小。由于成像系统的视场尺寸大小有限,在每一次辐照步骤中仅有硅片的一小部分,即单一芯片被曝光(图4-9)。这样会降低生产产量,但是因为同样的掩膜版用于每个分别的单元,因而产生了高度可重复的图形。除了分辨率和 DOF(Yamanaka 等,1993)外,图像场大小是另一重点,由于制造满足需要的大尺寸镜头系统的困难,图像场随 NA 的增加而减少(Noelscher 等,1990)。

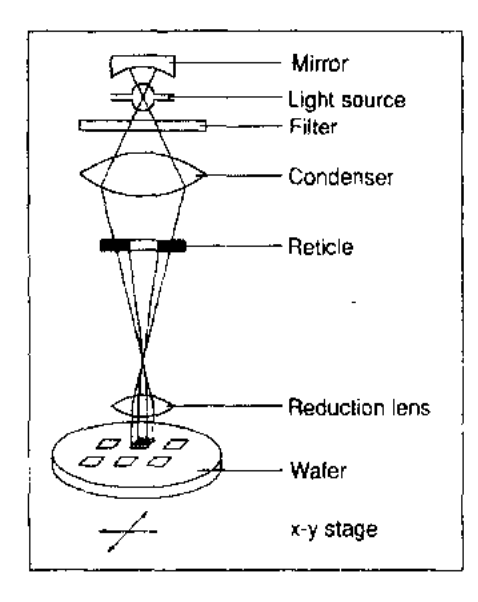


图 4-9 分步重复相机的示意图

几家 IC 公司已由 g 线转向 i 线光刻,以制造临界尺寸(CD)为 0.8μm 的 4M 位 DRAM,而现在应用这种技术生产 0.5μm 设计规则的 16M 位 DRAM 或其它器件(Greeneich 和 Katz,1990)。这些产品由于表面形貌关系,需要 DOF 允许范围 ≥1.5μm,因而限制了硅片的平整度和分步重复相机的聚焦容差(Peters,1991)。第一代 CD 为 0.4—0.35μm 的 64M 位 DRAM 将用 i 线生产,而缩小版本(0.35—0.3μm)也许需要转向 DUV 光刻。

· p. 186 ·

4.2.3.2 深紫外投影系统

因为小特征尺寸生产是对 ULSI 光刻的主要挑战,所以研究 DUV 辐照以提供较高的

分辨率和增加 *DOF* 容差范围是有意义的(Mack,1993a)。然而,现在所用的镜头玻璃必须用对 DUV 透明的石英代替。汞-氙灯在近 UV 范围有高的辐射输出,但是在 200—300nm 范围输出很低。这种灯不能使用窄带滤波器以避免色差,而且需要反光镜镜头系统。有两种商品化的 DUV 反光镜投影系统采用维修方便并且价格不贵的高压汞-氙灯。因为它们的亮度差,必须用高灵敏度(<5mJ/cm²)的光刻胶。然而,在宽带照明时,防反射涂覆也许可以省略(Kuyel 等,1991)。Ultratech 分步重复相机在波长 249±3nm 下工作,而 SVG Micrascan 机器(分步重复扫描概念)在 240—255nm 带宽范围提供曝光辐照(Buckley 和 Karatzas,1989)。

制造 DUV 照明系统的不同方法是以准分子激光器为基础的,这是功率很大的气体激光器(激发态二元聚合物),在它里面用高电压放电形成激发的双原子惰性卤素气体分子,例如 XeCl(308nm),特别是 KrF(248.5nm)或 ArF(192nm),当它们跃迁到相斥的基本状态时,发射出激光辐射(图 4-7)(Jain,1990)。依靠同步注入,它们的发射具有很窄的带宽(2pm),因此不必考虑色差现象(Preil 和 Arnold,1991)。利用这种技术得到的 0.2μm 的实验分辨率已有报道(Hartney 等,1992),套刻精度<0.1μm 的对准系统已经设计出来(图 4-10)(Wittekoek,1992)。由于脉冲到脉冲间激光功率的重复性差,在精确控制剂量方面仍存在问题(Kowaka 等,1993)。准分子激光器可以和反射或折射光学系统集成,形成实用的图像。

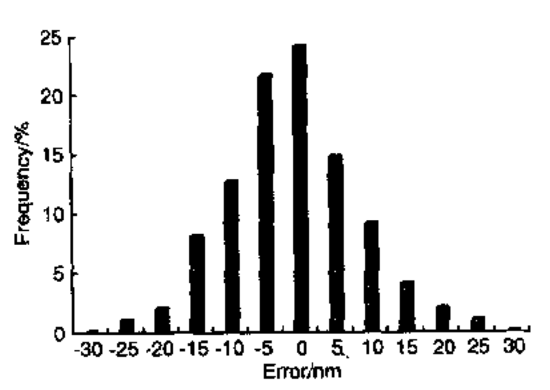


图 4-10 ASM-L DUV 分步重复相机的套刻误差
(蒙ASM-Lithography同意,复制自 Wittekock,1992)

现在,包括亚-半-微米分辨率在内的将来可能使用的光学光刻已从不同的专门领域详细进行了讨论(Arden,1990;Yamanaka 等,1993)。用于器件制造的曝光设备主要由以下六家公司提供:Nikon,Canon,Hitachi(全部为日本公司),Ultratech,GCA[General Signal 的子公司(美国)]和 ASM-Lithography(荷兰)。分步扫描机器可从 SVG(美国)购买到(Cromer,1993)。

• p. 187 •

4.2.3.3 非常规的 UV 光刻

人们预期,应用某些光学技巧可以扩展 NUV 投影光刻范围。所用技术有:相移掩膜版技术(PSMT)(Levenson,1992)、离轴照明技术(Shiraishi 等,1992)、聚焦范围增强曝光(FLEX)(Fukuda 等,1991)或轮廓图形传递成像(OPTIMA)(Tanaka 等,1991b)(全部由 Hitachi 组发展,进入实际应用)、全息技术(Omar 等,1991)和相反差光刻(Mack,1993b)。有关掩膜版制造和图形几何形状的限制影响了它们被全面接受。Levenson(1992)由计算得到结论,g 线 PSMT 能分辨亚 0.5μm 图形。后来,Terasawa 等用低 *NA*i 线分步重复相机制成了 0.3μm 宽的周期性栅。今天 i 线 PSMT 可应用于亚 0.5μm 复印(Shirai 等,1991),使它成为用于 64M 位存储器的 DUV 光刻的主要竞争者。几个大公司依靠自己发展的制版商店,已选择 PSMT 作为它们 0.35μm 复印的第一候选人。PSMT 适用于包括准

分子激光光刻在内的所有类型的光子辐照(Sewell,1991)。它发挥了干涉的优点,消除了某些由于光线通过小孔径投影产生的典型的衍射效应,从而得到改进的空间图形(图4-11)。

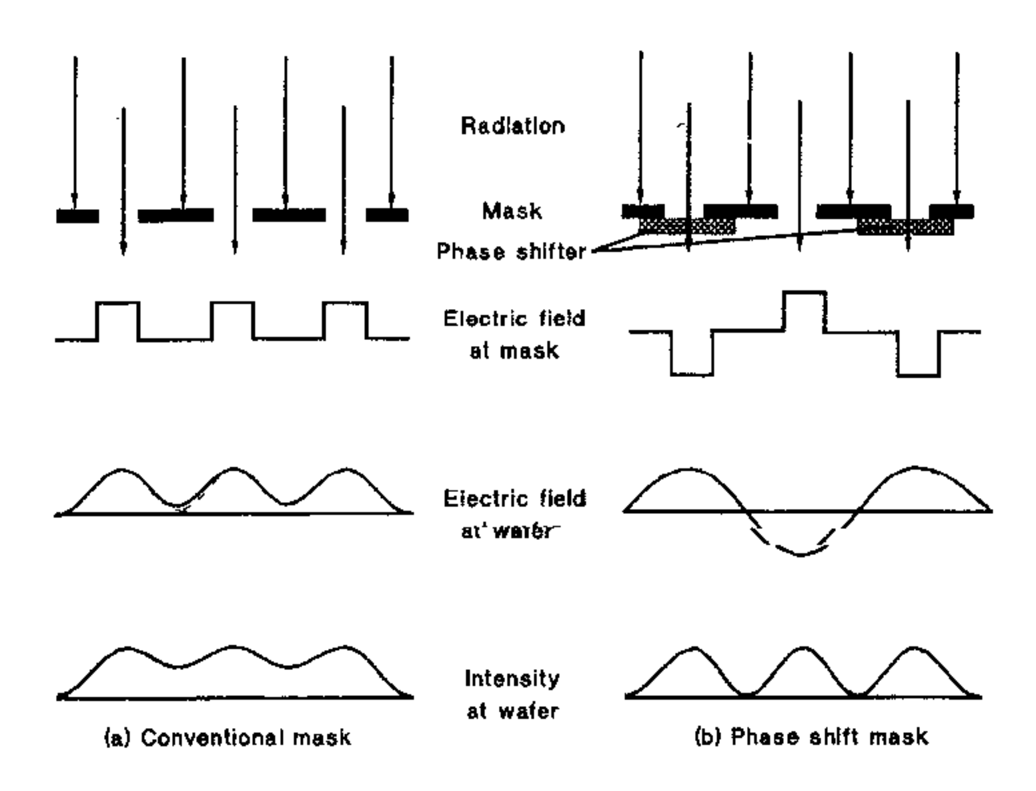


图 4-11 应用 Levenson 型 PSM 技术所得空间图像的强度变化:(a)传统方法和(b)相移版

· p. 188 ·

光作为电磁波,具有相位和幅度。一块传统的掩膜版(图 4-11a)为一个覆盖不透明层图形的石英板,它确定了图形的窗孔。光线在周期性开口之间的相长干涉使它们间的电场和光强增强,因而减少了反差和分辨率。在 Levenson 型 PSMT(图 4-11b)中,邻近的开口用一个透明的相移层覆盖,它改变电场的符号,使得相邻的波有 180°相移。在硅片表而发生相消干涉,它缩小了两个邻近开口之间不希望有的光强度(Levenson,1992)。

利用简单的几何形状,<0.35 的 k_1 因子已在实验室条件下实现,由此对于 i 线和 DUV 辐照可分别得到最小为 0.24μm 和 0.18μm 的图形(Ohtsuka 等,1991;Baik 等,1993)。Levenson 型掩膜版使分辨率和 *DOF* 极大增加,然而它被限制于周期性栅形图形(Brock 等,1991),由于它存在的终端问题,当使用正性光刻胶时,掩膜版透明部分的相移会在器件上产生人工制造物(Jinbo 等,1990)。近两年内,已经讨论了许多可用于孤立图形复印的替代掩膜版结构(Toh 等,1991;Yanagishita 等,1991;Levenson 等,1992,Ronse 等,1993)。各类重要 PSM 技术的概览显示在图 4-12。Dai Nippon Printing,Hoya 和 Toppan 等主要 PSM 商家已开始试制这种掩膜版。

· p. 189 ·

FLEX 法采用正胶,复印像接触孔那样的孤立透明图形(Fukuda 等,1991),而 OPTI-

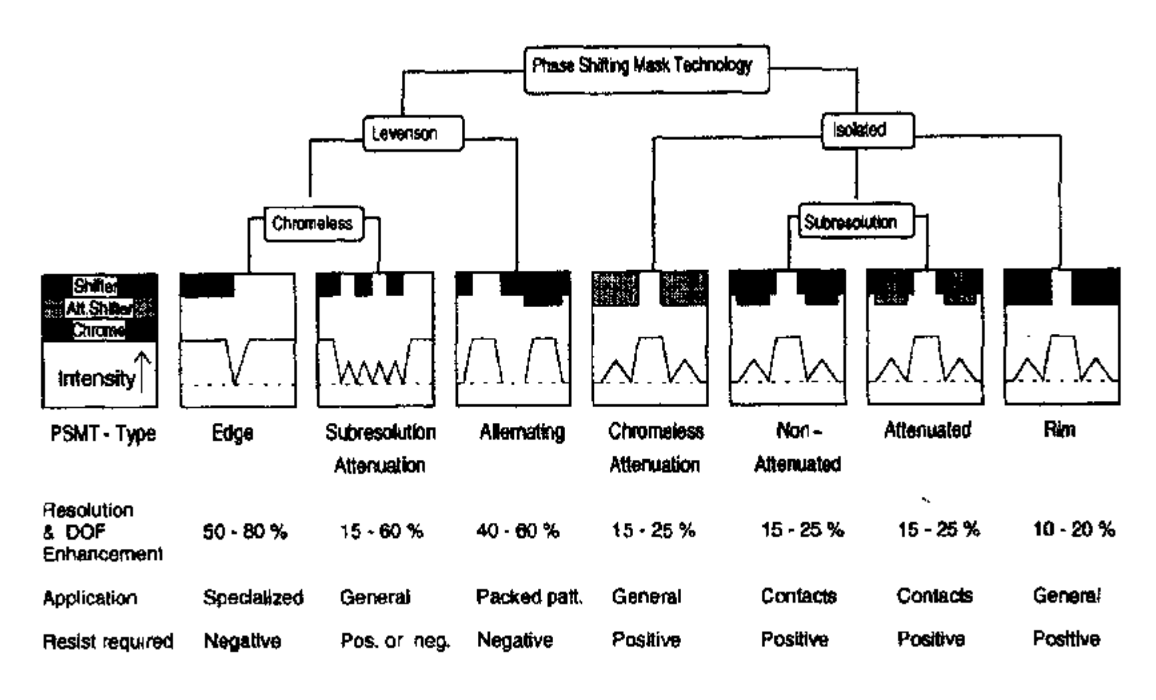


图 4-12 不同相移掩膜版技术的概览(复制自 Buck 和 Rieger,1991)

MA 法则用于具有实用聚焦范围(>1.0μm)的 0.2μm 的规则图形和应用 0.5μm 厚负性 i 线光刻胶的 0.13μm 宽的四槽图形(Tanaka 等,1991b)。离轴光照技术是曝光设备供应商所喜欢的,因为只需要在光学通路上作少量修改。Canon 和 Nikon 提出的称为 CQUEST(Canon 四极有效分步重复相机技术)和 SHRINC(由光照控制的超高分辨率)设备,分别用于它们现有的 g 线、i 线和 DUV 分步重复相机上,已报道有 100%的 *DOF* 增加(Shiraishi 等,1992)。这种方法的优点只限于周期性结构图形(Partlo 等,1993)。Holtronic Technologies 的 Omar 等(1991)研究了有效 *NA* 为 0.7 的全息照相技术,用于在 0.5μm 厚的 i 线光刻胶上复印 0.3μm 特征尺寸。全息照相接近式复印机可在很大的视场范围内达到高的分别率。正在研究改进现有±0.5μm 套刻能力。

4.2.4 直接写

电子束光刻(EBL)现在已统治着光刻掩膜版制造工业(Pfeiffer 和 Groves,1991),同时作为形成图形的方法在研制需求量少的器件和先进专用电路(ASIC)或很高速度集成电路(VHSI)时处于强劲地位(Newman 等,1992)。EBL 是微细光刻的关键环节,已在微小型化方面作出很大贡献(Pethric,1991)。现在使用的电子束机器是从电子扫描显微镜发展而来的。电子束经过一系列静电和磁性透镜系统后折射并成形。直写("扫描")电子束光刻应用圆的高斯形或矩形(固定或可变)束斑,它们分别适用于制造高分别率器件或提供高的产量。高斯电子束设备有两种扫描方式:在光栅模式,电子束以蛇形路径扫描整个硅片并不断开关,而在矢量模式,它直接寻址图形位址从而得到相当大的产量增加(例如 Philips Beamwriter)。整形束斑设备通常工作于在矢量扫描模式。

EBL 是以特别高的分辨能力(40nm,Classen 等,1992)为特征的,但是通过光刻胶材料,特别是经过衬底的电子散射限制了实际的分辨率>100nm(邻近效应),尤其在使用厚

的光刻胶时更为严重。已经发展了修正邻近效应的软件,例如 CAPROX(Knapek 等,1991)。图 4-13 显示了在 10keV,20keV 加速电压下电子散射的模拟结果。

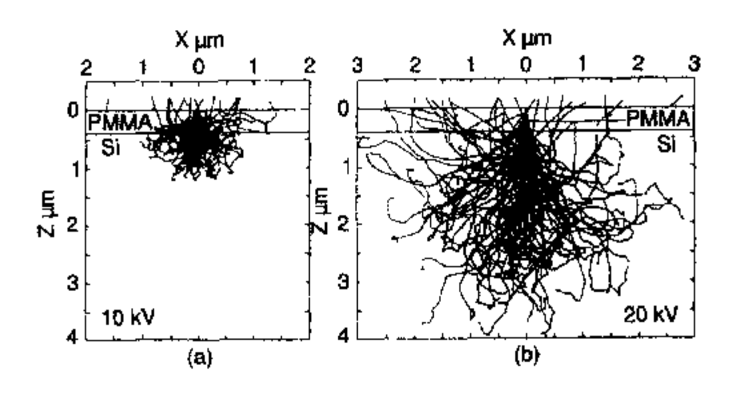


图 4-13 Monte Carlo 模拟在硅上有 0.4μm 厚聚[甲基异丁烯酸酯(methyl methacrylate)]光刻胶层时,100 个电子的轨迹。(a)10keV,(b)20keV(复印自 Kyser 等,1975)

• p. 190 •

很明显散射范围随着能量增加而剧烈增加,而电子束在光刻胶中扩展的减小可得到高的分辨率(Rosenfield 等,1991)。不幸的是,这种光刻还伴随着由于电子束轰击在衬底中产生的较高缺陷密度(Pethrick,1991)。高的光刻胶灵敏度有助于减小这些缺陷。

直写电子束光刻是很灵活的,因为它不要掩膜版。主要的缺点是由于顺次写造成的低产量和相对高的投资,这使得用电子束设备制造 IC 与掩膜版复印方法的竞争,只在制造少于 50 片硅片时才被考虑。已经提出了建议,利用一个微单元阵列来提高硅片产量,这是以扫描隧道显微镜对准场发射(SAFE)概念为基础的(Chang 等,1992)。取决于所用单元数,对于 100nm 光刻每小时 50 片的产量也许是可以达到的。扫描隧道显微镜或原子力显微镜(STM,AFM)的特别尖锐的端头,即使在通常大气压下也是一个低能(60eV)电子源,它可以用于在非常薄的光刻胶上形成图形(扫描近场光刻)。这些技术提供一个生产亚 100nm 图形的廉价方法,但是它们的产量特别低(Marrian 等,1993;Snow 和 Campbell,1994)。近来,由 Lasarray 利用 HeCd(442nm)或 Ar^+(364nm)提供的光学直写激光系统已经可以与电子束为基础的工艺竞争,在生产条件下形成 0.5μm 结构(Rensch 等,1989)。只要设备比较便宜、不太复杂,而且可以使用标准光刻胶,写掩膜版和 ASIC 图形也许会发展成为上述曝光技术的主要应用领域。

在 1973 年首次提出的离子束光刻(IBL)作为直接写(Bischoff 等,1993)和缩小投影(Chalupka 等,1992)的方法,正在进行研究。离子束只在光刻胶中短范围内产生很慢的二次电子,与电子束光刻相比,其邻近效应是可以忽略的,这是 IBL 具有惊人的极限分辨率的原因。某些专门应用,包括宽束离子铣,它利用离子束去除光刻胶材料(Bischoff 等,1993),或用聚焦离子束化学气相沉积(FIBCVD)(Robinson,1989)。在曝光过程中,离子被直接注入衬底,因此产生了此新工艺的一些未知因素。

4.3 光刻胶处理工艺

4.3.1 质量控制和光刻胶沉积

4.3.1.1 纯度和存储稳定性

金属离子，特别是钠、铁、钾、镁、锰、铜和铬，会影响最后IC器件的电学性能。在先进的光刻胶应用时，对每种金属典型的含量要求<10ppb，它由原子吸收谱仪(AAS)，或电感耦合等离子光学发射谱仪(ICP-OES)，或质谱仪(ICP-MS)控制。这些专门要求对光刻胶制造商提出了新的挑战.所有化学药品必须通过非金属材料(包括所用设备)合成。在光刻胶溶液中的颗粒将会造成缺陷，降低器件成品率，并增加返修消耗。它们可以通过细孔尺寸小于0.2μm的微过滤器去除掉。

• p.191 •

光刻胶的化学稳定性是其保持质量和重复使用的先决条件。不稳定性通过慢的暗反应而发生，它在较长的存储后会产生严重的性能变化，或者形成颗粒和凝胶。胶的寿命从它的组成成分在生产设施上混合时开始计算。运输和存储过程需要溶液的稳定性至少保持6个月以上。大多数光刻胶对光和热敏感，依据溶剂性质也对湿气吸收敏感。放置条件不合适是放置寿命短的明显原因。粘度计、凝胶渗透色谱仪、UV吸收和Fourier红外传输谱仪为光刻胶质量和放置寿命控制提供支持。

4.3.1.2 光刻胶涂覆

在光刻胶涂覆前，硅片要经过热处理以去除湿气，并且经粘附增强剂处理(White，1986)，然后用光刻胶溶液旋转涂覆。在一个高温的热板上，溶剂挥发掉，根据光刻胶的粘度和所选择的旋转速度(图4-14)，光刻胶固化为十分均匀的膜厚(FT)为1—2μm的膜。

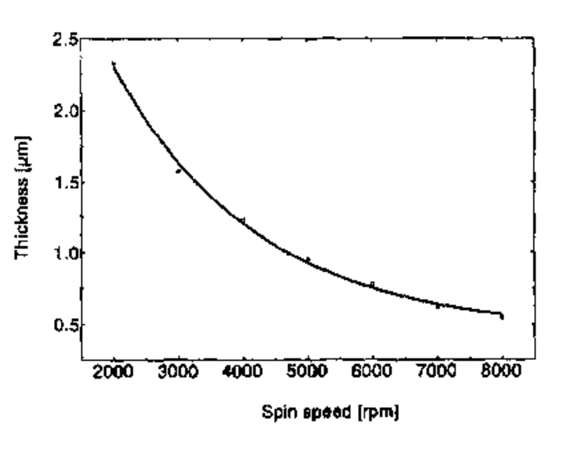
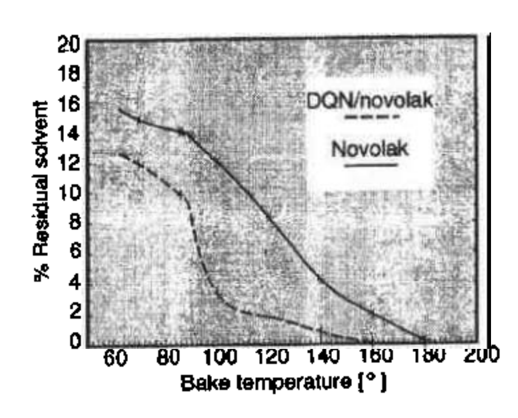


图4-14 光刻胶厚度与旋转速度的关系

当光刻胶必须覆盖一个已存在器件的表面时，FT变化是一个麻烦的问题(White，1986)。因为残余的溶剂和成分会影响光刻性能，因而前烘是一个重要步聚(图4-15)(Paniez等，1990；Beauchemin等，1994；Rao等，1994)。典型的前烘条件是：热板温度为80—140℃，时间为1—2min(Yoon等，1989)。最佳温度由光刻胶的热稳定性和溶剂蒸发的物理性能决定。

• p.192 •

大量衬底材料，例如硅、二氧化硅、砷化镓、铌酸锂或氧化铝等，用于半导体生产。为了避免去湿、分辨率损失、侧向腐蚀，或处理过程中整个图形的变形，光刻胶和衬底之间的合适粘附是十分重要的(Kawai等，1991)。粘附可通过使用增粘剂面增强，例如气相的三甲基甲硅烷二乙基胺[trimethylsilyldiethelamine(TMSDEA)]、六甲基环三硅氧烷[hexam-



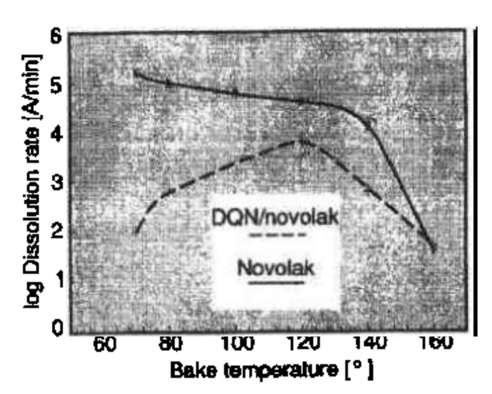


图 4-15　剩余溶剂二甘醇二甲醚(左)和溶解率(右)与前烘温度的函数关系(30min 空气炉中干燥过的材料)

ethyl-cyclotrisilazane(HMCTS)],或六甲基二硅氧烷[hexamethyldisilazane(HMDS)](Michielsen 等,1990)。

这些反应剂在碱性催化反应中,转移衬底表面的自由羟基组进入甲硅烷醚,调节衬底对光刻胶层的表面能量。这个称为“打底子”处理的详细理论已由 Moreau(1988)给出。接触角、表面覆盖程度(由 SIMS 测量)和粘附质量之间的关系已由 Michielsen 等研究(1990)。接触角为 60°—85°,相应于表面覆盖 46%—75%时,既不会导致粘附失效也不会产生去湿。

4.3.2　光刻胶曝光与显影

4.3.2.1　特性曲线与驻波效应

达到满意的产量、高灵敏度、高反差和显影工艺的均匀性是对现代光刻胶的基本要求。灵敏度定义为:形成实用的光刻图像所需要的入射辐照能量密度。它决定于各种工艺参数,例如光刻胶厚度、辐照源输出光谱,或显影剂的种类和浓度。膜厚度(FT)对入射曝光剂量的以 10 为底的对数的关系图称为特性或反差曲线(图 4-16)。它给出关于灵敏度的信息,例如在正胶情况下清除剂量 D_p^o,即图 4-16 上曲线与 x 轴的交点。为得到光刻有用并无残余物的图形,剂量需要高于它两倍多。

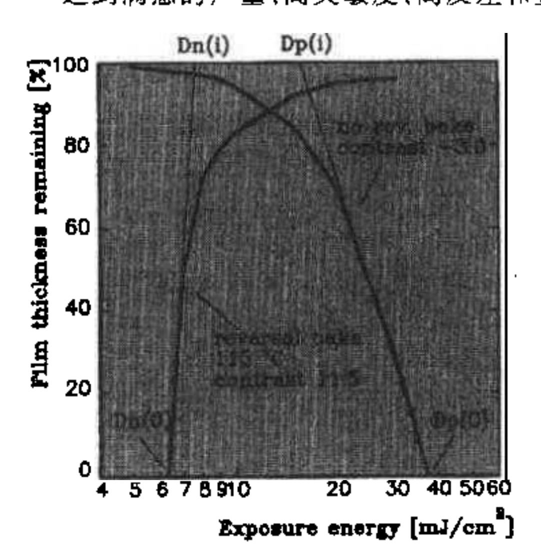


图 4-16　AZ5214 胶用于正性工艺处理(无反转烘烤)和负性工艺处理(有反转烘烤)的特性曲线

光刻胶反差,γ,通常定义为胶膜厚度随曝光剂量对数的变化,在正胶时以式(4-5)定义,对于负胶用式(4-6):

$$\gamma_{pos} = FT_i/(\log D_p^o - \log D_p^i) \quad (4\text{-}5)$$

$$\gamma_{neg} = FT_i/(\log D_n^i - \log D_n^o) \quad (4\text{-}6)$$

此处 FT_1 说明初始膜厚，以 μm 为单位，而 $D_p^0, D_p^1, D_n^1, D_n^0$ 是在图 4-16 中定义的。

• p. 193 •

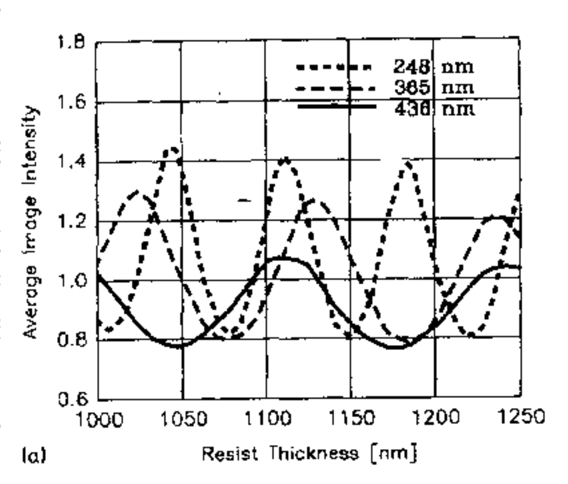
通常，规一化的反差 γ/FT_1 作为光刻胶性能的一个估量(Soane 和 Martynenko，1989)。高反差光刻胶要有一个一定的域值剂量以改变它的溶解性能，同时对远离所需图像区的低水平辐照并不反应，这样就改进了分辨能力和纵横尺寸比(Spragg 等，1991)。标准公式表述的 γ/FT_1 典型值小于 3，而现代的高反差材料可以超过 4。

高反差值对应高光学透明度，即对于整个光刻胶层截面均匀曝光，其不变色吸收应小于 0.25μm^{-1}。严重的反射和干涉效应导致在高反射衬底整个表面上差的尺寸控制(Lamola 等，1991)。在这些效应中，薄膜干涉是 DUV 光刻的特殊问题，这可由振荡曲线表明，光刻胶/衬底交界面处的图像强度强烈地取决于光刻胶厚度，如图 4-17 中计算数据所示(Hom，1991；Brunner，1991)。

这个效应造成重大的开路点剂量变化和恶化的工艺控制，在 248nm 时比 436nm 辐照更明显，这可以从图 4-17 上最大-最小的变化看出。Brunner(1991)指出摆动比 S 可由式(4-7)描述：

$$S = 4R_1R_2e^{-\alpha}FT \tag{4-7}$$

此处 R_1 是光刻胶/空气交界面的反射率，R_2 是光刻胶/衬底交界面的反射率，α 是光刻胶的吸收率，FT 是光刻胶厚度。



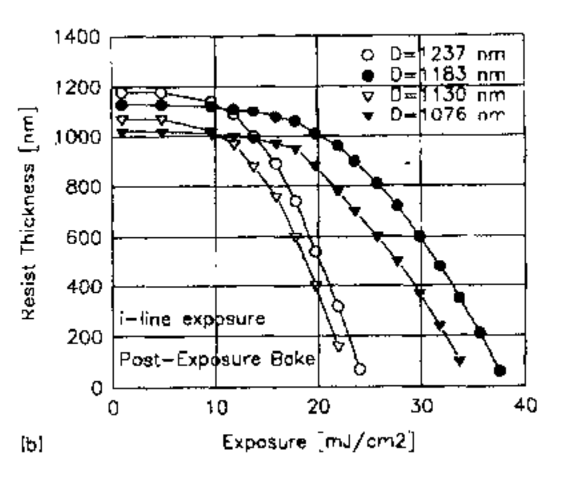


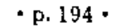
图 4-17

上面：436，365 和 248nm 辐照，假定硅上光刻胶吸收率为 0.33μm^{-1}时，在光刻胶/衬底交界面处平均图像强度与光刻胶厚度的关系。

底下：对于四种光刻胶厚度 D，一种 i 线光刻胶(Macdermid)1024 的 Prolish 特性曲线。在光刻胶厚度为 1/4 波长时观察到明显的剂量变化(复制自 Brunner，1991)

4.3.2.2 工艺容差范围

光刻的有效剂量定义为它的等距复印透明和不透明特征图形的能力，它们通常在掩膜版上是等距的，或用不同尺寸的图形以 1∶1 复制，如图 4-18 画出的标准 i 线光刻胶的情况。曝光剂量通常以曝光时间表示，它常常是生产环境下的控制变量。所示的 250ms 值相应于灵敏度为 150mJ/cm^2，这是现在所用光刻胶典型和可接受的光刻胶灵敏度。所测到的胶的结构转移能力称为线性度。



线性破坏点是胶的实际分辨率的度量。它的最终分辨率会更好一些，但是需要的剂量并不是达到不同特征尺寸精确复制的剂量。得到线宽变化 10%以内的正确掩膜版复制的

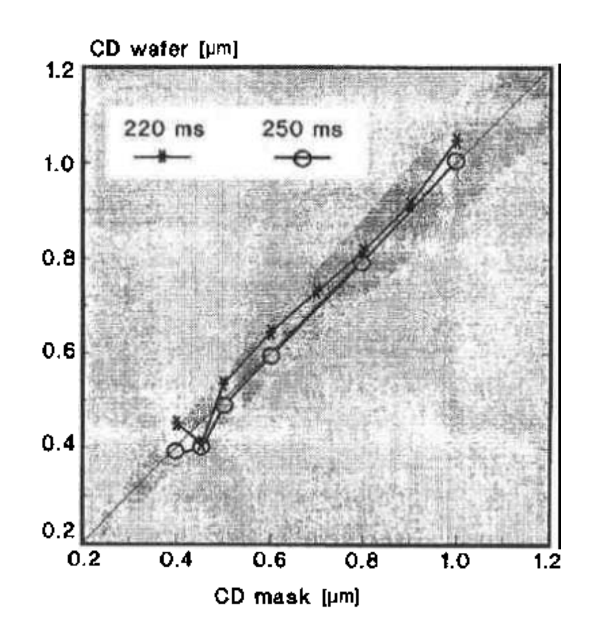


图 4-18 标准 i 线正性光刻胶的线性度

曝光剂量范围称为曝光容差范围。对于图 4-18 的光刻胶，对 0.45μm 结构，发现允许的曝光剂量偏差为 20%。另一个工艺确定的参数是实际聚焦深度范围（*DOF*），即与完美聚焦偏离的允许范围。图 4-19 显示了对于 0.45μm 结构特征尺寸变化与不同聚焦设置的函数关系。在最佳剂量时所选材料的 *DOF* 好于 2.0μm，当使用无专门平面化的单层光刻胶时，最小范围考虑为 1.5μm。

光刻胶的工艺窗口是在曝光剂量/散焦图中的一个区域，在此范围内，正确的临界尺寸可从掩膜版复制。关于光刻窗口问题，不同的照明技术和光刻胶处理工艺已由 Van den Hove 和 Ronse（1994）就 0.25μm 技术作了比较。

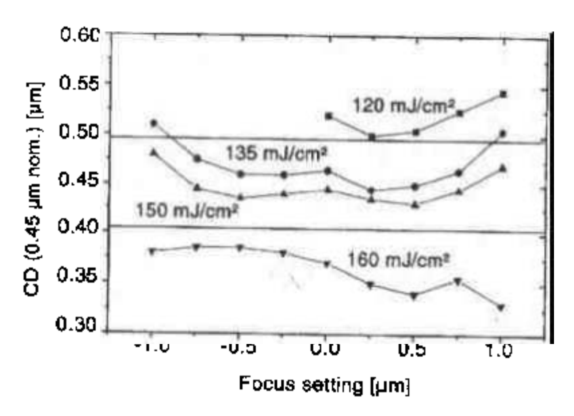


图 4-19 标准 i 线正性光刻胶的聚焦容差范围

在曝光之后显影之前，标准的 NUV 胶通常要进行曝光后烘烤（PEB），通过薄膜固化提高热稳定性，同时改进由于扩散现象造成的工艺容差问题和驻波造成的毛边现象（Norbury 和 Love，1991；Yanagishita 等，1990）。

4.3.2.3 溶解率和显影方法

显影把潜在的光刻胶图形转变为最后的三维立体图像，对于光刻胶性能是十分重要的一步。最重要的是曝光和未曝光区域之间溶解率的比例（*DR*）（Cowie，1994，和图 4-20）。正胶在辐照过与未辐照区域都是可溶解的（动态显影控制），而负性交联光刻胶的曝光区域是完全不溶解的（热动力显影控制）。商用正胶有大于 1000 的 *DR* 比，在曝光区域溶解速度为 3000nm/min，在未曝光区域仅为几 nm/min（暗腐蚀）。光刻胶的 *DR* 可在显影时用反射率指示现场测量（Thomson，1990）。

• p. 195 •

显影剂类型和显影方法的选择都会影响分辨率、图像形状和暗腐蚀。溶剂为基础的显影液，如二甲苯（xylene），或甲氧基苯（anisole）的使用正在减少，因为它们可能产生光刻胶的膨胀、严重的环境沾污和废料处理问题。因此金属离子自由（MIF）的显影液，它是包含四甲基铵氢氧化合物[tetramethylammonium hydroxide（TMAH）]，或类似胺（amines）为基的缓冲水溶液，已经比溶剂型显影液得到偏爱。除了 TMAH 外，它们还包含称为 scum 的湿润剂，用于减少显影时间和称为浮渣的表面残余物（Shimada 等，1993）。可以买到大

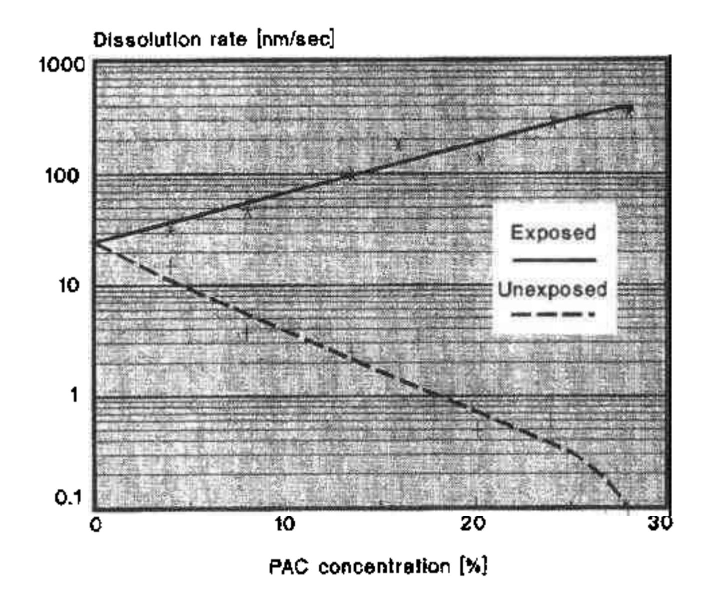


图 4-20　未曝光与全曝光 DQN-酚醛树脂光刻胶的 *DR*。
DR 比例定义为：DR_{exp}/DR_{unexp}（数据来自 Meyerhofer，1980）

量具有不同碱性强度的处方。它们的放置时间是有限的，因为会从空气中吸收二氧化碳而逐渐中和。

现代的光刻胶以它们的显影容差为表征，即在确定的线宽损失条件下显影时间可允许的变化。喷雾、搅拌和浸泡等显影方法现在都在使用。前两种方法给出较好的工艺重复性，并满足在线处理和自动化的要求。一般说，显影是一个时间控制工艺。当使用终点检测法（Thomson，1990）时，可以得到更好的工艺容差范围。显影剂已被优化用于室温处理（23℃），因为图形的锐度随温度的增加而降低。

4.3.3　图形检查和光刻胶剖面模拟

在衬底腐蚀之前，光刻产生的图形通常要进行关于留膜厚度、线宽和缺陷密度的检查。光刻胶厚度可用光学方法或应用形貌仪的机械方法测量。图形的无损检查可用习惯的光学显微镜、数字激光显微镜（Worster 和 Politzer，1993）、扫描原子力显微镜（AFM）（Toledo-Crow 等，1993），或低压扫描电子显微镜（SEM）（Allen 等，1993b）。由颗粒产生的缺陷可通过电学短路电路测量或在专门测试图形上的线条中断而检测到。

・p. 196・

已经发展了几种模拟光刻胶光刻性能的计算机程序。它们是有用的工具，可用于：设计、表征、预测性能，和包括重氮萘醌（diazonaphthoquinone）和化学放大光刻胶，或顶表面成像工艺等光刻工艺的优化（Hartly，1994）。像 SAMPLE（Toh 等，1991b）和 PROLITH（Mack 和 Connors，1992）之类的模拟器作为最流行的程序对于光刻社团有很大价值，并且可以进行实验与理论图像特性的比较（Trefonas 和 Mack，1991）。PROLITH 计算表明，对于部分相干的曝光系统，正胶和负胶的工艺容差有基本差别。光刻成像与色调的依赖关系导致一个重要的结论：对于任一图形，都存在一个最佳光刻胶色调。现在它已被广泛认可，例如当用正胶成像时，接触孔就有较大的聚焦深度（Mack 和 Connors，1992）。CARPS

程序是一个可能优化光刻胶组成的模拟器(Ushirogouchi 等,1990)。有兴趣的读者可以参考一篇评论文章(Neureuther 和 Oldham,1995;Hartney,1994)。

4.3.4 腐蚀和胶剥离

光刻胶固化 程序增强了薄膜与衬底之间的粘附,并改善了对湿法和干法刻蚀工艺的阻抗能力。它可以通过应用后烘(硬烘烤)而达到,此时成形的光刻胶图像承受强迫的热处理以去除残余的溶剂,并可交联光刻胶(White,1986)。最佳温度选择是严格的,因为光刻胶流动和硬化是矛盾的工艺处理。硬化也可通过 DUV 光照,结合曝光时增加温度梯度而达到(深 UV 处理)(Vollmann 和 Pawlowski,1988)。当忽略热流时,光刻胶硬化交联光刻胶表面。它也许会严重地阻碍最后的薄膜去除。

腐蚀:光刻胶的主要功能是在整个区域进行化学和机械处理工艺时,保护光刻胶下衬底部分(Thompson 等,1983)。这包括衬底表面的湿法腐蚀,即二氧化硅表面的缓冲氢氟酸腐蚀。其它的衬底需要用别的湿法腐蚀剂,例如带硝酸、醋酸或磷酸的氢氟酸,硝酸高铈铵-硝酸,或碱性高锰酸钾溶液。湿法腐蚀在本质上是各向同性的,会导致侧向腐蚀现象,特别是在光刻胶粘附不好的时候(图 4-21)。许多腐蚀化学药品要破坏和浸蚀光刻胶图像。湿法工艺是简单、低价和高产量的(Murray,1986)。

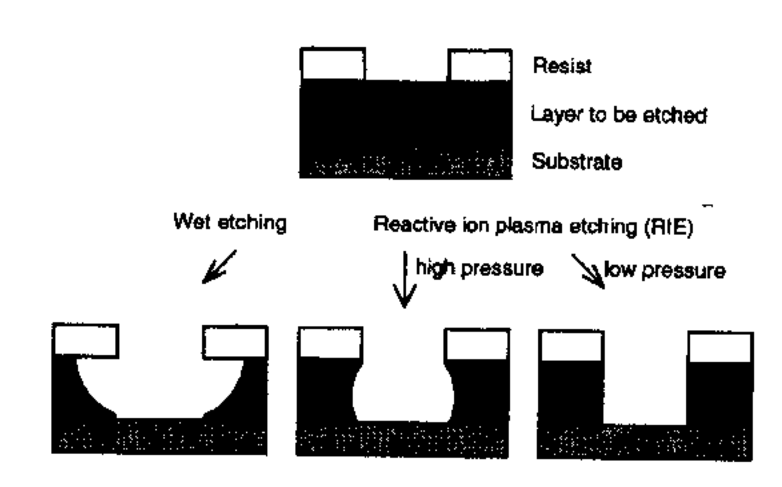


图 4-21 不同腐蚀工艺的结果:(左面)湿法腐蚀(高各向同性)、(中间)干法刻蚀(方向性)和(右面)干法刻蚀(高方向性)

干法刻蚀包括反应离子刻蚀(RIE)、溅射刻蚀或离子铣(Thompson 等,1983),已经得到更大的注意用于图形形成和剥离(Flamm,1992)。这些工艺可以各向异性地进行(图 4-18),但是它们是很复杂的工艺过程,也许会造成高的辐射流和湿度升高。它们要求光刻胶有高的化学阻抗能力和尺寸稳定性。经验表明,有机光刻胶的化学稳定性随着芳香烃成分总量的增加而增加。今天干法刻蚀的主要问题是形成颗粒(Petrucci 和 Steinbrüchel,1990)或来自反应器环境的金属离子造成的器件沾污(Joubert 等,1989)。各种干法刻蚀的详细内容在文献中给出(Moreau 等,1988;Soane 和 Martynenko,1989)。

• p. 197 •

其它高真空工艺是辅助工艺,像离子注入或溅射金属化。因为离子注入需要很高的真空,光刻胶要经 DUV 硬化处理,以避免挥发性物质的产生。金属化通常用真空淀积方法,

例如蒸发或溅射，使用这些方法把整个器件表面金属化。同样，这必须有很高的真空度，光刻胶要能承受金属淀积而不造成它在溶剂中的溶解度有重大改变，这种性能对于金属剥离技术(lift-off)是重要的(图 4-22)。

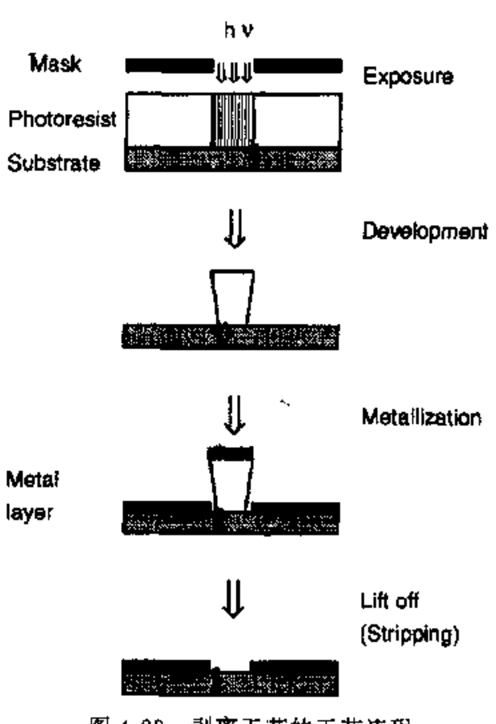


图 4-22 剥离工艺的工艺流程

• p. 198 •

剥离：只有高温稳定的光刻胶，例如光敏感聚酰亚胺，可以作为中间介质或缓冲涂覆而保留在器件上(Ahne 等，1992)。在上述工艺完成后，标准光刻胶全部被去除。为避免对被处理表面的任何损伤，应当使用低温下温和的化学方法。溶解剩余光刻胶的剥离溶剂包括：例如乙二醇醚(glycol ethers)、三氯甲烷[trichloromethane (Soane 和 Martynenko, 1989)]、乙醇胺(ethanol amine)、二甲基氧化硫(dimethylsulfoxide)或 *N*-甲基-2-吡咯烷(*N*-methyl-2-pyrrolidne)。超声波的应用可以增强剥离效能。难以去除的热交联材料通过 Caro 酸氧化而被化学分解。因为有腐蚀问题，一些已知的剥离剂不能用于铝表面(Pai 等，1991)；在此种情况下，臭氧或氧等离子体(灰化)是首先采用的。这些等离子体同样成功地作为非铝表面的光刻胶剥离剂，但是器件表面的损坏仍是要解决的问题(Flamm，1992)。

4.4 光 刻 胶

4.4.1 光刻胶化学作用原理

正性与负性光刻胶的使用是主要用于 IC 工业的光刻工艺的关键要素。负胶用于比较粗糙的结构，而正胶主要应用于高档器件的生产。长时间以来，人们相信负胶受限于其分辨能力。然而，一些新的负色调材料复印亚微米图形具有与正胶相似的精度。

光刻胶化学作用是按照辐照引入的溶解度变化原理而分类的：交联(光聚合)、极性改变或聚合物离解。很明显，光刻胶的性能强烈地受不同组成的性质和它们的相对浓度的影响。形成薄膜的聚合物影响光刻胶的热稳定性和溶解性能，而对所加辐照的灵敏度主要由光敏成分光化学反应的量子产额决定。两种情况是有区别的：(1)单光子过程，一个光子仅改变一个化学组分的溶解性能，(2)化学放大过程，一个光子触发许多化学反应，它们能改变光刻胶的溶解度。很明显，在情况(2)时，光刻胶的灵敏度与(1)相比有很大的增强。

4.4.2 负性胶

4.4.2.1 通过叠氮化合物的光交联

以作为光敏化合物(PAC)的双功能叠氮基派生物和反应聚合剂为基础的二组分交联

系统，已在印刷板和光刻胶工业上找到广泛应用。用于电子工业的第一个产品是在 1954 年引入的 Kodak 薄膜抗蚀剂(KTFR)，它成为刻出小至 2μm 分辨率结构的半导体制造的主力(Thompson 等，1983)。尽管这样的系统有大的 *DR* 比例，它们的分辨能力受到溶剂为基显影所产生的膨胀的限制。

• p. 199 •

受辐照时，叠氮基组分离出分子氮，产生高反应能力的单一态(S1)和三重态(T1)氮烯(nitrene)，它可以聚合[偶氮染料结构(T1，S1)]，加到双键[氮丙啶结构(aziridine formation)，T1]上，形成原子团(T1)，或插入碳氢键(主要产物是形成的二次胺，S1)(图 4-23)(Reiser，1989)。氮烯与大气中存在的氧反应，形成高吸收能力的亚硝基化合物，使图像质量变坏。

$$R-N_3 \xrightarrow{hv} R-\dot{N}\cdot + N_2$$

a) $R-\dot{N}\cdot + \cdot\dot{N}-R \longrightarrow R-N=N-R$

b) $R-\dot{N}\cdot + H-\overset{|}{\underset{|}{C}}- \longrightarrow R-NH-\overset{|}{\underset{|}{C}}-$

c) $R-\dot{N}\cdot + H-\overset{|}{\underset{|}{C}}- \longrightarrow R-\dot{N}H + \cdot\overset{|}{\underset{|}{C}}-$

d) $R-\dot{N}\cdot + >C=C< \longrightarrow R-N\!\!<$

e) $R-\dot{N}\cdot + O_2 \longrightarrow R-N=O$ + other products

图 4-23　叠氮化合物的光反应

典型使用的双功能叠氮基化合物称为 4-烷基-2，5-双(*p*-叠氮亚甲基苯)环己酮(ABC，灵敏度范围为 340—420nm)，或双(*p*-叠氮基肉桂酸酯)环己酮(灵敏度为 365—480nm)(Thompson 等，1983)。在建议作为粘结剂的聚合物粘合剂中，树酯胶，聚-[顺-异戊二烯(*cis*-isoprene)]成为大规模集成(LSI)微细光刻最常使用的聚合物(Reiser，1989)。剥离光交联异戊二烯光刻胶有时会有麻烦，需要专门的去胶剂。现在，Rutter 等(1992)已采用双功能叠氮化合物，以引入光反应性到高温下稳定的苯环乙烷、BCB、预-聚合物中，由于它具有高的热稳定性(>250℃)和很低的介电常量，可以作为多层互连的层间介质。

酚醛树脂或聚羟基苯乙烯[PHS(polyhydroxystyrene)]与新的单功能叠氮化合物结合，例如 4-叠氮苯丙烯酰苯(4-azidochalcone)的派生物(Reiser，1989)，产生对 i 线(365nm，13mJ/cm²)或 g 线(436nm，55mJ/cm²)辐照有高灵敏的光刻胶。碱性显影剂可以刻出亚微米范围的结构，而不产生胶的膨胀(Bendig 和 Gruetzner，1990)。它们好的光刻性能已在世界范围被接受(Kawai 等，1989；Nonogaki 和 Toriumi，1990)。

4.4.2.2 自由原子团促发的聚合化

以丙烯酸酯(methacrylate)为基的光聚合反应是大多数干膜光刻胶、印刷电路版制造时的焊接掩膜版和高温稳定光刻胶(例如光灵敏的聚酰亚胺或它们的初始化合物)的基础,后者被用作介质中间层或IC工业上的缓冲涂覆(Ahne等,1992)。对光刻有用的组分包括光促发剂(PI)、粘结树脂(例如带丙烯酸酯侧组分的聚合物)和可选择的多种功能单体。

·p.200·

吸收辐照后,PI成为电子激发态并产生分裂原子团,它加入并促发不饱和单体的聚合(引发)。产生的中间原子团进一步加入未反应的单体,造成分子的长大(繁殖)。这个过程被原子团的复合、链转移或氧的抑制而中断(终止)。已知氧的作用是作为激发促发剂的抑制剂和通过形成低反应性的过氧化原子团成为自由原子团的陷阱。光聚合过程的化学与物理原理(图4-24)在别处已作详细讨论(Rabek,1987;Fouassier,1989)。

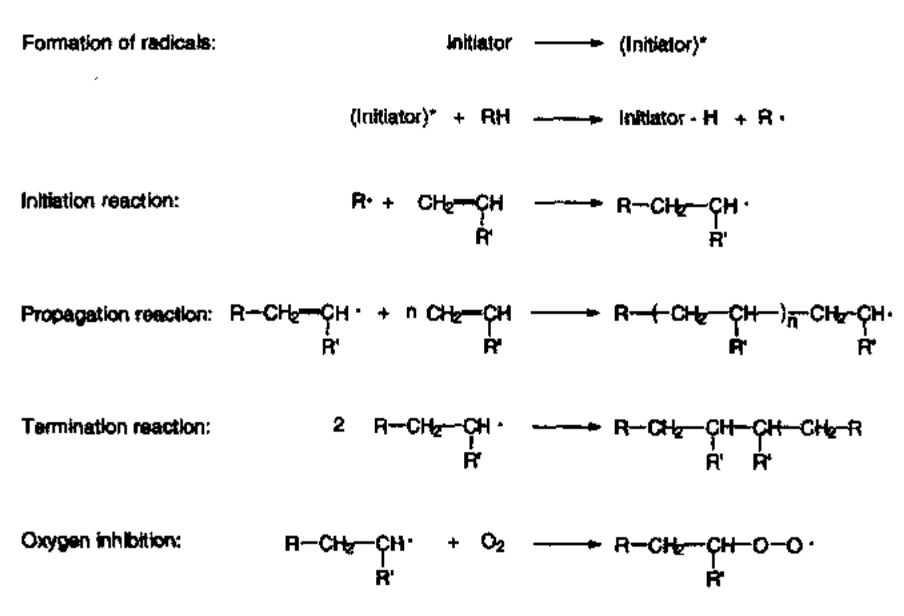


图4-24 光聚合过程的简单原理

与许多其它光成像工艺相比,建立在光聚合基础上的系统有明显高的光反应速度,这是由于化学放大机理。尽管初始的量子产额(每吸收一个光子产生的原子团)通常小于1(Reiser,1989),但是,一个吸收的光子可以促发数千个单体的聚合。Shimizu(1988)报告一个光聚合光刻胶的灵敏度极限为$13\mu J/cm^2$。灵敏度和光刻胶的其它参数主要由聚合物的结构决定(Maerow,1986)。

大多数基于分子重量增加的负性工作化合物,其已曝光而不溶解的光聚合膜区域在溶剂显影过程中趋向膨胀,这样的化学性能明显不能用于亚微米微电子器件。对高温稳定光刻胶的分辨率要求是不严格的($>5\mu m$),并且市场上大多数材料(Phoneece UR 5100 Toray, Pimel G-7610/Asahi chemical, XB7020/OCG, Pyralin 2732/Du pont 和 Ultradel 7501/Amoco)以有附加光可聚合丙烯酸酯侧链组分的聚酰亚胺(预-)聚合物为基础。曝光和有机溶剂显影后,在随后温度高于300℃的处理时,这些侧链组从聚合物上释放,最后

形成了高温稳定(一般不可溶解)的聚酰亚胺(Ahne 等。1992)。

• p. 201 •

大多数光促发剂(PI)可由它们的反应机理分为两类:分子内部键分裂为原子团 P˙和 I˙,称为光分裂,或是从氢施主 RH 分子间的 H-提取,称为共促发剂,形成 PIH˙和 R˙。促发剂的前一种形式称为 PI1,因为原子团形成是在一个单分子过程中,后者为 PI2,因为涉及两个分子。两种类型的例子和它们的分解机理已被详细评论(Reiser,1989;Rabek,1987;Vesley,1986;Timple 和 Baumann,1988)。

PI1 化合物主要通过 Norrish 型 I 分裂而形成自由原子团(图 4-25)。作为一个例子,

Benzoinether

Benzildiketal

Dialkoxyacetophenone

图 4-25 二苯乙醇酮醚、苯偶酰双缩酮和双烷氧基乙酰酚派生物的 Norrish Ⅰ型分裂

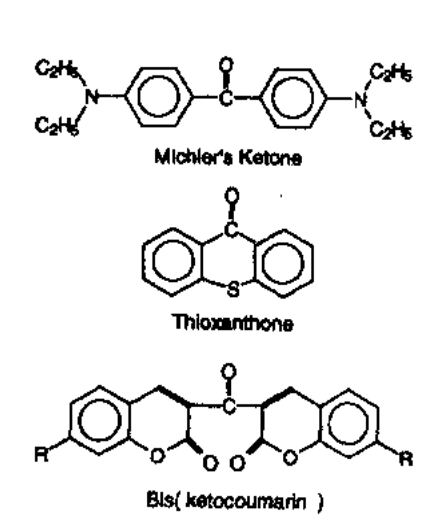


图 4-26 某些 Norrish Ⅰ型光促发剂的化学结构

二苯乙醇酮烷基醚(benzoin alkyl ethers)在 330nm 显示一个弱吸收带,分解为苯酰(benzoyl)和二苄醚(benzylether),两者都参加促发反应。二苯乙醇酮烷基醚的主要侧链反应是聚合,H-分离和链端接。

PI2 型光促发剂包括二苯甲酮(benzophenone) Michler 酮、硫氧杂蒽酮[thioxanthones(Quantacure ITX,Lucirin 8513)]、苯偶酰(benzil)、苯醌(quinone)派生物和 3-酮基氧杂萘邻酮(3-ketocoumarins)(图 4-26)(Reiser,1989)。这些化合物从 H-施主抽取氢,典型的是带可抽取 α-H 原子的叔胺(tertiary amines),如三乙基胺(triethyl amine)、*N*-甲基二乙醇胺(*N*-methyldiethanol amine)或 4-二甲基氨基苯甲醛(4-dimethylamino benzaldehyde)。中间产物分解为 α 氨基原子团,起促发剂作用,而羰游基原子团

并不对此过程起作用。PI2 系统的氧灵敏度好于 PI1 型促发剂，因为胺与未激发的含过量过氧化氢原子团作用产生活泼的 α-氨基原子团。

4.4.2.3 酸催化交联

阳离子促发聚合

· p. 202 ·

除了原子团外，阴离子和阳离子有能力引起光聚合反应(Reiser，1989)。光促发阴离子聚合具有一些优点：(1)具有独特性能的新单体可以聚合，(2)碳阴离子的复合被排除，导致高的聚合程度，(3)对氧的不灵敏性。一些限制阻碍了它的商业性突破：(1)很少几种促发剂可买到，(2)对由亲质子杂质，例如碱和湿气引起的终止反应灵敏，或(3)对链转移过程灵敏(Timple 和 Baumann，1988)。聚合过程，在图 4-27 上用一个环氧化合物为例说明，由光产生的 Lewis 酸(BF_3)激发，这种酸加到带有开环和碳阳离子结构的环氧乙烷中。它与新的环氧化合物的反应进行很快。在此变形环打开过程中产生的能量，帮助加成物快速繁殖。

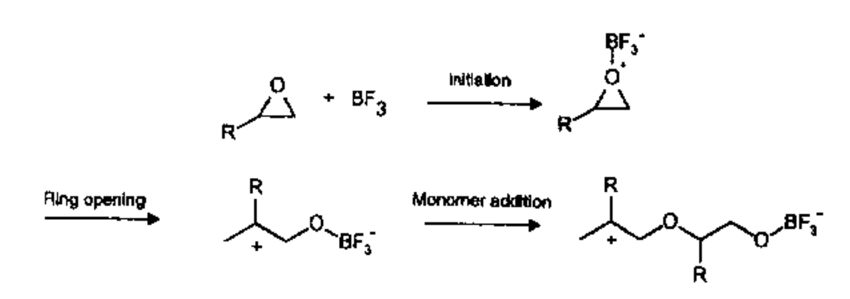


图 4-27 Lewis 酸引起的阳离子光聚合反应机理

几种以阳离子可聚合材料为基础的负性光刻胶已由 Crivello 等(1988)、Ito 和 Wilson (1984)和近来由 Hatzakis 等(1991)描述。他们采用了可买到的环氧树脂(例如 Epi-Rez SU-8，Quatrex 环氧树脂)与三芳基锍盐用于 DUV 和电子束光刻胶。一种优化的材料(EPTR)在电子束剂量<0.5μ C/cm²、光刻胶厚度为 0.8μm 时，能够分辨 0.1μm 特征尺寸(Chiong，1990；Hatzakis 等，1991)。Zeng 等(1989)描述了类似方法，采用替代的乙烯咔唑(vinylcarbazole)和乙基缩水甘油反丁烯二酸酯(ethyl glycidyl fumarate)的共聚化合物。反差近似为 4，咔唑单元为聚合物提供适合的抗腐蚀能力。

酸硬化光刻胶

· p. 203 ·

以对酸灵敏的初始产物的热催化交联反应为基础的酸硬化光刻胶(AHR)，在反差、灵敏度和稳定性方面有重大进展(Lamola 等，1991)。商业销售的 AHR 包括三种成分：碱可溶解的粘合树脂，例如酚醛树脂或 PHS 派生物；光酸产生剂(PAG)；对酸活泼的胶交联剂。AHR 系统有很好的优化潜力。通过明智选择 PGA，这些材料可以调整到全面满足近 UV (Barra 等，1991)，DUV(Pawlowski 等，1990a)，电子束(Liu 等，1988)，或 X 射线光刻(Padmanaban 等，1992)。AHR 系统的工艺流程和有关的化学原理概括于图 4-28。

曝光时，促发剂被激活并释放出强的 Brϕnsted 酸，而交联剂则保持不变。在随后的烘烤步骤中，酸引起交联反应的激活势垒被超过，导致网络形成和 DR 降低(Thackeray 等，

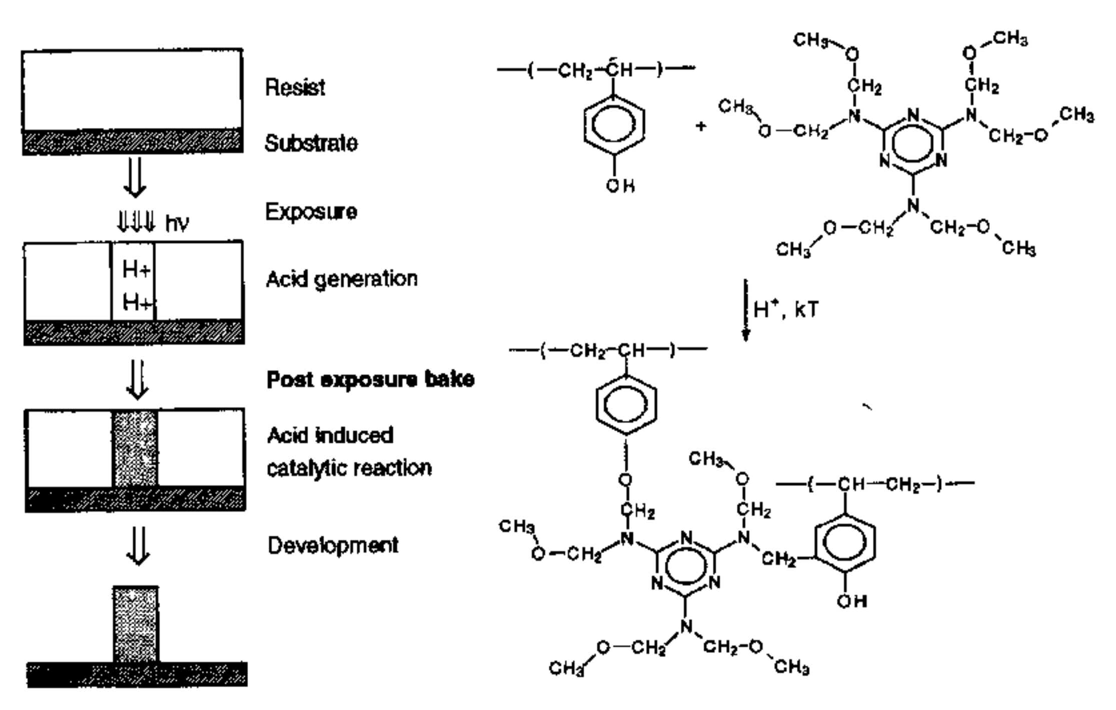


图 4-28　三组分 AHR 负胶的工艺流程和化学反应

1991)。与标准光刻胶工艺比较,曝光后烘烤(PEB)是唯一附加的可变工序。它对光刻胶性能有重大影响(Fukuda 和 Okazaki,1990;Azuma 等,1993)。在交联反应中,重复产生酸,因而一个吸收光子可以引起一连串交联的发生,形成化学放大现象(CA),这是观察到化学放大光刻(CAR)胶系统具有高感光速度的原因。实际上存在着几种损失酸的途径,因而控制酸的消耗是产生精确图像的首要需要。已经提出,PEB 会引起酸催化剂的热激发扩散,限制了 AHR 的溶解。Perkins 等(1993)已从 PEB 时间(110℃)和扫描隧道显微镜在 AHR 中产生的特征尺寸间的关系,推出酸扩散系数的上限为 0.3nm^2/s。这个数值小于先前的报告,说明酸的扩散对线宽的影响较小。

• p. 204 •

典型的交联剂,六甲氧基甲基三聚氰铵[hexamethoxymethyl melamine(HMMM)],在酸催化作用下随着甲醇的损失形成一个碳阳离子,它或直接与聚合物富有电子的芳香烃环起作用,或形成烷基-芳基醚键。已提出,经曝光光刻胶的 DR 的减小是由于酚醛组分的消耗和交联产生的分子量增加(Thackeray 等,1991)。除了多功能的三聚氰铵醚、三聚氰铵醇或醋酸酯外,双或多功能苯基甲醇(benzyl-alcohol),-醚,或-酯(Spak 等,1990)和乙二醇阻断的苯甲醛(benzaldehydes)派生物(Schaedeli 等,1993)也可应用(图 4-29)。与其它已知的 CAR 不同,AHR 并不承受由于曝光和 PEB 之间延迟时间不同而造成的灵敏度或线宽变化,即使 24 小时后,对 0.5μm 图像也看不到影响(Pierrat 等,1990;Roeschert 等,1992;Conley 等,1993)。

近几年来,Shipley,Hoechst 和 Tokyo Ohka 已经开发了建立在 AHR 化学原理基础上的 i 线和 DUV 灵敏材料。i 线 AHR 材料全部以酚醛树脂作为填料树脂,但使用不同的交联剂和 PAG。使用传统的曝光工具,它们的分辨率在 0.4μm 范围,聚焦容差范围为 1.5μm(Amblard 和 Weill,1993;Linehan 等,1994)。线性酚醛树脂(cresol novolak resins)在

2,6-Dihydroxymethyl-4-methylphenol　Hexamethoxymethyl melamine (HMMM)

1,3,5-Triacetoxymethyl benzene

4,4'-Dimethoxymethyl diphenyl ether

图 4-29　用于 AHR 化学反应的交联剂的化学结构

薄膜形成性质和各种稳定性方面是优良的，但是对于 DUV 曝光，它们不能满足透明的要求。立方聚烃基苯乙烯(PHS；在 248nm 下光密度<0.2μm)能很好适应这些性能。它变成了用于 DUV 光刻胶的标准聚合物(图 4-30)。Megaposit SNR 248，XP-90236(Shipley)，AZ DN41(Hoechest)，NFR 700 系列(JSR)和实验性光刻胶 NEX-2(Tokyo Ohka)设计用于 248nm 光刻。

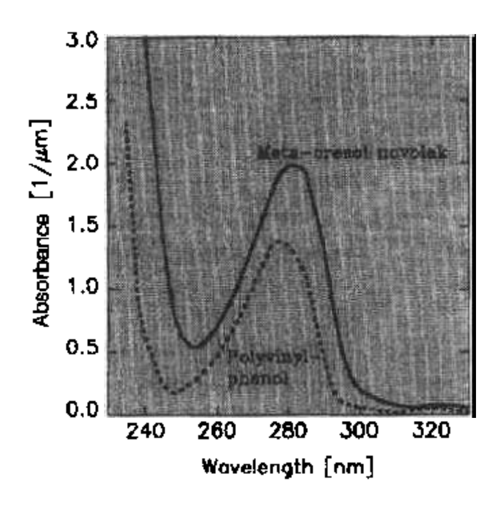


图 4-30　酚醛树脂和 PHS 的 UV 谱

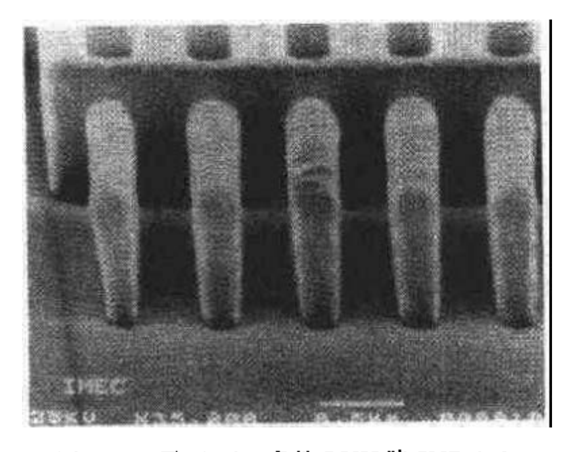


图 4-31　用 Shipley 负性 DUV 胶 SNR 248 制成的 0.3μm 线条的SEM图(蒙 IMEC，Leuven，Belgium 允许复制)

• p. 205 •

相信 SNR 248 包含部分氢化 PHS、HMMM 交联剂和未透露的 PAG(Das 等，1990)。它显示了近似于 6 的高反差(图 4-31)、对 0.4μm 结构的 2μm 聚焦容差和高感光速度

(20mJ/cm²)(Das 等,1990)。Conley 等(1993)报告了一种使用传统铬版,其线性图像小至 0.25μm 的可与它相比较的材料。AZ DN21 包含高透明的 PHS 型共聚物,用 0.42NA 的分步重复相机,可分辨小至 0.3μm 的线条和间隔(Roeschert 等,1992)。

Fréchet 等(1991)研究了双组分酸硬化系统,它以带 4-乙酰氧基甲基苯乙烯(4-acetoxymethylstyrene)的 4-羟基苯乙烯,或 4-(3-呋喃基-3-羟丙基)-苯乙烯,或 4-(1-羟基-1-甲基乙基)-苯乙烯(Yoshida 和 Frechet,1994)和某些作为 PAG 的锍盐为基础。由于曝光,光生酸分解苯基醋酸酯产生碳阳离子苯基中间产物,在重复生成酸的条件下,它与羟基苯乙烯的一部分反应(图 4-32)。用 DUV 剂量 2 mJ/cm² 和碱性显影,这种材料生产高反差(g>14)的负性图像。利用光敏基剂和热活泼的酸初始化合物,它可产生正性图形。

PAG = photo-acid generator

图 4-32 光生酸引起的聚(4-羟基苯乙烯-共-醋酸甲基苯乙烯)的交联反应

Hayashi 等(1990)已配制了含有酚醛树脂、双苯基硅烷二醇(diphynelsilanediol)和一种鎓盐的用于 i 线、DUV 和电子束的负性 CAR。依靠 DUV(NA=0.42)和支持 i 线光刻的相移掩膜版,这些材料在 0.7μm 薄膜厚度时可分辨出 0.3μm 的结构。分解产生的硅烷二醇在酸性条件下转化为硅氧烷齐分子量聚合物(siloxane oligomer)。这种光刻胶材料几乎对延迟时间(曝光和 PEB 之间)不灵敏,并显示高的 DUV(3mJ/cm²)和电子束灵敏度(30keV 下 0.8μ C/cm²)。Sachdev 等(1994)提出交联羟基酚醛化合物,它含有光生酸催化所得乙缩醛(acetal)形成的双功能双氢呋喃(dihydropyran)。此种胶很适合于 X 射线,DUV 和 i 线曝光。酸催化邻二叔醇(pinacol)的脱水使酚醛树脂不增加溶化,得到分辨能力为 0.3μm 的光刻胶(Uchino 和 Frank,1991)。

• p. 206 •

光酸产生剂

PGA 在如 AHR 的化学放大光刻胶中起主要作用。它的吸收性能需要仔细优化,其化学作用控制曝光产生酸的性质,包括酸强度、大小和迁移率等影响图形质量的因素。可区分的两种主要分组为:类-盐离子和非离子 PAG。

离子型的最重要代表是鎓盐,例如三芳基锍(triarylsulfonium)或双芳基碘鎓盐,它们带有能形成阴离子的过多的酸(Crivello,1984;Schwartzkopf 等,1991)。其中,优先在 IC 生产中采用的是三氟甲烷(trifluoromethane)磺酸盐,因为金属含量过多的酸,例如六氟砷酸

盐(hexafluoroarsenate),会造成器件沾污。由二苯基碘鎓(DPI^+)和三苯基锍盐(TPS^+)产生光酸的简化机理画在图 4-33。更详细的机理已由 Tsuda 与 Oikawa(1990),和 Hacker 与 Welsh(1991)讨论。激发的鎓盐阳离子均匀分裂。中间产物,杂原子为中心的盐原子团,分离氢原子而形成酸。标准鎓盐在深或中 UV 范围是活泼的,采用发色团调整(Ito 等,1988;Hayashi 等,1990)或光敏化(Crivello 等,1988),可扩展至近 UV 范围。锍盐是现在已知具有量子产额为 0.2—0.4 的最有效的 PAG 之一,产额与聚合物结合剂有关(Allen,1989)。

图 4-33 碘鎓盐和锍盐中光分解形成酸的机理

非离子型光酸产生剂通常分为两组,它们产生氢卤化物(HX)或磺酸(RSO_3H)。如 HX 产生剂包括 1,1-双(4-氯苯基)-2.2.2-三氯乙烷[1,1-bis(4-chlorphenyl)-2.2.2-triclorethane(Feely,1985)]、4,6-双(三氯甲基)-1,3,5-三嗪[4,6-bis-(trichloromethyl)-1,3,5-triazines(图 4-34)],或溴化酚[brominated phenol (Buhr 等,1989a)]。产生 PGA 的磺酸(图 4-34)包括 2,1-NQD-4-磺酸盐[2,1-NQD-4-sulphunates(Buhr 等,1989b)]、α,α-双芳基磺酰偶氮甲烷[α,α-bisarylsulfonyl diazomethanes(Pawlowski 等,1990b)]、α-和 β-磺酰含氧铜[(Onishi 等,1991;Roeschert 等,1993a)]、芳基磺酸盐(Ueno 等,1991)、*N*-磺酰含氧酮派生物(Brunsvold 等,1991)和 *o*-硝基苯基磺酸盐[*o*-nitrobenzyl sulfonates(Houlihan 等,1991a)]。α,α-双芳基磺酰偶氮甲烷对光刻特别有用,因为它们把有高量子产额的合适的热稳定性和 DUV 灵敏 CAR 所需的小曝光剂量下的有效脱色相结合起来。

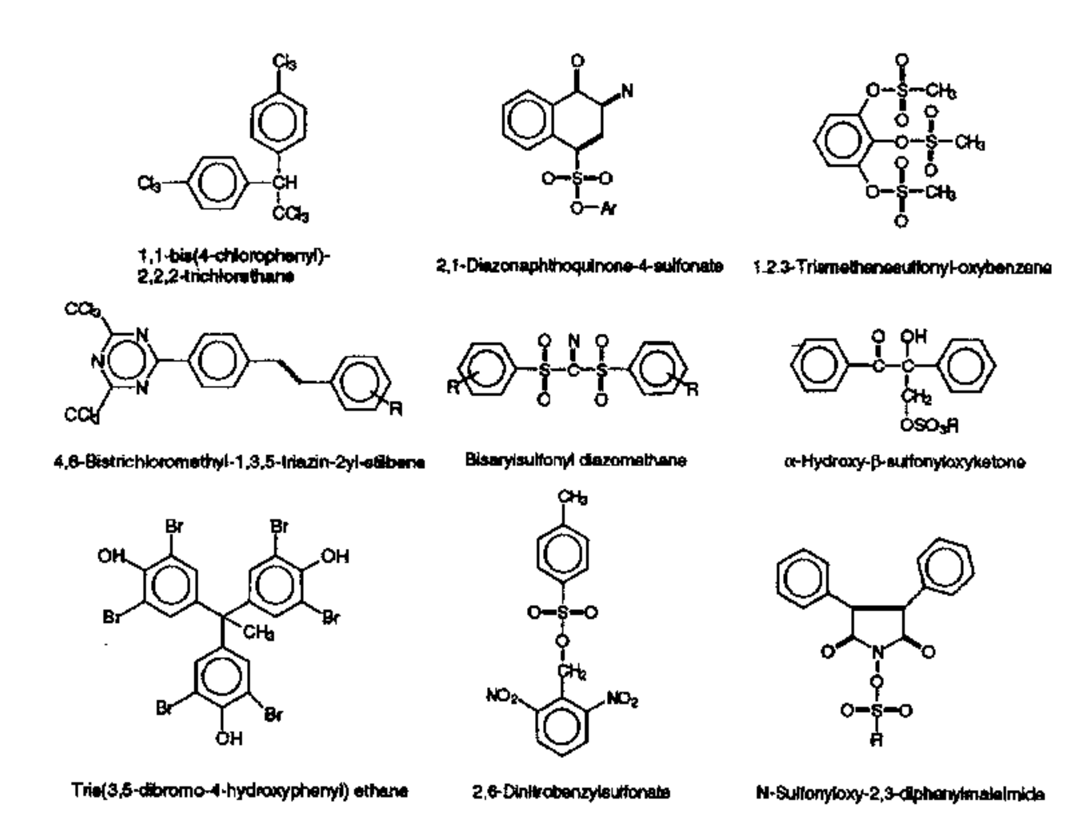


图 4-34　光化学活泼的氢卤化物和磺酸初始化合物的化学结构

• p. 207 •

Houlihan 等(1991)着重研究了硝基苯基磺酸酯(NBSE)作为 PAG 的光化学性质(图 4-35)。在磺酸酯中抽去电子的组分增加了所得磺酸的酸性。以 NBSE 为基础的去保护光刻胶的感光速度比 $TBS^+SbF_6^-$ 低一个数量级,它们对 PEB 条件的灵敏度则更临界。

图 4-35　硝基苯基磺酸脂的光化学作用

4.4.3 正性胶

4.4.3.1 分解抑制/分解促进

现在用于 IC 工业的正性光刻胶是以两组份系统为基础的，其中分解抑制剂通常是一个周期性的 2-重氮-1-萘醌(DNQ)派生物，由于光分解，它转变为以碱性液显影光刻胶的分解促进剂。基础聚合物是酚醛树脂，典型的是线性酚醛(Dammel，1993)。DNQ-线性酚醛树脂光刻胶的工艺流程和光活泼化合物(PAC)的化学原理显示于图 4-36。

• p. 208 •

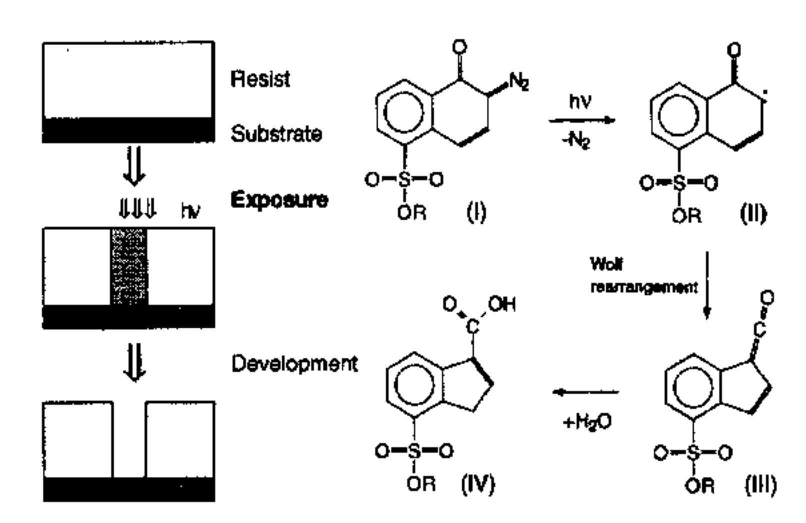


图 4-36 DNQ-酚醛树脂光刻胶的工艺流程和有关化学反应

• p. 209 •

DNQ 为基的胶在 70 年代早期占优势，那时它们替代异戊二烯光刻胶用于 16K 位 DRAM 的生产。今天在制造集成度增加 1000 倍的 16M 位 DRAM 时，仍旧利用上述化学原理，但应用的 DNQ 胶性能有重大改进。无论如何，DNQ 年代的结束已经不远(Holmes 和 Sturtevant，1993)。256M 位 DRAM 的生产要求离开传统的 NUV 光刻。

DNQ 酚醛树脂胶能成功地长期延续是基于它们的高分辨能力、相对宽的工艺窗口和优良的干法刻蚀阻抗能力。为了发现这种值得注意的性能的原因，必须更详细地考察这个系统。由于酚醛树脂的苯酚组分和 DNQ 发色团之间的分子相互作用，未光分解的 DNQ 对于碱性可溶酚醛树脂是作为溶解抑制剂的(Dammel，1993)。这种溶解抑制现象仅仅允许光刻胶在显影液中有小的但非零的溶解率(DR)，它比结合剂树脂本身的溶解度还小。由于图形形状的辐照，DNQ-PAC 转化为茚羧酸(indene carboxylic acid)(ICA)的派生物，它的作用是溶解促进剂，因为(1)ICA 在碱性显影液中可溶，(2)DNQ 的溶解抑制作用已被破坏。因此，已曝光的胶区域变得在显影液中更可溶。现代的光刻胶材料在放入～20%的 DNQ 时可以显示大于 10000 的 DR 比($DR_{exposed}/DR_{unexposed}$)(图 4-20)。

光反应化合物

所有用 DNQ-胶结构的技术都是基于两种不同类型的光反应化合物(PAC)，称为芳香烃 4-或 2-重氮萘醌的 5-磺酸酯。当 α-重氮羰基单元是引起增溶反应的首先需要时，磺酸盐组分提供一个支撑以修正 PAC 性能，而无发色团的干扰。经常用于 NUV 的稳定化

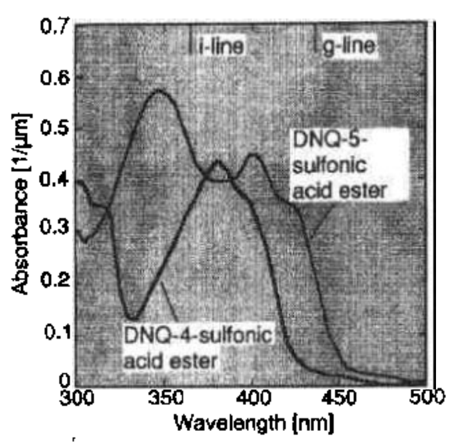


图 4-37 比较带 2,3,4-三羟基二苯酮作稳定剂的 2,1-DNQ-5-磺酸酯和 2,1-DNQ-4-磺酸酯派生物的 UV 谱

合物包括羟基二苯酮(hydroxybenzophenones)(Reiser,1989)、双酚 A 派生物(Tzeng 等,1991)、酸性黄(Martin,1987)、三羟基苯甲烷(Kajita 等,1991)和酚醛聚合物(Hanawa,1993)。

· p. 210 ·

芳香烃 2,1-DNQ-5 磺酸酯显示最大吸收峰在 350 和 400nm,并且对 365nm(i 线)、405nm(h 线)和 436nm(g 线)灵敏(图 4-37)(Thompson 等,1983)。芳香烃 2,1-DNQ-4-磺酸酯的吸收峰中心在 310nm 和 380nm 周围,这些 RAC 对 g 线是不敏感的(图 4-37),但用在 i 线胶时是先进的。

从 g 线转向 i 线时,新的 PAC 与对 i 线透明稳定化合物的合成,对大多数光刻胶供应商来说是一个关键项目。以 DNQ 酚醛树脂为基的光刻胶的性能,例如曝光容差范围、聚焦深度和胶的剖面形状,由三个参数表征,它们与可脱色(A-值)和不可脱色光刻胶的吸收率(B-值),以及一个光灵敏项(C-值)有关,这些参数称为 Dill 参数(Reiser,1989)。

具有小的 Dill B 参数的稳定化合物的例子包括 2,3,4,4′-四羟基苯基甲烷(Tzeng 等,1991)或某些螺环化合物(Tan 等,1990)。

DNQ 的光分解作用(Sues 反应)已基本认可,但是某些细节只是最近才了解(Reiser,1989;Vollenbroek 等,1989a,b)。通过吸收一个光子,产生一个 PAC 的激发单一态,其量子效率为~0.2(Thompson 等,1983)。2,1-NQD-5-磺酸盐(图 4-39,Ⅰ)从单一态中去除分子氮,并进行环收缩(Wolff-rearragement)以形成高反应性的乙烯酮(图 4-39,Ⅲ;Tanagaki 和 Ebbessen,1989),它是足够稳定的,可以被激光闪烁光分解检测到(Rosenfeld 等,1990)。它在室温下立即与亲质子原子团反应,例如光刻胶普遍存在的水,产生主要的光生产物(约 85%产额)——1H-茚-3-羧基酸-7-磺酸盐(ICA)(图 4-39,Ⅴ)派生物。这个机理说明水是 DNQ 光化学反应的基本成分,在应用厚胶时,它变得更明显(Shibayama 和 Saito,1990)。两个重要的物理化学变化与光引起的 PAC 转变为 ICA 的过程同时发生:(1)光刻胶在近

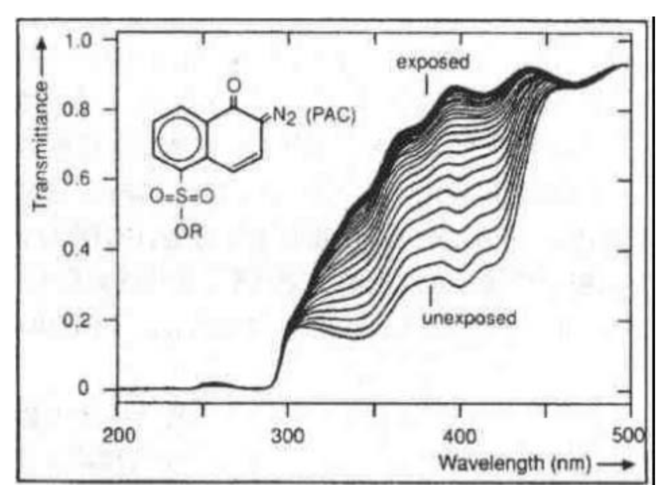


图 4-38 由于 DNQ 转化为 ICA 的光分解反应而产生的 HPF204 动态光刻胶脱色吸收谱

UV 区的吸收率大大减小(脱色,图 4-38),(2)羧酸组分促进曝光区域胶的溶解。

如果不存在水,慢得多的乙烯酮Ⅲ与树脂的自由苯酚组分形成酯的反应成为主要反应,产生降低溶解度的交联材料(图 4-39,Ⅰ→Ⅳ),它影响所需正性图像的形成,但也产生了新的成像概念(Mutsaers 等,1990)。其它有竞争性的或热激发反应也已观察到(Koshiba 等,1988,例如图 4-39,Ⅱ)。

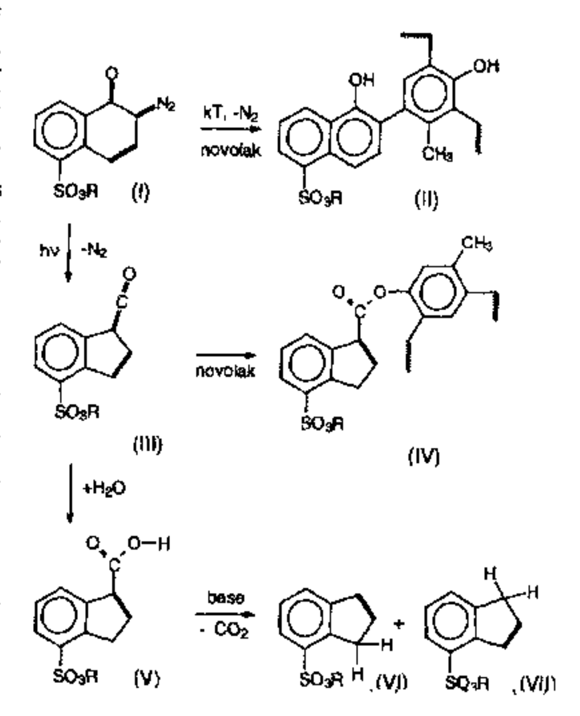


图 4-39 2,1-DNQ-5-磺酸盐的可能的副作用

· p. 211 ·

即使存在相当弱的碱性,ICA 脱羧产物能容易地通过一个茚基阴离子变为两个茚的同分异构体(图 4-39,Ⅴ→Ⅵ,Ⅴ→Ⅶ),它的作用是作为强分解抑制剂(Vollenbroek 等,1989a)。上述光化学反应适用于 2,1-DNQ-5-磺酸盐和 2,1-DNQ-4-磺酸盐(Vollenbroek 等,1989a,b)。然而,它们相应的 ICA 在一定条件下的反应可以十分不同。2,1-DNQ-4-磺酸盐容易水解为强酸性的 1H-茚-3-羧基酸-1-磺酸,然后成为自由苯酚(图 4-40)。这个酸催化的水解通过涉及一个亚磺酰(sulfene)中间产物的去除-添加机理而进行(Buhr 等,1989b)。这个去除反应对来自 2,1-DNQ-5-磺酸盐的 ICA 不会发生,因为相应的亚磺酰的形成在能量方面是很不利的。

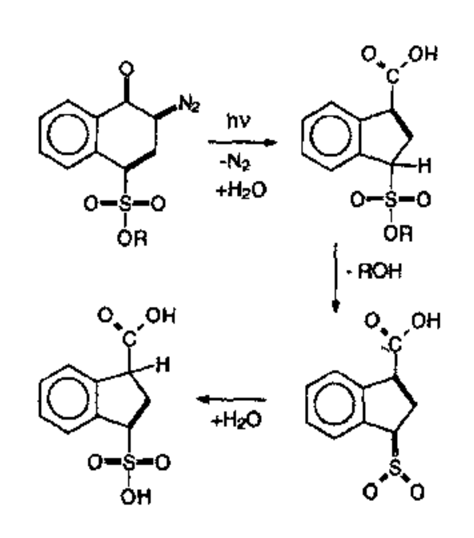


图 4-40 2,1-DNQ-4-磺酸盐形成的产物

· p. 212 ·

2,3,4-三羟基二苯甲酮的 2,1-DNQ-5-磺酸盐是 g 线胶的标准 PAC,例如 Shipley Microposit 1300 和 1400,OCG WX-118,Tokyo Ohka TSMR 系列或 Hoechst AZ 1300 和 4000 系列。偶然,也采用从单功能苯酚得到 PAC,如在 Shipley Microposit 111 和 OCG HPR204 中的乙酚 2,1-DNQ-5-磺酸盐(Reiser,1989),而 Mac-Dermid PR 1024,或 OCG895i 则应用部分脂化的苯酚齐分子量聚合物。

经验指出,多功能 PAC 有较好的分解抑制性能并提供明显的胶反差增强效应。现在,Trefonas 和 Mack(1991)已对这个所谓的多重光分解效应发表了一个可取的解释。为了得到这个效应的实际好处,多功能羟基-二苯甲酮被用作稳定化合物。全部反应的 DNQ 的生成物只有少量能溶解并在存放后趋向沉淀。这是在产生复杂产品混合物的 PAC 合成技术方面,常常应用局部化学当量计算析出物总量的原因(Kishimura 等,1989)。已由 Dammel(1993)给出关于 DNQ 为基础的胶之化学和物理作用的很好的评论。

对于 DUV 曝光，g 线或 i 线胶材料是不太适用的，因为对于在整个光刻胶横截面内有均匀照明的要求，它们低于 300nm 时的吸收率是太高了。第一个适合于 DUV 曝光的分解抑制剂是在 80 年代早期由 IBM 发展的。已经发现，Meldrum 酸的重氮派生物——一个环链化合物，在 254nm 显示高吸收率并经过 Wolff 重排列产生挥发性光生产物(Reiser，1989)。这些 PAC 有效地抑制酚醛树脂的分解，但在软烘烤时倾向于蒸发。一个更可取的方法是建立在以 α-重氮-β-酮基酯作为对 UV 灵敏的 PAC 的基础上。已经制备了适用的多功能衍生物，它对于 DUV 透明的苯乙烯-共-顺乙烯二酰亚胺(styrene-co-maleimide)或 PHS 型粘合剂具有有效的分解抑制能力(Sugiyama 等，1989；Pawlowski 等，1990c)。链接于聚乙烯酚(polyvinylphenol)的重氮乙酰乙酸酯(dizoacetoacetate)已被 Tagannathan 等(1994)用于有宽工艺容差的 DUV 胶。在此情况下，曝光产生的羧酸不再保护连接于二级聚合物主干的对酸活泼的组分。

碱性可溶的聚合物

近 30 年的实际工作清楚地表明，酚醛树脂，带甲醛的酚醛派生物的浓缩产品，是作为 DNQ 为基的胶所用树脂的最佳选择。浓缩由酸催化并产生低分子量的齐分子量聚合物，它带有由亚甲基组分(图 4-41)连接的 8—25 个酚醛单元，得到分子量为 600—3000mu

$$CH_2O + H_2O \rightleftharpoons H_2C(OH)_2 \overset{H^+}{\rightleftharpoons} H_2C^+OH + H_2O$$

图 4-41 甲酚酚醛树脂形成的化学反应

(Reiser,1989)。酸性的苯酚组分使聚合物在碱性液中溶解。

· p. 213 ·

作为典型例子,m-和 p-甲酚的同分异构体混合物、甲醛和作为催化剂的乙二酸在反应中被加热,随着温度升高,浓缩过程中形成的水被去除,乙二酸分解为二氧化碳,最后留下纯的酚醛树脂。虽然这个过程看来简单,但是形成酚醛树脂的批与批之间的重复性很差,因而通常采用不同批的混合来得到所需胶的均匀性。排除任何金属离子的沾污是酚醛树脂生产者的主要目标(Asaumi 等,1991)。光刻所用的酚醛树脂是由带少量的对-甲醛或一些二甲苯的亚甲醛制成,它赋于聚合物在有机溶剂中有合适的溶解度。当应用带三个反应位的亚甲酚时,必须加入按局部化学当量计算的甲醛,以获得线性聚合物,否则会产生支联或交联的树脂(Noguchi 和 Hiderni,1991)。

如果应用对-甲酚,这个难控制的反应不会发生。不幸的是,带高对-甲酚含量的酚醛树脂较少适用,因为它们有不可接受的玻璃转化点和工艺容差(图 4-42a)。不同类苯酚的应用很快增加了所构成同分异构体的数量,它们都对光刻胶的性能,例如反差、灵敏度和工艺容差起不同的作用(Honda 等,1991;Hanabata 等,1991)。带有高度规则的正亚甲基键(高 S4 比)的亚-线性酚醛树脂显示 DR 有很大减小,这可能是由于在 PEB 时热引入的 DNQ 的耦合反应(图 4-39,Ⅱ)。这个反应并不会在已曝光的胶中发生,从而能够改善反差和增加曝光容差,而却没有灵敏度的损失(图 4-42b)(Hanabata 等,1989)。

· p. 214 ·

除了酚醛树脂同分异构结构外,增加其它方面一样的树脂的分子量会减少总的 DR 和胶的灵敏度,但是反差或曝光容差不受影响(图 4-42c)(Hanabata 等,

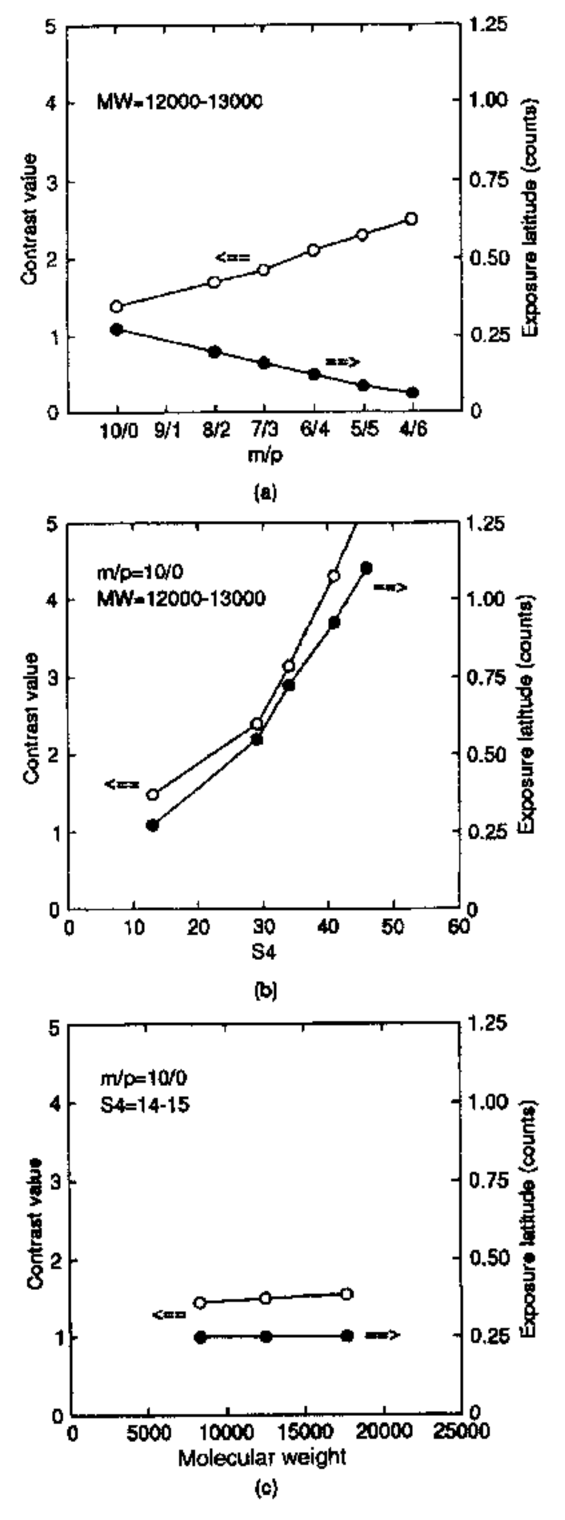


图 4-42 各种条件对反差和曝光容差的影响。(a)亚/对位-甲酚比例,(b)正/对位连接配位比例(S4),(c)分子重量(复制自 Hanabata 等,*1986*)

1989)。没有低分子量原子团的窄分子量分布，可改善热稳定性和图像分辨率。在观察基础上，Hanabata 和同事们提出胶分解的石头墙模型：低分子量团像墙上的小石头，它容易在显影时被冲走，造成胶/显影剂界面面积的稳定增长。在一定的渗透时间后，胶结构因形成分裂团块而破坏，变得容易被溶解(Hanabata 等，1991)。

与溶剂可显影的胶不同，DNQ-酚醛树脂为基的胶在用有水碱性显影液时不会膨胀。动力研究表明，分解率受碱阳离子的大小和酚醛树脂次级结构的影响，特别是苯酚组分的相对配置的影响(Reiser，1989；Dammel，1993)。

酚醛树脂在 300nm 以上是透明的(图 4-30)，并显示玻璃转化点温度(T_G)为 70—140℃(Khanna 等，1991)。高 T_G(硬烘变形温度)可与改善干法刻蚀耐蚀性联系(Joubert 等，1993)。作了许多努力，用新的聚合物代替线性酚醛以扩大 DNQ 胶的适用范围。由于在 DUV 范围改善了透明度和 T_G 提高到 180℃，因此聚(4-羟基苯乙烯)(PHS)和共聚物受到很多注意(Pawlowski 等，1990a)。薄膜形成性质(Torium 等，1991)和 PHS 在含水碱性显影液中不常见的分解行为已被详细研究(Long 和 Rodriguez，1991)。它在标准显影液(2.38%TMAH)中的 DR 约为 20μm/min，对比的酚醛树脂为 0.3—3μm/min，为了刻出好的立体图像，这已是太大了。PHS 聚合物已用疏水性组分调整(Pawlowski 等，1990a；McKean 等，1990)，它可作为对显影剂浸蚀的内部分解抑制剂，所以这些材料可用于 DUV 胶。

• p. 215 •

在 DNQ-线性酚醛与 DNQ/PHS 胶之间存在重大差别，例如前者被甚少量加入的 PAC 抑制时，后者却没有。这个实验结果提示抑制剂与聚合物粘合剂之间存在键合。取决于二级分子结构，亲水结构组分会自己排列为更封闭的分子内部的，或更开放的分子之间的亲水性组合。这些组合可以作为显影剂浸蚀的扩散通道(Yeh 等，1992；Dammel，1993)。在聚乙烯苯酚中，羟基组分的位置对分解率有很大影响。用于 DNQ 胶中，2-羟基同分异构体太慢，而 4-羟基同分异构体则太快，两者的共聚化使人们可选择两个极限之间的任何分解率(Dammel，1994)。这样的 1：1-共聚化合物胶的热流阻抗比树脂酚醛胶有改进。

以芳香烃聚-正-羟基胺为基础的、具有良好光刻性能的 DNQ 胶，已作为光可成图形的层间介质用于多层电子器件。这些聚酰亚胺在碱性显影液中显示类似酚醛树脂的分解抑制/促进特性，但加热已显影的胶图形到 350℃时，该聚合物转化为具有好的介电性能并高温稳定的聚偶氮苯甲酸(polybenzoxazole)(Sezi 等，1994)。

4.4.3.2 酸催化解除阻断

通常的 DNQ 胶显示中等的感光率，因而生产经济效益差。对于缩小的 64M 位 DRAM 的生产，预期将由 NUV 转向 DUV 光刻，DNQ 为基的胶由于其在 300nm 以下的高度不透明，已不再可接受。而且，DUV 分步重复相机由于它们的极端窄谱，只能提供低的光子密度。为得到有意义的器件生产率，通常的胶已显得太慢，因而胶的灵敏度成为一个重要问题。现在，辐照引入的催化去保护反应和某些酸灵敏聚合物的极性改变应该得到很大注意(图 4-43)。这种系统对微细光刻的好处首先被 Ito，Willison 和 Frechet 认识到(Ito 等，1987)，他们引入了化学放大概念(CA)，并称这种材料为化学放大光刻胶(CAR)。

• p. 216 •

CAR 至少包含一个光酸产生剂(PAG)(比较 4.2.3.3 节)和一个带酸灵敏疏水性组分的聚合物。由于曝光,光生酸分子引入酸活泼组分的热催化分裂。当光酸在解除阻断的过程中重复产生时,一个单一光子可以引起裂解反应的“暴雨”,这样就提供了一个增益机理以克服光化学反应量子效率的灵敏度限制。通常较多极性的裂解/去除保护产物使得已曝光的胶能溶解在碱性水溶液显影剂中(Reichmanis 等。1992)。按照胶中组分数,单一(Hanson 等,1992)、2-和 3-组分的化学放大系统是有区别的。

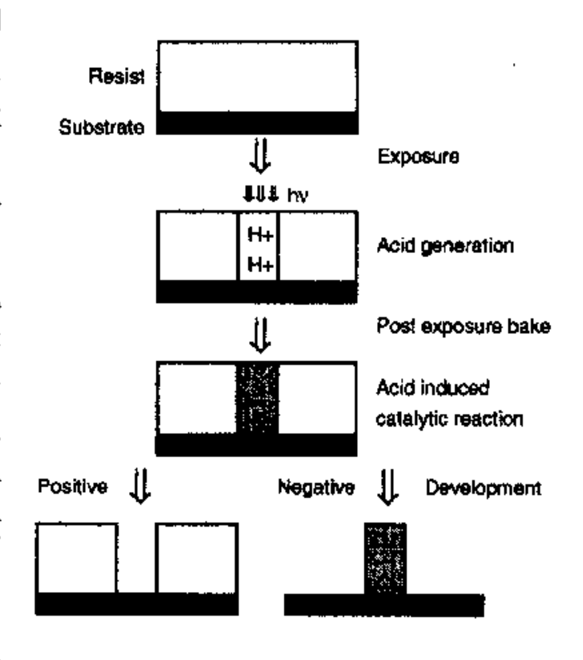


图 4-43 CAR 概念

3-组分胶

3-组分材料提供最广泛的化学灵活性,因而要首先讨论。它们包括 PAG,一个非极性的酸活泼化合物(ALC),它作为分解抑制剂并裂解为分解促进剂,还有形成薄膜的聚合物(FFP),它具有一定程度亲水性以支持已曝光光刻胶的含水碱性显影。由于增益机理,仅需要低浓度的吸收辐照的 PAG,而其它的成分则显示最大的透明度。这就保证了整个光刻胶横截面的均匀光照。

用在 3-组分系统的酸活泼化合物包括苯酚的 *t*-丁基碳酰(McKean 等,1988;Aoai 等,1994)、*t*-丁酯(Allen 等,1993a)、四羟基吡喃基(tetrahydropyranyl)派生物(图 4-46)、甲硅烷醚(silylethers)(Schlegel 等,1989)和芳香烃醋酸酯(图 4-44)(Dammel 等,1987)。典型成分包括约 60%—80%的酚醛树脂,例如 FFP,15%—40%的 ALC 和少于 5%的 PAG。含有乙缩醛(acetal-)或正酯键的材料,特别是对 DUV 透明的齐分子量聚合物 *N*,*O*-乙缩醛已引起特殊兴趣,因为它们结合了好的分解/抑制性能和合适的裂解动力学与良好的暗稳定性(Roeschert 等,1993b)。乙缩醛裂解为分开的乙醛和乙醇,它需要按化学当量计算的水(图 4-44)。

裂解产物成为优秀的分解促进剂。其结果是 DR 比可以达到>10000,可允许高分辨率图形的生产。现在乙缩醛为基胶的问题是其小的 PEB 温度窗口,这是由于酸-催化乙缩醛裂解具有低的激活能。在 PEB 温度高于 70℃时看到 DR 比的减小,可能是由于所产生的乙醛和酚醛树脂的浓缩反应(Ito 等,1991)。一种 Hoechst 所制实验 DUV 正性胶,由 PHS 共聚物、*N*,*O*-乙缩醛和产生 PAG 的磺酸组成,使用 ASM-L DUV 分步重复相机(NA=0.42,20 mJ/cm^2,60s,60℃ PEB)可分辨 0.3μm 线条和间隔。此种材料对延迟时间效应有意想不到的不灵敏(潜象稳定性超过 60min)(Roeschert 等,1993b)。一种带双(苯基砜)-重氮甲烷 PAG 的改进组合物(AZ DX46),用 0.5NA DUV 分步重复相机可以分辨 0.23μm 线条和间隔(Padmanaban 等,1994)。

• p. 217 •

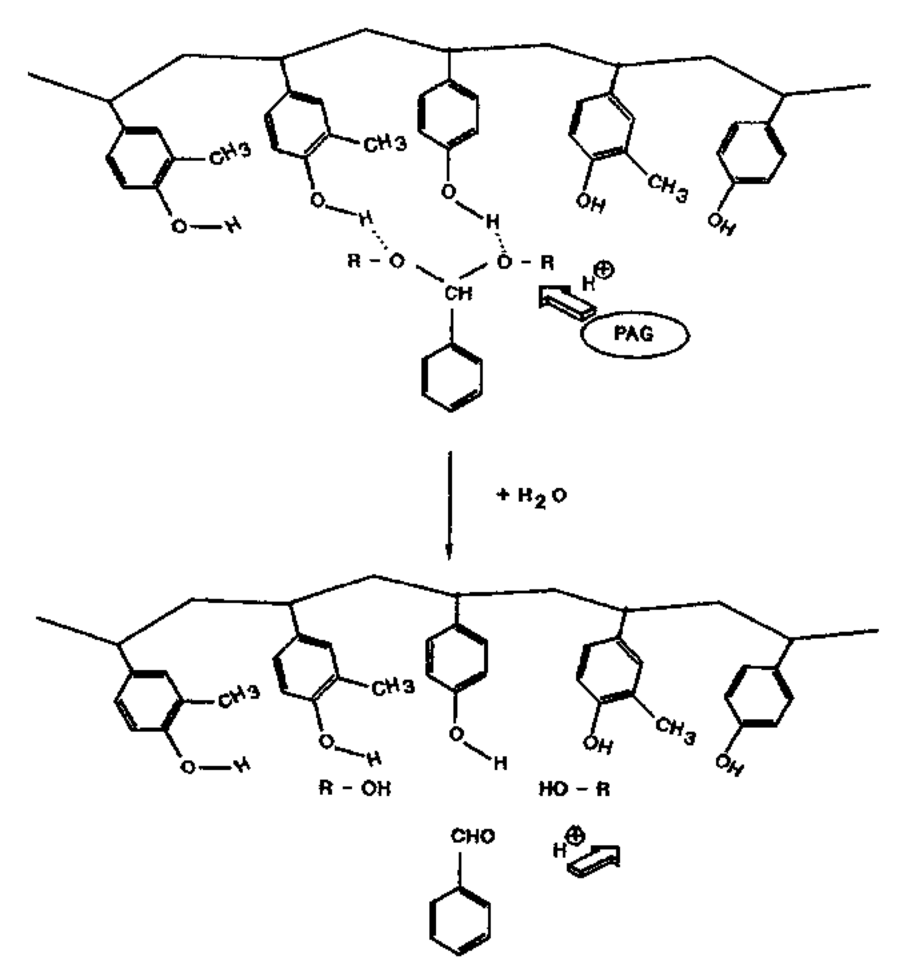


图 4-44　PAG 引入的乙缩醛为基正性胶的裂解化学反应

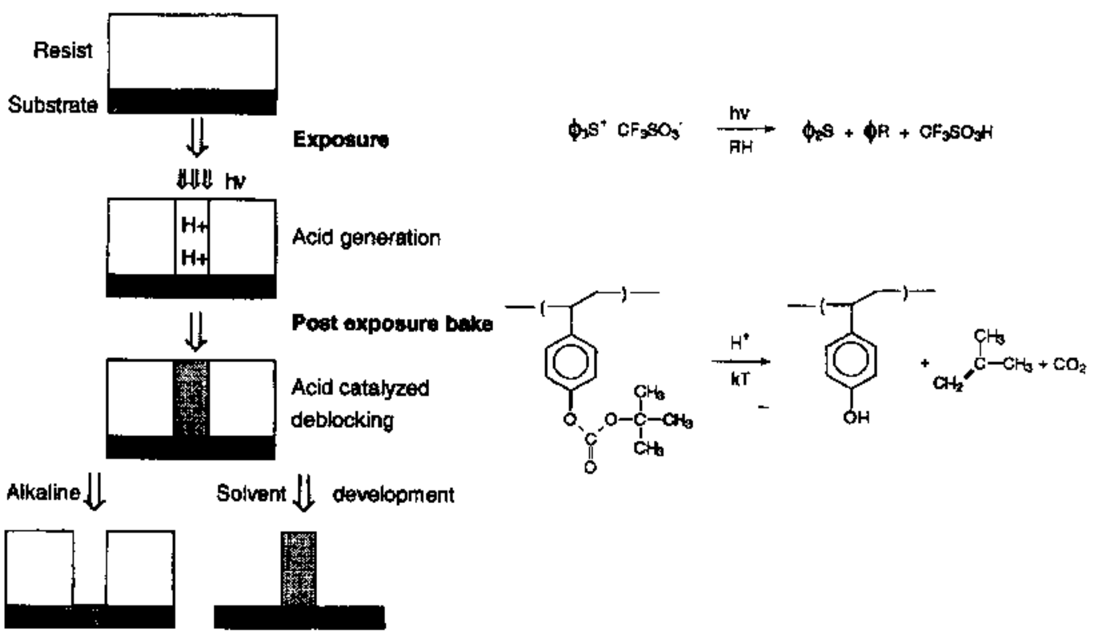


图 4-45　t-BOC 保护的正胶的工艺流程

2-组分胶

最好研究过的高灵敏度 2-组分胶材料之一是以酸引入 PBOCST 裂解为基础的(图 4-45),一种由 *t*-丁基碳酰(*t*-BOC)阻断的聚-(4-羟基苯乙烯)(Willson 等,1990)。约 15%—20%的保护已足够使 PHS 在标准 MIF 显影液中不溶解。*t* BOC 阻断的 PHS 热稳定可达 190℃(Reiser,1989)。光酸在～100℃ PEB 时,裂解碳酸酯部分成为 PHS 和挥发性的二氧化碳和异丁烯副产品(Sturtevant,1992)。这个反应并不需要水。因为异丁烯是由中间产物 *t*-丁基阳离子形成的,一个新的质子释放出来,它可以引入下一个裂解反应。最好用能产生磺酸的鎓盐作为 PAG。

t-BOC 为基的胶的催化链长度变化从甲烷磺酸的 10,经由甲苯磺酸的 200 到三氟乙烷磺酸的 8000(Houlihan 等,1991),具有酸扩散半径<5nm(McKean 等,1989)。选择非-亲质子酸对于 *t*-BOC 化学作用是强制性的。亲质子酸,例如氯化氢,不能通过一个催化反应而分离 *t*-BOC 组分。依据 Ota 等(1994)论文,该过程十分简化地显示于图 4-45。他们看到 *t*-丁基阳离子烷基化合物,该聚合物的芳香环,具有产额高达 87%,可代替会减少曝光区溶解度的向异丁烯的转化。PBOCST 系统性能表现为双色调胶(图 4-43)。负性过程以甲氧基苯为显影液,采用 DUV 光刻制造 1M 位 DRAM(Maltabes 等,1990),而正性过程则研究用于 0.35μm 图形形成(Brunsvold 等,1993a)。

PBOCST 的高价格已被 Hoechst 的小组注意,他们发展了透明的 *t*-BOC 保护的聚(羟基苯基-丙烯酸)(hydroxyphenyl-methacrylate)。当使用某些专门发展的 PAG 时,这些材料显示优良的分辨率(0.3μm)、高灵敏度($30mJ/cm^2$),和对延迟时间效应的降低的灵敏度(Przybilla 等,1991)。其它感兴趣的胶系统是以 *t*-BOC 阻断的高分子量聚(羟基苯乙烯砜)共聚物(Reichmanis 等,1991)。在以 2,6-双硝基苯甲苯磺酸酯(tosylate)为 PAG 的混合物中,得到一种具有 0.30μm 分辨率和极高反差(>20)的 DUV 灵敏材料(<$30 mJ/cm^2$)。当没有用保护涂覆层时,所有 *t*-BOC 保护胶的图形质量对曝光与 PEB 之间的间隔时间是灵敏的(如 Nalamasu 等,1991)。

• p. 219 •

大量替代的保护组分已提出,并用于阻断苯酚聚合物。PHS 的 *t*-异丁烯、丙烯和 PHS 的苯基代醚(benzylic substituted ethers)也都能被酸裂解(Onishi 等,1991)(图 4-46)。高灵敏度的双色调材料已经设计出来,基础为 *t*-异丁烯阻断的聚(*p*-乙烯苯甲酸)(图 4-46)(Ito 等,1987)和阻断的丙烯酸酯三元共聚物(Allen 等,1993a)。图像的鉴别是基于羧酸酯的去酯化所产生的极性变化。由乙缩醛组分,如四烃基吡喃[(tetrahydropyranyl)(THP)(图 4-46)],保护的 PHS 产生了正性胶,它利用连苯三酚三甲烷磺酸盐(PTMS)作为非常有效的光酸产生剂(Ueno 等,1991;Hattori 等,1993)。该聚合物显示了在 248nm 下很好的透明度(<$0.1\mu m^{-1}$),但是它们的 T_G 比较低。两种不同酸(CH_3SO_3H;HPF_6)在 THP 阻断的 PHS CAR 中的扩散范围作为烘烤条件的函数已被 Schlegel 等研究了(1991)。当聚合物粘合剂固化时,高前烘温度减少扩散范围。发现 CH_3SO_3H 的迁移率是低的,这能导致优良的图像。

由 Matsushita 提出的 ASKA 2 胶树脂是以 THP-阻断聚(4-羟基苯乙烯)为基础的。这种材料已用于一个 64M 位 DRAM 样品的所有的严格的光刻层。此材料在几个小时延迟时间内对线宽的变化是不灵敏的(Endo 等,1991)。由于它的高透明度,它在高反射率的

hν
TPS$^+$AsF$_6^-$
+ $H_2C{=}C(CH_3)R_1$ + CO_2

PBOCST

hν
TPS$^+$AsF$_6^-$
+ $H_2C{=}C(CH_3)R_1$

PTBOST

hν
PTMS
[H_2O]
+
$-H_2O$

OTHPOST

hν
TPS$^+$AsF$_6^-$
+ $H_2C{=}C(CH_3)R_1$

PTBVB

$R_1 = CH_3$, alkyl, aryl

图 4-46　用于光刻的酸催化裂解反应

衬底上需要有一防反射层。其它在文献中报道的 THP 阻断聚合物是羟基聚酰亚胺(Omote等,1992)和特别用苯甲醇[(benzylalcohol)(Taylor 等,1991)]或 193nm 透明的三环癸醇(Tricyclodecanol)酯化的聚丙烯酸(Nakano 等,1994)。

Schwalm 和同事们已用 *t*-BOC 阻断,包含锍盐的酚醛侧链组分同时作为光分解酸促发剂和在高透明 PHS 聚合物填料中的酸可裂解分解抑制剂,这种填料用于它们所称的 SUCCESS 胶中(包含可释放复杂侧链组分的锍化合物)(图 4-47)(Schwalm,1990)。这种胶在容差范围(±10%)内显示线宽稳定性可达 2h。用 DUV 分步重复相机,采用 ST2 版本胶已显示了完美的 0.25μm 线条和间隔(NA=0.5;Swalm 等,1994)。

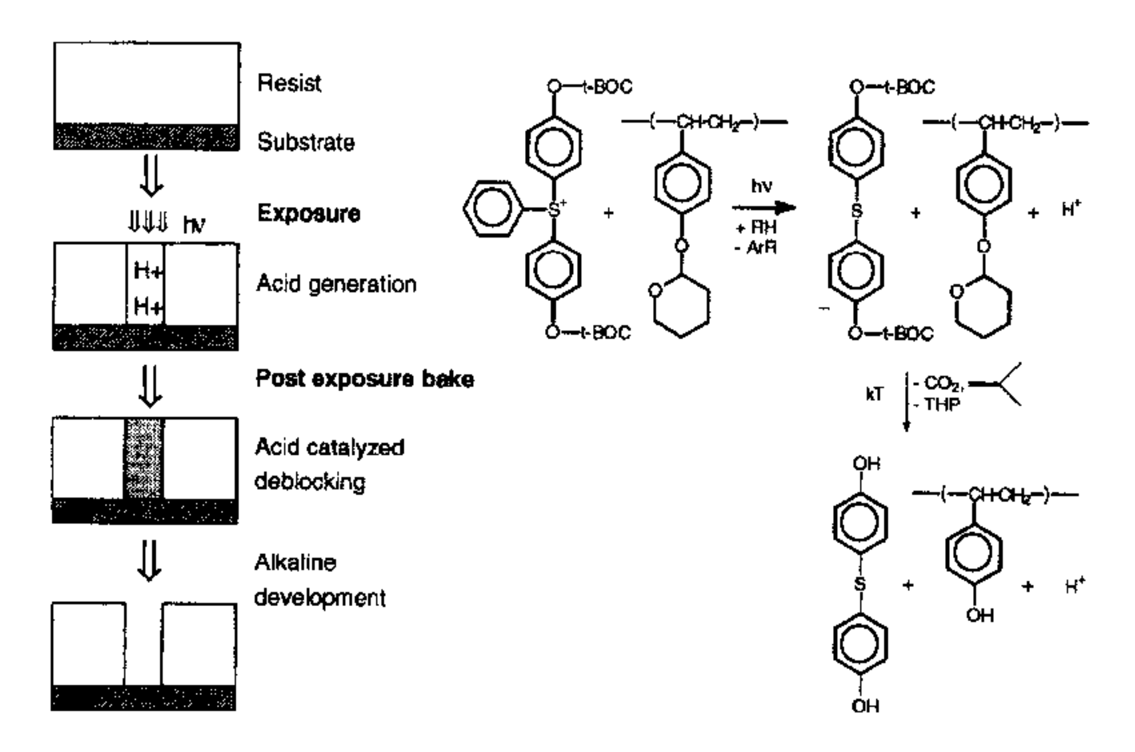


图 4-47 SUCCESS 方法的化学反应

商业化和准备商品化的正色调 DUV 胶(SST tabulation,1993)有 AZ DX (Hoechst)、APEX-E (IBM)、PR1024MB (Morton Electronic Material)、CAMP-6 (OCG) 和 Success (BASF)。

延迟时间效应

· p. 220 ·

正色调 CAR 的一个关键点是曝光和 PEB 步骤之间延迟时间的影响,它严重地破坏潜像、光灵敏度和图形线宽。当延迟时间增加时这个效应增强,会导致微小线条的丢失,如同 Schwartzkopf 等显示的(1991)。他归结了在 PBOCST 鎓盐胶中潜像不稳定的原因如下:

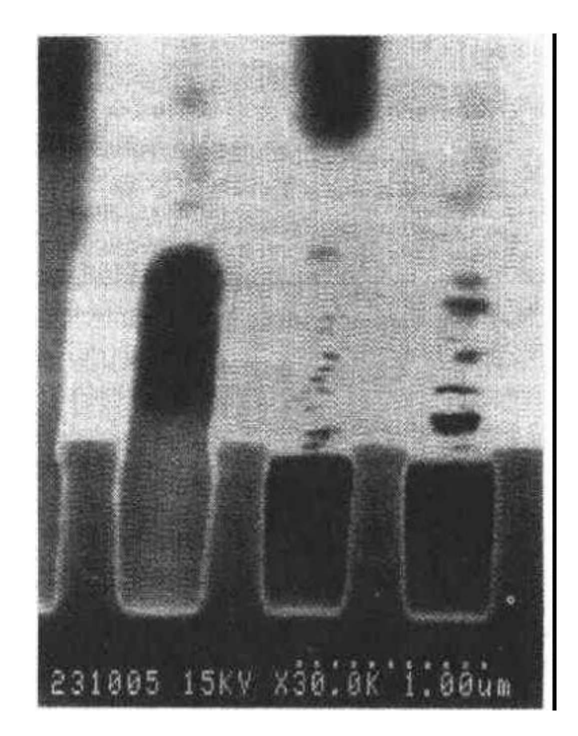
——在旋转涂覆过程中胶表面鎓盐浓度的耗尽,

——在胶表面的光生酸由于挥发或迁移造成的损失,

——光刻胶表面被周围洁净室气氛沾污,导致光酸中性化,

——碱性不可溶光生产物向已曝光胶表面的移动。

• p. 221 •



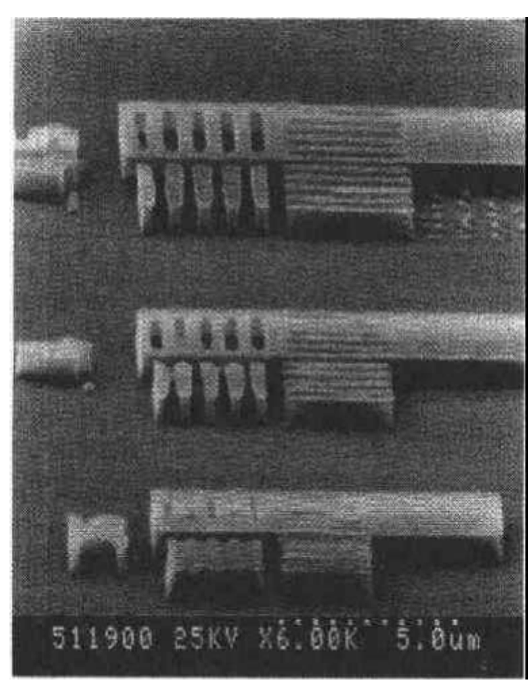


图 4-48 有强烈 T-顶端面的光刻胶的 SEM 照片

由于鎓盐产生过多的酸，实际上每一种化合物都被认为具有中和这种酸的碱性能力。已发现 ppb 范围内的胺浓度会在胶表面产生不溶解的表皮(Nalamasu 等，1991)，形成 T 形图形剖面，它在几分钟后会造成图形的全部连通(图 4-48)。

因此，PBOCST 系统为了有合适的功能需要无胺的环境，这种环境可利用激活的活性碳过滤器过滤空气而达到，从而产生稳定的制造工艺(MacDonald 等，1993)。另一种改善潜影稳定性的方法是应用有多层结构固有缺点的保护涂覆(Kumada，1993；Oikawa 等，1993)，或使用环境保护光刻腔(Reichman 等，1992；Holmes 和 Sturtevant，1993)。T_G 低于前烘温度的亚同分异构体化合物与对位 PBOCST 相比对 NMP 沾污大为不灵敏(Ito 等，1993)。以聚-N,O-乙缩醛为基的 3-组分光刻胶显示良好的潜影稳定性，没有保护涂覆时，至少可达 72h(Roeschert 等，1993b)。加入光可破坏的碱到这样的胶中，可以改进它对碱性沾污的不灵敏性(Przybilla 等，1993)。看起来合适地选择酸-活泼组分，可以完全消除延迟时间问题。应用特别的酸-活泼保护组分，使这种胶能得到与 DNQ 型胶可相比的环境稳定性(Huang 等，1994)。

4.4.3.3 聚合物裂解

• p. 222 •

除了少数例外，NUV 辐照不具备裂解有机物分子中热稳定的 σ 键的能力，因为其平均键能量为 350kJ/mol，相应于 340nm 波长的光子。DUV 辐照能够击破分子键，光化学家已发现了几种材料，它们能进行对光刻有用的分离反应，从而提供正色调图像。当受到宽带 DUV(240—260nm)、KrF 准分子激光(248nm)或 ArF 准分子激光(193nm)辐照时，聚(甲基甲烷丙烯酸)(PMMA)是一种有很好分辨能力的正性断链光刻胶(Reiser 等，1989；Sasago 等，1991)。开始时，发生 Norrish Ⅰ 型反应，然后伴随主链分离。

在形成不饱和的低分子量原子团条件下，中间产物稳定化了，此时，会形成包括甲基或甲氧基原子团和一氧化碳或二氧化碳在内的小分子原子团(图 4-49；Reiser，1989)。只是 PMMA 的裂解过程是低效率的，为得到合适的分解速度需要高剂量(>1000mJ/cm^2)(Nakase，1987)。

PMMA 作为 DUV 胶有若干好处(Wolf 等，1987)，包括良好的分辨能力、容易处理、宽的工艺容差和低价格。在 500μm 厚的 PMMA 胶上，具有几乎垂直侧墙形状的图形已用 XRL 复制出来(Rogner 等，1992)。然而，它的低分辨率是几乎不能接受的。当 DUV 吸收依靠与 3-羟亚氨基-2-丁酮丙烯酸酯的共聚作用或添加 t-丁基苯甲酸作为光敏化剂而增强时，裂解反应的效率增加了(~80mJ/cm^2)(Reiser 等，1989)。

图 4-49　PMMA 的光反应

· p. 223 ·

聚乙烯砜(Thompson 等，1983)或聚(甲基戊二酰亚胺)(PMGI)的聚合物也可以 DUV 辐照裂解。PMGI 的感光速度可以与 PMMA 相比，但是，由于有亚胺组分，它可用碱性水溶液显影。所以，它有较好的干法刻蚀阻抗和高的玻璃转化点(>180℃)，使 PMGI 可用于多层结构的平面化层(Reiser，1989)。除了 PMMA 外，聚(甲基异丙烯酮)(PMIPK)为基的胶由 Tokyo Ohka 用 ODUR 1010 的商品名称商业化了，并正在广泛研究作为光可裂解的单组分胶(Hesp 等，1990)。

所有这些主要脂肪族材料显示出差的干法刻蚀阻抗，因此限制了它的应用。化学放大原理也可用于进行主链分离的聚合物(Frechet 等，1989)。从三碳二醇(tertiary diol)和某些二元酚获得的聚碳酸酯在存在 PAG 时，由 DUV 曝光会产生裂解(图 4-50)(Reiser，1989)。显影时，得到的优点是裂解的聚合物原子团的 DR 比产生正性图像的完整聚合物为高。裂解的概念已扩展于产生正性胶，这是利用聚乙缩醛、聚偶氮甲炔(polyazomethines)、聚乙醚和在主链上有酸-可分裂键的聚酯类(Frechet 等，1989；Ito 和 Schwalm，1989)。

图 4-50　主链可裂解的聚碳酸酯的光反应

4.4.4　光刻胶溶剂和主要光刻胶供应商

用于 IC 制造的光刻胶材料通常以在有机溶剂中全部过滤过(0.2μm)的液态溶液形式出售，溶剂对某些光刻胶性能有明显影响，例如感光速度、涂覆均匀度和热流性能(Salamy 等，1990)。理想的溶剂是无毒和无危险的(Boggs，1989)。例子包括环戊酮、环己酮、3-甲氧基-丁基醋酸酯、丙烯乙二醇单甲基醚(propylene glycol monomethylether)或它

的醋酸酯、丙烯乙二醇二醋酸酯、乙基乳酸酯、碳酸亚乙酯、乙基3-乙氧基丙酸酯和乙基丙酮酸酯(Hurditch 和 Daraktchiev,1994)。

主要的光刻胶供应商是 Tokyo Ohka、OCG (Olin/Ciba Geigy)、Shipley (Rohm 和 Haas)、Hoechst、Sumitomo Chemical、Nippon Zeon、Japan Synthetic Rubber 等(Gutmann 等,1990a,SST tabulation,1993)。先进的 g 线和 i 线光刻胶领域是高度竞争和快速变化的。在1990年,作者相信 DNQ-酚醛树脂胶的分辨率限制已经达到,当时用 Tokyo Ohka g-线材料 TSMR-V 3 所得性能为:用 0.54NA 分步重复相机和 1.26μm 厚胶复印得到具有垂直侧墙形状的 0.4μm 线条与间隔(Satoh 等,1989)。而对于近一代 g 线光刻胶,这样的性能是标准的。

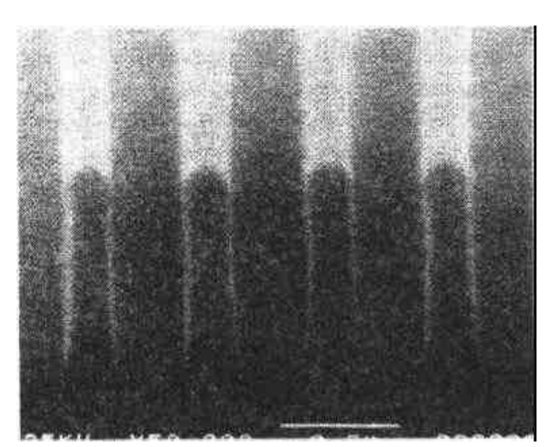


图 4-51　复印在 JSR/UCB 新高反差 i 线胶 IX500 上 0.25μm 线条和间隔的 SEM 图。使用 ASM-L PAS 5000/50 i 线光刻机(NA=0.48)和 Levenson 型相移设计(蒙许可,复制自 IMEC,Leuven,Belgium)

• p. 224 •

今天,极限分辨率<0.35μm 的线条和间隔(图 4-51),能复印 0.40μm 的接触孔(例如 Sumitomo Chemical PFI-26、Japan Systhetic Rubber PFR IX 700、Hoechst AZ 7500、OCG OiR 32、Mitsubishi Kasei MCPR i6600、Nagase NPR-L18SH5、Tokyo Ohka THMR-iP 系列和 Hitachi Chemical RI-7300P),线性度好于 0.40μm,聚焦容差>2.0μm用于 0.45μm 图形的 i 线胶已可购到。

4.5　专门的光刻胶技术

4.5.1　非常规的重氮胶工艺

4.5.1.1　胶剖面形状修正和图像反转

现有 DNQ-酚醛树脂胶性能的不断改进已推动了先进工艺方案的研究。附加工艺步骤和基本化学原理的修改,导致生产正性和/或负性图形的不同能力。它们在生产环境中能否实现取决于它们造成的附加复杂程度。

剖面形状修正技术(PROMOTE)提供生产不同剖面角度正胶图像的能力(Vollenbrock 等,1991)。胶通过掩膜版被 NUV 辐照,以产生潜在的正性图像。然后,在无水条件下进行 DUV 全面曝光(真空或提高温度~100℃)(Fukumoto 等,1989),通过原先掩蔽区域 PAC-树脂的酯化连接,从而产生胶表面选择性交链(图 4-39Ⅳ)。由于胶的酯化顶端面显示低的分解速度,过度显影可产生适合剥离工艺(lift-off)的负斜度图形。

正色调或负色调图像用图像反转法生产。原先,发展这种胶是为了改进 DNQ 胶的工艺容差,但是同一种胶可用于正性或负性模式引起了较大的实际兴趣,因为这与仓储及通过合理选择最好缺陷掩蔽以减少复印缺陷和侧壁角度控制等有关。几种图像反转胶的版

本已被描述。

• p. 225 •

非直接的胺-促发图像反转工艺已由 IBM 的 Moritz 和 Paal 发展(Thompson 等，1983)。在它们最后也是第一次实验中，把 1-羟基-乙基-2-烷基-咪唑啉加入到 DNQ 光刻胶中去。在 NUV 图形曝光后，潜在的正胶图形可以显影(正性模式)。当在显影前插入烘烤步骤(图形反转烘烤)，ICA 通过它的铵盐脱羧为原生的茚派生物，它的作用是有效地分解抑制剂(负性模式)。然后进行的大面积 NUV 曝光反转未反应的 DNQ 为相应的 ICA，并增强显影率。实用的修改是以胺蒸气扩散(Alling 和 Stauffer，1988)，或液态氨浸泡(Ziger 和 Reighter，1988)为基础的，用以提供碱性催化剂。氨浸泡工艺已用于 CMOS 器件制造的剥离工艺(Jones 等，1989)。这个碱催化工艺的有关化学原理画于图 4-52(Reiser，1989)。

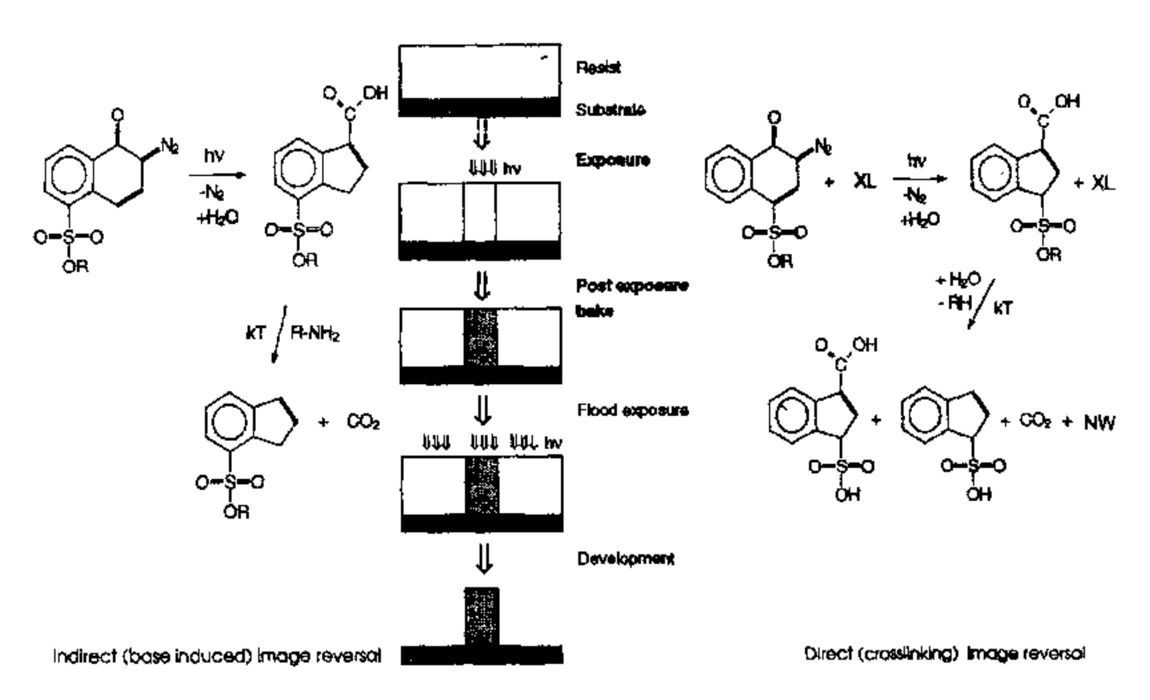
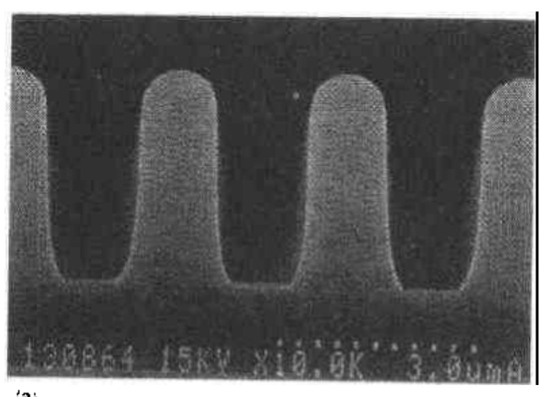


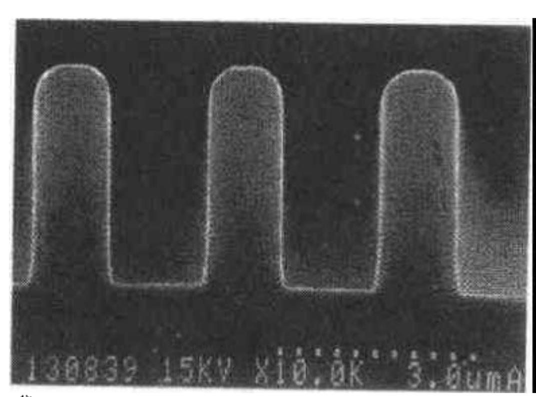
图 4 52　两个图形反转工艺的工艺流程和相关化学反应：(左面)胺促发工艺；(右面)直接图形反转(交链)工艺(XL＝未反应的交链剂，NW＝网络)

非直接图像反转工艺存在低的放置时间(碱在胶中)或附加浸泡步骤的缺点。一个以 2，1-DNQ-4-磺酸酯 PAC 和少量六甲氧基甲基三聚氰胺[hexamethoxymethylmelamine (HMMM)]为基的得到图像反转光刻胶的精细方法已由 Spak 等(1985，Hoechst)推出，跟着是 MacDermid 和 Shipley 的类似材料。直接图像反转工艺过程按照图 4-52 的反应程序，在潜影烘烤时 ICA 光生产物形成高酸性的茚磺酸，它引起 HMMM 的交链反应(Buhret 等，1989b)。然后的 NUV 大面积曝光使还未曝光的区域增加溶解，通过碱性显影得到高质量的负胶图形(比较图 4-16 和 4-53)。

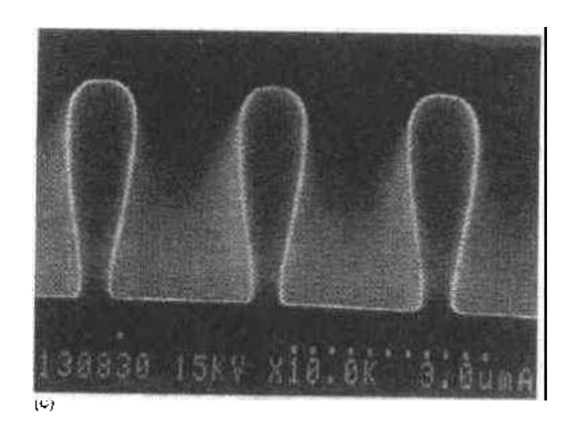
化学作用是 i 线灵敏 AZ 5200 光刻胶系列的基础。有一样好性能的用于 g 线和 i 线的胶是以 7-甲氧基代 2，1-DNQ-4-磺酸酯(Buhr 等，1989b)。应用 0.54*NA* 的 g 线光刻机，这种材料能分辨带垂直侧墙的 0.40μm 线条和间隔(Seha 和 Perera，1990)。这种直接图像反



(a)



(b)



(c)

图 4-53　随着曝光剂量变化直接图像反转胶侧壁的变化。(a)正[第一次曝光：1.5s，第二次曝光：2000mJ/cm^2]，(b)垂直(第一次曝光：1.5s，第二次曝光：1000mJ/cm^2)，(c)侧向腐蚀剖面(第一次曝光：0.5s，第二次曝光：1000mJ/cm^2)

转光刻胶的光刻的性能已由几个小组研究(Gutmann 等，1990b；Reuhman-Huisken 等，1990)，并与非直接型作了比较(Grunward 等，1990b)。图像反转胶的关键特点是控制图形剖面形状的潜在能力，例如亚微米刻蚀应用的垂直坡度和剥离工艺的侧向刻蚀剖面(图 4-53)。另外的好处是优良的图形热稳定性(>200℃)和改善表面上的线宽控制(Nicolau 和 Dusa，1990)。

4.5.1.2　增强反差的双层胶方案

在通常前烘过的光刻胶顶面上加一反差增强层(CEL)，可以改善反差和潜在胶图像的质量(White 和 Meyerhofer 1989)。CEL 是光可漂白薄膜，具有高的辐照原始吸收率。光照时 CEL 被漂白，它的非线性传输特性切掉了空间图像的低强度部分，仅仅允许高强度部分通过(图 4-54)。

• p. 227 •

光照后，CEL 先于或随底层胶的显影一起去除。适合用于 i 线和 g 线的灵敏 CEL 的光可漂白化合物已在代二芳基硝酸酯类中找到(West 等，1988)，它在近 UV 时显示高的消光系数(ε>35000)，并且曝光后重新排列为量子产额为 0.3 的不吸收(ε<5000)的氧氮丙啶(oxaziridines)。不幸的是，它们对水气有些不稳定(West 等，1988)。用于 g 线和 i 线的 CEL 材料已由 General Electric 提供名为 Alitilith 的商品。有关 CEL 的化学反应画在图 4-54 上。

CEL 材料对在高反射表面上的临界尺寸和胶性能的影响已被着重研究(Blanco 等，1987)。然而，如果 CE 层不包含水可溶可漂白重氮鎓盐(Endo 等，1989)和水可溶解聚合物，例如 PVA(Halle，1985)、聚乙烯酚(Sakurai 等，1988)，或聚乙烯吡咯烷(Uchino 等，1988)，层的内部混合看来是不可避免的。

一个带着两层不同光谱灵敏度胶的系统由 Lin(IBM)引入，它包括一个对 DUV 灵敏的 PMMA 或 PMGI 厚平面化层和一个 NUV 灵敏 DNQ-酚醛树脂顶面薄层(Lyons 和

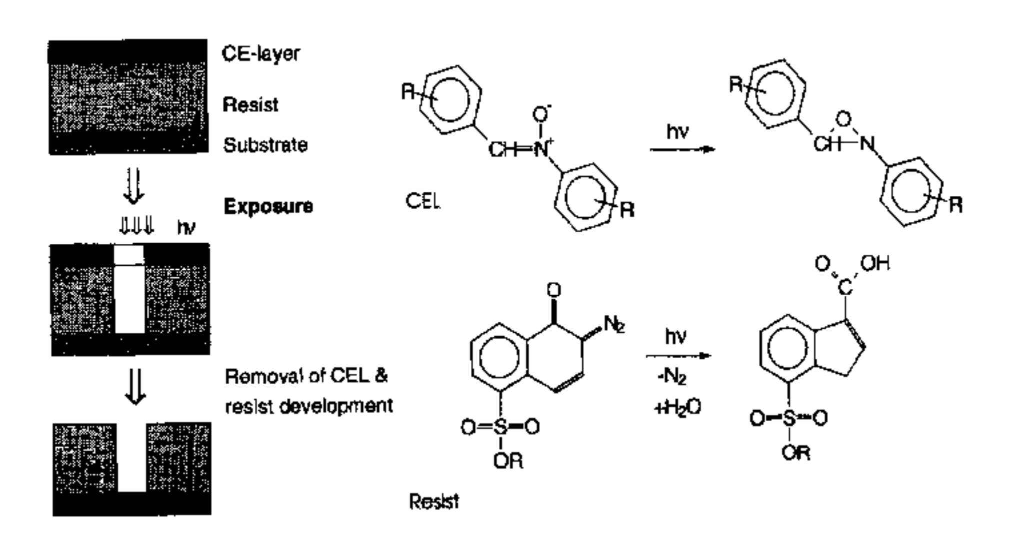


图 4-54 CEL 技术的工艺流程和相关化学反应

Moreau,1988;Takenaka 和 Todokoro,1989),后者对低于 300nm 的光不透明。顶层材料按图形曝光和显影,然后进行 DUV 辐照全面曝光和用有机溶剂第二次显影。因为顶层胶在 DUV 全面曝光时作为零间隙的现场掩膜版,这个工艺称为可移动一致性掩蔽[(PCM),portable conformable mask],可得到对底层近乎于理想的图像转移。以阻断聚乙烯苯酯[poly(benzoates)]为基的 UV 中等灵敏 CAR 作为顶层与 PMGI 底层相结合已被提出作为 PCM(Ito 等,1987)。

4.5.2 反射和驻波效应的消除

4.5.2.1 染色胶

当在金属化高反射衬底上成像时,精确的图像转移会被大大变坏。产生临界尺寸退化的原因是称为反射沟槽(reflective notching)的来自下面图形的光反射(Bolsen 等,1986)和覆盖台阶胶厚度不均匀产生的薄膜干涉。按照式(4-7)(3.2.1 节),通过加入染料增加胶的吸收率可以缓减这些问题(图 4-55)。仅有几种染料可以满足有关吸收率、颗粒产生情况或溶解度的需要。这包括,例如香豆素(coumarin)和酸性黄(curcumin)(Cernigliaro 等,1989),或偶氮染料(Cagan 等,1989)。

• p. 228 •

为得到形貌方面的附加工艺容差,主要的折衷是聚焦容差的损失和由于非漂白吸收增加而产生的非垂直侧壁(Cagan 等,1989)(图 4-56)。依据所选染料的浓度和化学类型,通常需要增加剂量,它使得这种方法的效率成为文献中着重争论的课题(Mack,1988)。

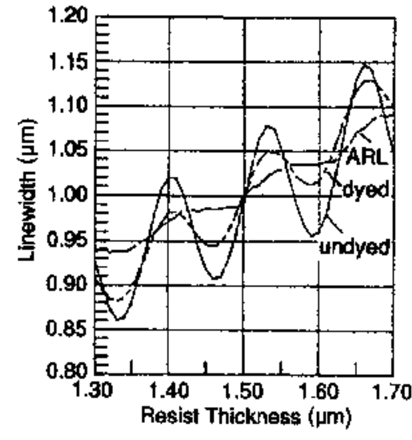
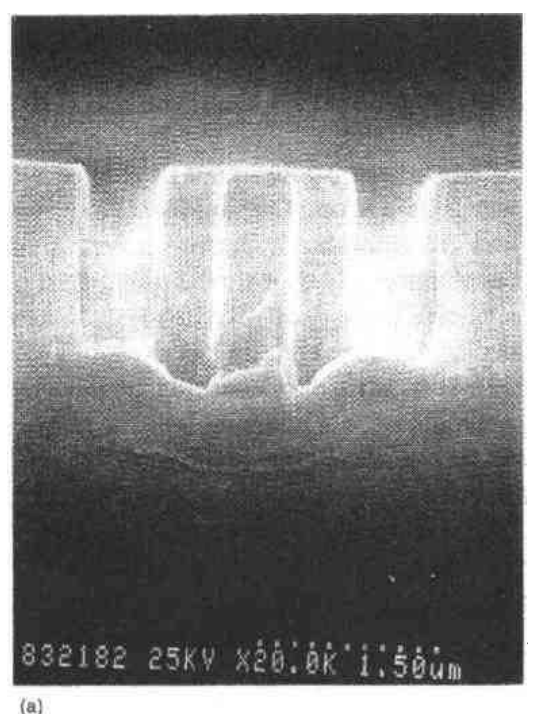
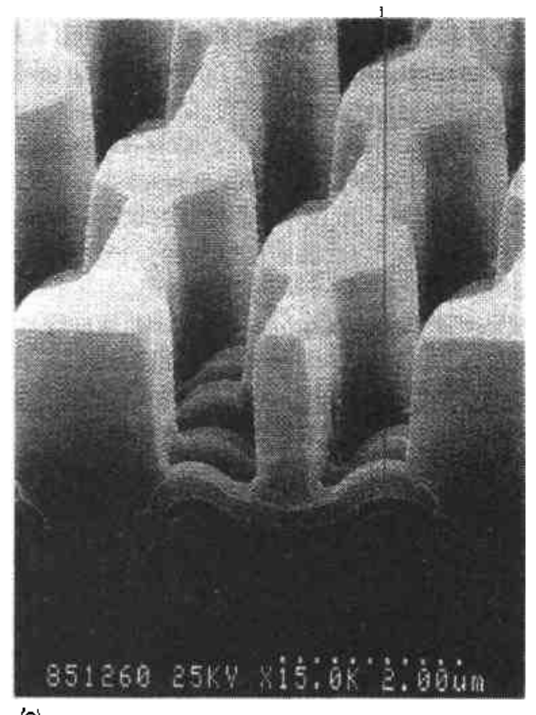


图 4-55 在铝上 1μm 线条和间隔随胶厚度变化的 CD 变化之模拟,对应于非染色胶,染色胶和带 ARC 的非染色胶等不同情况(蒙允许复制自 Noelscher 等,1989)



(a)



(c)

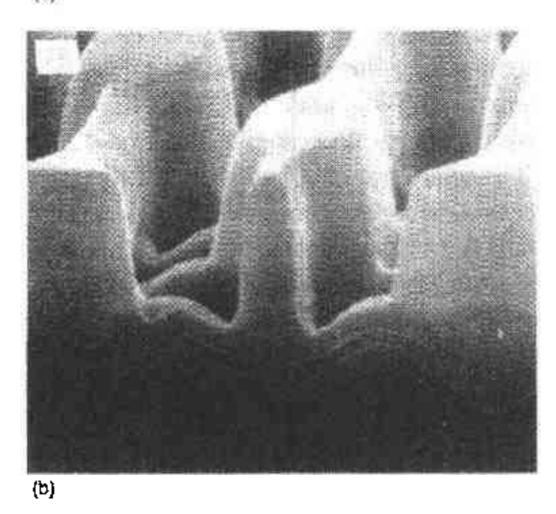

(b)

图 4-56 硅化物表面上正胶图形的 SEM 照片(a)非染色胶、(b)染色胶和(c)ARC 上非染色胶(蒙允许复制自 Noelscher 等,1989)

4.5.2.2 抗反射层

使用抗反射涂覆(ARC)是缩小由干涉效应产生的 CD 变化的一种替代方法(Brunner,1991)。对于这种方法的兴趣是随着近来 DUV 光刻的兴起而产生的,人们认为如果 DUV 技术变为与 ULSI 大生产相关,引入 ARC 的概念是有生命力的(Barnes 等,1991)。

较通常的方法是在反射衬底上淀积弱吸收性的溅射无机薄膜作为底部抗反射薄膜(BARC)。为取得最大效益,它们的厚度控制是十分严格的。可以选择把这些薄膜保留于最后的器件中(集成 BARC)。它们的应用引入附加的复杂性和成为缺陷的新来源(Horm,1991)。因为聚焦和曝光的容差大大增加而且对衬底反射率更不灵敏,由此得到更可靠的

工艺(Sethi 等,1991;Fahey 等,1994;图 4-55 和 4-56)。对湿法和干法刻蚀显影优化过的BARC 可从 Brewer Science 购到。

从式(4-7)(3.2.1 节)可明显看到胶-空气界面的反射率也对薄膜干涉起作用。用顶面抗反射涂覆(TARC)改善 CD 控制,已首先由 Tanaka 等报告(1991a),后来是 Brunner(1991),它被旋转涂覆于胶的顶面以缩小胶-空气反射。此种技术利用一层带有匹配折射率 n_{TARC}和由式(4-8)确定的最佳厚度 d_{TARC}的有机薄膜(60—100nm)、式中 λ 为辐照波长:

$$d_{TARC} = \lambda/4n_{TARC} \tag{4-8}$$

• p. 229 •

TARC 为 1.28 的最佳折射率仅有 Teflon 满足,或用高氟烷基聚醚[(perfluoroalkylpolyethers)(Tanaka 等,1991a;Brunner,1991)],它需要专门的涂覆溶剂和去除剂,并且带来严重的粘附问题。Tanaka 等报道,在硅衬底上 CD 控制能有十倍的改善。一种水可溶解的 TARC 材料已由 Hoechst 以 AZ AQUATAR 商标引入(Alexander 等,1994)。它的折射率为 1.4 并不与最佳值匹配,但是提供了标准工艺。Yoshino 等(1994)在模拟 DUV 光刻工艺窗口方面比较了 BARC 和 TARC 的原理。TARC 有较小的厚度容差,但对胶提供了较宽的工艺窗口。

带有机 ARC 的结构在分辨率、容差和在起伏衬底上的线宽控制要优于染色胶,但是引入附加的工艺复杂性。图 4-55 对于标准胶、染色胶和带 ARC 不染色胶的不同情况,比较了模拟的 CD 随胶厚度的变化(Noelscher 等,1989)。

4.5.3 含硅多层胶

• p. 230 •

以前章节讨论的主要光刻胶,显影时是作为单层胶处理的(SLR)。通过讨论,很清楚看到 SLR 有一定的限制:限制的高-宽比、限制的聚焦容差范围、对形貌的灵敏度和薄膜干涉效应,并且对腐蚀性的刻蚀化学药品稳定性差。综合起来,只有很少的高性能 SLR 能满足这些因素。一个减轻这些障碍的方法是采用多层胶(MLR)系统,它允许分层确定技术特性,例如图像层的优化灵敏度和分辨率,和底层的合适的干法刻蚀阻抗、光密度与热稳定性(Miller 和 Wallraff,1994)。对于电子束光刻,因邻近效应或静电充电效应产生的问题也可用合适的 MLR 组合来解决(Moss 等,1991)。

MLR 系统的主要困难是两或多层带来的复杂性增加,它表现为缺陷产生概率的倍增或未预期到的老化现象。此外,MLR 处理需要昂贵的干法刻蚀设备而不是通常在 IC 制造中用的氧等离子体那一类。因此,只要能适合相应的要求,单层胶一直被使用,并且很难决定在什么阶段 MLR 系统加入会明显有利。另一方面,新研制的器件和 ASIC 经常用 MLR 试验和制造(Hatzakis 等,1988)。

MLR 由 1—4μm 厚的辐照不灵敏底层胶组成,或称平面化涂覆,它对氧等离子体有低的阻抗,而且淹没了表面起伏的形貌,靠在光化学波长下的光吸收来降低干涉效应(Thompson 等,1983)。例子包括硬烘烤的 DNQ-酚醛树脂、聚酰亚胺或类似钻石的碳层(Namattsu,1988;Leuschner 等,1993)。

在 MLR 方案中,第二层且通常很薄的顶层胶或形成图像层(0.2—1.0μm)被涂覆于

平面化层的顶上。顶层胶确定特征尺寸,因而它对辐照灵敏。此外,这两层被一个很薄的第三层分开(<0.2nm),对于通过干法刻蚀的图像转移,它是稳定的势垒层(Hartney 等,1989)。它通常从无机材料中选择,例如硅、氮化硅和二氧化硅、二氧化钛、聚硅烷或 SOG (Hartney 等,1989),它可以采用溅射、等离子化学蒸气淀积(PCVD),或旋转涂覆得到。三层胶方案的使用很不普遍,因为增加的工艺复杂性一般不能由所得利益补偿。因此,以下的讨论将集中于双层方案中的含硅顶层胶(Miller 和 Wallraff,1994)。一个典型的工艺流程显示于图 4-57。

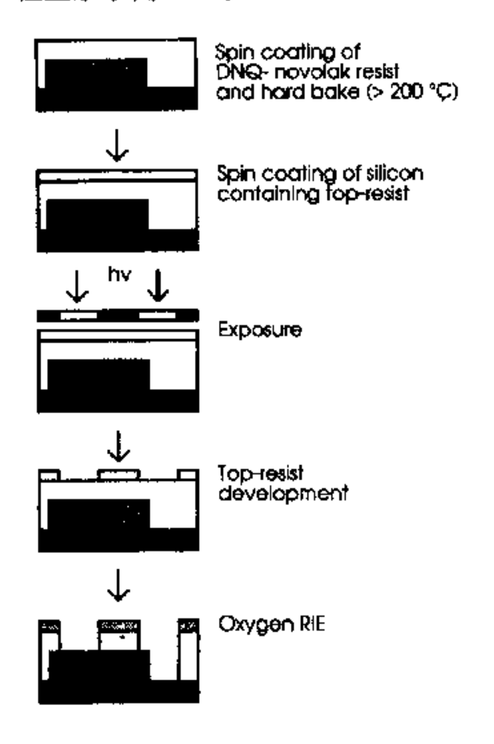


图 4-57　硅为基的双层胶系统的典型工艺流程

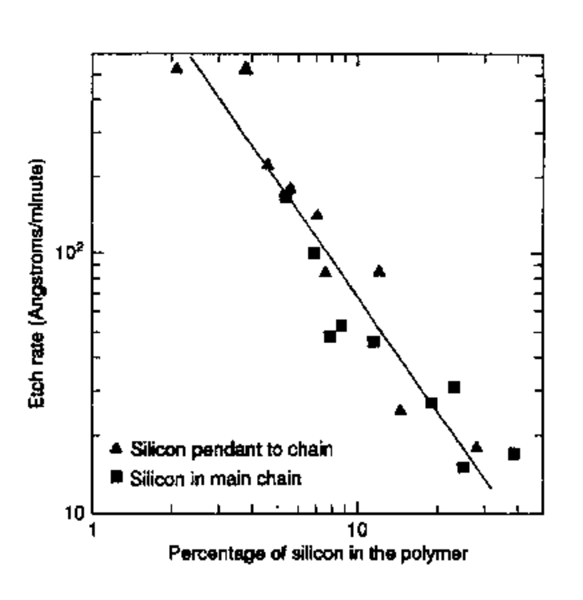


图 4-58　硅含量对在 10mTorr 压力和功率 $=0.15W/cm^2$ 条件下有机硅聚合物腐蚀速度的影响。腐蚀速率与硅的位置无关(蒙允许复制自 Hatzakis 等,1988)

含硅聚合物对氧反应离子刻蚀(O_2-RIE)的阻抗是由其化学结构和硅含量决定的。在用氧等离子体处理时,聚合物表面转化为二氧化硅薄层(5—20nm),它对进一步的等离子轰击有很高的阻挡作用(Hartney 等,1989)。对氧刻蚀的阻挡功能并非是硅含量的线性函数(图 4-58),在硅浓度超过 10%—15%时保持常数(Jurgensen 和 Shaqfeh,1989)。含硅胶所经常遇到的问题是这些材料的低玻璃转化温度,它导致热流动和分辨率损失。然而,当硅含量增加亲水性则减少,在希望用含水碱性显影时它也许是一个问题。

· p. 231 ·

4.5.3.1　负性硅双层胶

用含硅负胶光刻的第一个例子是以聚烷基硅氧烷为基的,与硬烘酚醛树脂相比,它显示氧刻蚀速率比为 1∶50(Shaw 等,1987)。它们有低的 T_G(<100℃)并倾向于破坏图像的热流动。聚(硅亚甲基-)和聚(硅次苯基硅氧烷)的主链上有高度规则的硅-碳和硅-氧链,已报告它们具有较高的 T_G 和对电子束敏感的范围为 2—5$\mu C/cm^2$(Babich 等,1989)。

近来，一种三维交链的聚(硅次苯基硅氧烷)已制备作为负性光刻胶。它显出比通常的硅氧烷有更高的坚固性，得到改进的反差，缩小显影造成的膨胀，并改进了热稳定性。加入2,2-二甲氧基-2-苯基乙酰苯作为光促发剂，增加UV感光速度20倍到约20mJ/cm²，且不带来图形剖面退化。0.25μm图形可用双层胶描绘出来(Watanabe等，1991)。NTT的研究得到一种高T_G(150℃)材料，采用一种部分氯甲基化的聚(二苯基硅三氧化二烷)，其中两个链是以氧原子互相连接的(梯形聚硅氧烷)。这种材料称为硅为基的负性胶(SNR)(图4-59)，它对DUV和电子束辐照(5μC/cm²)灵敏并在硬烘烤过的酚醛树脂上能分辨0.5μm的图形(Tamamura和Tanaka，1987)。

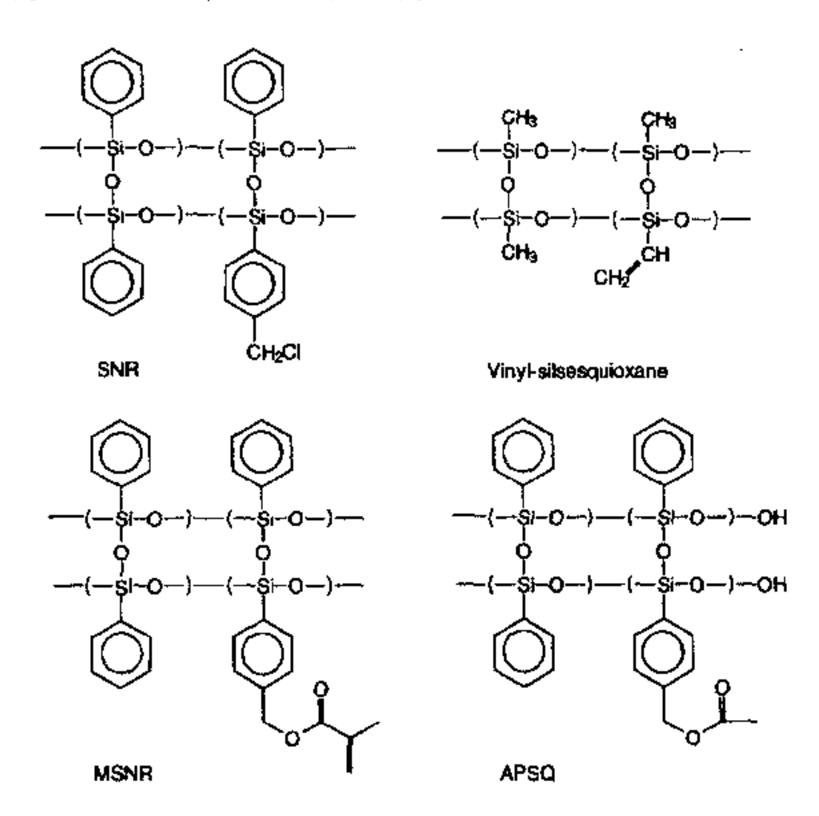


图4-59 硅三氧化二烷为基的负性胶的化学结构

· p.232 ·

用丙烯酸酯化硅为基的负性胶(MSNR)(图4-59)具有合适的NUV灵敏度、分辨率和氧刻蚀阻抗，它用丙烯酸酯化聚(苯基硅三氧化二烷)作为聚合物，双叠氮化合物作为PAC(Morita等，1986)。在NTT的同一小组应用乙酰化苯基硅三氧化二烷的齐分子量化合物(APSQ)(图4-59)作为填料聚合物，同时用于负性和正性双层胶(Ban和Tanaka，1990)。APSQ与叠氮基芘一起给出一种有好分辨率的负性工作并对DUV和电子束灵敏的胶(Kawai等，1989)。与鎓盐结合，光生酸催化在APSQ中硅烷醇组分的浓缩反应(Ban和Tanaka，1990)。这个过程可用后烘加速，已经在双层胶方案中得到0.3μm的负性图形(Tanaka等，1992)。

甲硅烷化聚(乙烯硅三氧化二烷)形成一种电子束胶(7.6μ C/cm²)，估计具有与硬烘过正胶相比为1：100的腐蚀速率(Saito等，1988)。一个具有改进的DUV(25mJ/cm²)和电子束(5μ C/cm²)灵敏度的三组分胶已由聚(苯基硅三氧化二烷)、光生酸产生剂和一个

附加交链剂例如六甲氧基甲基密胺合成。交链可能通过醚-键形成而产生。这种材料提供极高的刻蚀容差范围(Hiraoka 和 Yamaoka,1991)。

4.5.3.2 正性硅双层胶

Miller 和 Michl(1989)报告,由于漂白能力和 Si-Si 键分离反应,聚硅烷是一种对双层胶配置有吸引力的正性顶层胶。在主链上有硅的聚合物是具有高 T_G 的玻璃材料,它显示了在通常有机溶剂中有好的溶解度并能形成优良质量的薄膜。它们的吸收最大集中于 320nm附近,使得它们对中或深 UV 特别灵敏(Wallraff 等,1991)。曝光后光裂解发生,通过 Si-Si 键的分裂成为甲硅烷原子团和硅烯,它们经由分裂聚硅烷的氢吸收而稳定化(图 4-60)。作为副反应,小分子量聚硅氧烷的光氧化已被检测到。这个分裂伴随着所谓的漂白效应。现在,关于聚硅烷的光化学作用已被大量讨论(Miller 和 Michl,1989)。并不意外,聚硅烷的氧腐蚀阻抗可与聚硅氧烷相比。

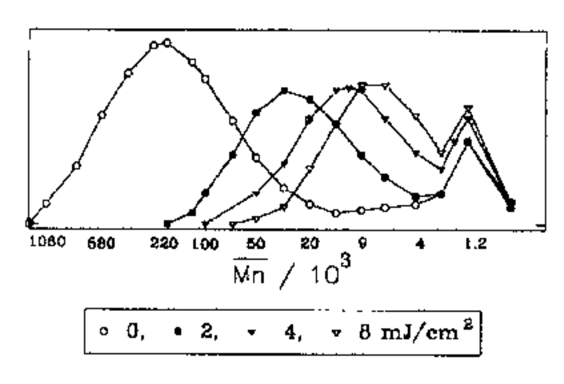


图 4-60 在 313nm 下以 0,2,4 和 $8mJ/cm^2$ 辐照后,聚(十二甲烷基硅烷)0.006%溶解形成的分子量分布变化(蒙允许复制自 Miller 和 Michl,1989)

• p. 233 •

Miler 等(1991)和 Wallraff 等(1991)正在研究,把很多类型带灵敏附加物的脂肪类和芳香烃聚合物作为正性顶层胶。它们在 1μm 厚的硬烘过的酚醛树脂膜上旋转涂覆甲苯溶液高分子量材料,形成厚度为~0.1μm 的干胶。它们的研究透露,高 DUV 灵敏度($15mJ/cm^2$)、高分辨率和干净的氧 RIE 图形转移是可能的。存在的主要问题是使用难以处理的金属钠和钾时产生的低的聚硅烷合成产额(Reiser,1989),金属杂质在胶中沾污的排除和由显影引起曝光工具的沾污。合成问题也许可以用与干法显影结合的聚硅烷等离子淀积来克服,这可允许进行全干法光刻工艺(Kunz 和 Horn,1991;Joubert 等,1994)。

已在探索聚硅烯的派生物作为用于 ArF(193nm)准分子激光光刻的光刻胶(Kunz 和 Horn,1991)。这些材料由高能量辐照曝光而光氧化为聚硅氧烷。应用极性溶剂湿法显影,在氧 RIE 后,产生特征尺寸小于 0.2μm 的正性图像。

Gozdz 等(1986)用二氧化硫、丁烯和带 13%硅含量的丙烯三甲基硅烷的共聚反应制备一种双层胶(图 4-61),具有高电子束灵敏度($2\mu C/cm^2$)和好的分辨能力。4-羟基苯乙烯和乙烯三甲基硅烷的共聚物(图 4-61)是对含水碱溶液可显影的含硅近或深 UV 胶的优秀候选者,因为它们显示在 248nm 下的高透明度,温度高至 150℃无热流动和好的氧 RIE 阻抗等优点(Sezi 等,1989)。使甲醛和带硅氧烷组分的苯酚浓缩,已经制成含硅量超过 10%正性 DNQ 为基的胶(Noguchi 等,1990)(图 4-61)。用 g 线分步重复相机已制造了 0.5μm 图形。

• p. 234 •

通过苯基硅三氧化二烷的齐分子量化合物的乙酰化,Tanaka 等(1989)已得到一种 g 线灵敏碱可显影的胶,它具有高至 400℃的热稳定性和 0.35μm 的最终分辨率。已将包含

Poly-(allyltrimethylsilane-sulfur dioxide)　　Silicon-containing novolak resin

Vinyltrimethylsilane/hydroxystyrene copolymer

Poly-(hydroxybenzylsilsesquioxane)

图 4-61　含硅正性胶材料的例子

于 Hitachi 有机硅正性胶 OSPR-1334(图 4-61)的聚(4-羟基苯基硅二氧化二烷)的碱性可溶酚醛组分与 DNQ 结合,作为 i 线、g 线灵敏的正性顶层胶(Sugiyama 等,1988)。OSPR 包含 18%硅,T_G 为 107℃,对硬烘酚醛树脂的氧 RIE 速率比为 28,并且在图形转移后可用碱性显影液剥离(Nate 等,1991)。已由 Brunsvold 等(1993b)评估了这种类型的 *t*-BOC 阻断树脂,它作为 DUV 胶用于 64M 位 DRAM 生产。

到现在为止描述的用于 MLR 的顶层材料都是包含结合于聚合物结构的硅。另一种方法是加低分子量聚(苯基硅二氧化二烷)于通常的 g 线 DNQ 胶中。这种混合物已由 Hitachi 以 RG8500P 商标商品化,它有亚微米分辨能力(Toriumi 等,1987)。

4.5.4　顶表面成像

已经建议表面图像形成与使用氧等离子体干法显影结合,作为一种克服习惯的湿法显影固有限制的方法。这个策略是通过在曝光时或曝光后使用合适的技术,选择性地掺硅于潜在胶图像,以增加无金属胶的氧腐蚀阻抗(Roland,1991;Taylor 等,1990)。这种顶层表面成像(TSI)技术的优点是明显的,含硅保护层的生成只需要表面修改。由于多层胶性能可用单层胶工艺获得,这会导致曝光时间的减少,和聚焦深度与薄膜干涉问题的减轻。

· p. 235 ·

4.5.4.1　气相甲硅烷基化系统

最突出的 TSI 方案是所谓的 DESIRE 工艺(扩散增强甲硅烷基化胶),它在 1980 年代中期由 UCB Electronics 的 Ronald,IMEC 的 Coopmans 发展。引起重大兴趣是基于这样

的事实：可重复生产的以染色 DNQ 酚醛树脂为基的光刻胶已经商品化(Plasmark)，用于 g 线(150-G)、i 线(200-g)和 DUV(301-u)(Ronald 等，1990；Bauch 等。1991)。一种负性 DESIRE 工艺方案在图 4-62 上简略画出。胶按图形曝光，在～160℃接受所谓的甲硅烷基化前烘烤，然后以提高的温度(140—170℃)在气相中甲硅烷基化，形成富硅的薄胶层，成为在氧刻蚀时的腐蚀阻挡 SiO_2 层(Laporte 等，1991)。甲硅烷基化的选择性已由 Rutherford 背散射谱仪(RBS)确定。甲硅烷基化的厚度在已曝光区为 150—200nm，在非曝光区仅为 5—10nm(Dijkstra，1991)。

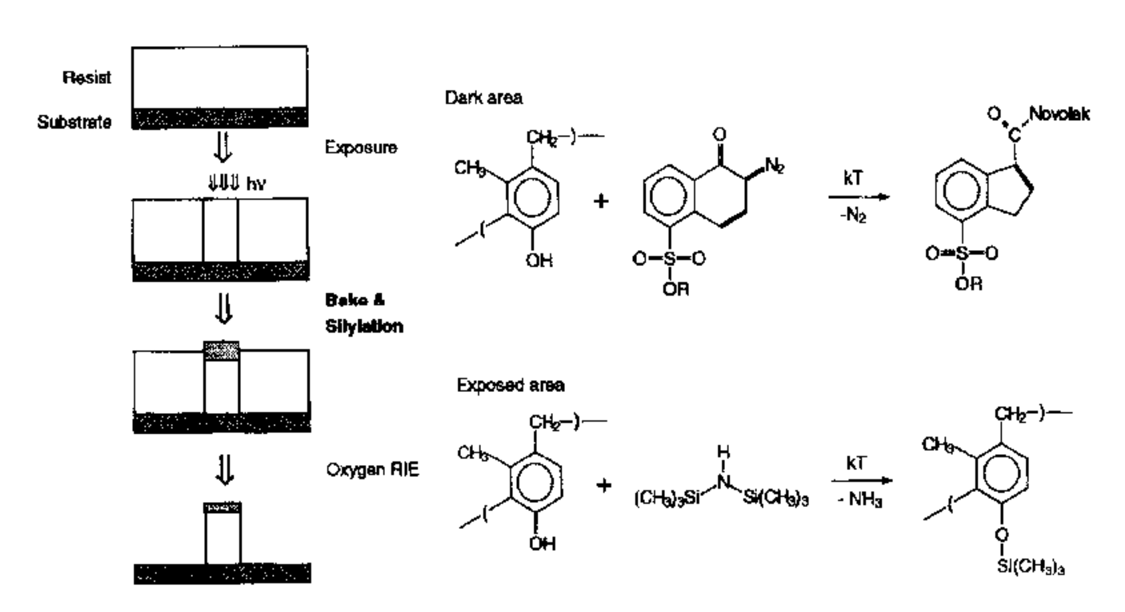
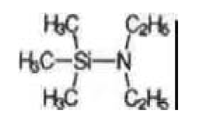


图 4-62　DESIRE 工艺流程

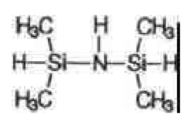
甲硅烷基化的机理是严格的，已由 Visser 等(1987)详细研究。它是一个动力学控制的同时发生扩散/反应的过程，并遵守 Fick 扩散定律。它的扩散系数决定于 PAC 的浓度。一个未光分解的 PAC 与树脂之间的热引入交链反应，在甲硅烷基化前烘烤时发生于未曝光区。因此，仅在曝光区有大量甲硅烷基化试剂。由于空间图像和甲硅烷基化的有限反差，得到了倾斜的甲硅烷基化剖面(Reuhman-Huisken 和 Vollenbrock，1991；Taira 等，1991)。
· p. 236 ·

应用通常的甲硅烷基化试剂，在曝光区只有树脂的羟基部分被甲硅烷基化，而 IAC 的羧基酸组分却没有。Plasmans g 线材料加入约 11％的硅，它伴随着垂直和横向的胶膨胀，垂直膨胀不影响图像精度而横向膨胀导致一种邻近效应，会造成图像畸变。横向膨胀受甲硅烷基化试剂的影响，并以下列次序减少(Dao 等，1991)：1，1，3，3，5，5-六甲基环三硅氧烷(HMCTS)＞七甲基双硅氧烷(HeptaMDS)＞三甲基甲硅烷基二乙基胺(TMSDEA)≫1，1，3，3-四甲基双硅氧烷(TMDS)(图 4-63)；已经报告，后者能消除任何膨胀并改善工艺容差范围(Goethals 等，1991)。

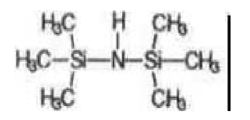
一些研究文献指出，DESIRE 在应用于实际的设计和图像形成时具有一定的优点和缺点(Op De Beeck 等，1990；Garza 等，1991；Goethals 等，1994)。这种技术应用的主要障碍是甲硅烷基化机器和等离子反应器的附加成本及低的硅片产量(近似 5—15 片/h)。主要



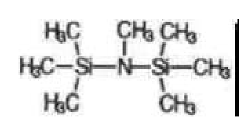
Trimethylsilyldiethylamine
TMSDEA



Tetramethyldisilazane
TMDS



Hexamethyldisilazane
HMDS



Heptamethyldisilazane
HeptaMDS

1,1,3,3,5,5-Hexamethylcyclotrisilazane
HMCTS

图 4-63　甲硅烷基化合物的化学结构

的光刻考虑是：刻蚀时的线宽损失、邻近效应和形成图形后含硅光刻胶的去除。然而，一些优点，例如在整个表面上印象深刻的 CD 控制，补偿了某些缺点(图 4-64)。DESIRE 在生产上的潜力已由 Garza 等估计(1991)。从 1250 片硅片所得结果指出，它肯定地扩展了现有曝光设备的应用能力。线性度和工艺窗口优于标准光刻胶。Takehara 等对应用 i 线材料的研究透露，分辨率限制(在 0.75μm 胶厚时 0.35μm)是受空间图像支配的，而并非由于干法显影性能。

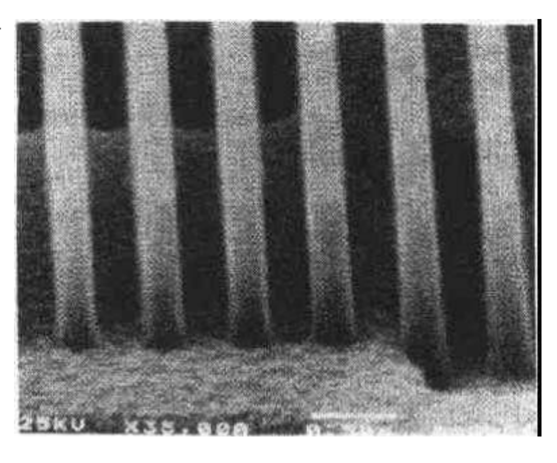


图 4-64　铝表面上 Plasmask 胶的 0.25μm 线条和间隔[ASM-LPAS5000/70 DUV stepper($NA=0.42$)](蒙允许复制自 IMEC, Leuven, Belgium)

长期以来，干法显影是 DESIRE 工艺受批评的重点，它产生衬底残余物("草皮")或剖面退化(Hutton 等，1990)。大多数问题已经克服。低压用于避免横向腐蚀，高等离子密度则是提供足够高的刻蚀速度需要的。在平行板反应器——反应离子刻蚀(RIE)——中，具有高离子能量的低密度等离子体刻蚀速度太慢而且刻蚀选择性差，在磁控管增强离子刻蚀机(MIE)中，具有低离子能量和较好刻蚀选择性的高密度等离子体(Lombaerts 等，1990；Hutton 等，1990)暴露光刻胶于提高的温度之中，导致剖面形状退化(Joubert 等，1993)。由电子回旋共振反应器(ECR)产生的高密度等离子体能提供足够高的刻蚀速度和选择性(Lynch 等，1992)。硅片温度是需要控制的最重要参数之一(Dijkstra，1991)。使用 SO_2/O_2 混合气体代替纯氧，即使在室温下用 ECR 干法显影工艺，也可得到可忽略的临界尺寸损失和完美的各向异性(Pons 等，1994)。
· p. 237 ·

为得到较高反差的甲硅烷基化剖面和提高感光速度，使用了 PROMOTE 技术以改进 DESIRE(Reuhman-Huisken 等，1991)。为产生正性图形，DESIRE 的修改已在 LETI(Joubert 等，1992)研究。标准的 Plasmask 胶受 248nm 或电子束辐照按图形进行交联。再是

DUV 的全面曝光，然后为未交联区的甲硅烷基化和氧 RIE。应用相移掩膜版和 DUV ($575mJ/cm^2$)辐照，这种工艺可在 0.35μm 厚胶上产生具有 175nm 线宽和间隔最小分辨率的高反差图形。当受到 193nm 准分子激光辐照时，Plasmask 胶以比 248nm 较高的效率交联，并给出高分辨率正性干法显影图像(Hartney 等，1992)。为此目的，纯酚醛树酯在胶灵敏度和甲硅烷基化速度方面优于 DNQ-PAC/聚合物混合物。用剂量～$70mJ/cm^2$ 和 140℃ 60s 甲硅烷基化处理，纵横尺寸比>5 的 0.2μm 图形已得到。

TSI 方案已用于 PBOCST CAR(图 4-65)。PEB 后进行按图形 DUV 曝光，以去除苯酚，并且用金属化试剂处理，例如 HMDS(Willson 等，1990)、氯三甲基硅烷、(二甲基氨基)-三甲基硅烷(MacDonald 等，1991)，或钛四氯化合物(Nalamasu 等，1989)。氧等离子刻蚀时，得到了负性图形。因为未曝光的阻断的聚合物不进行反应，该工艺提供优秀的甲硅烷基化选择性。

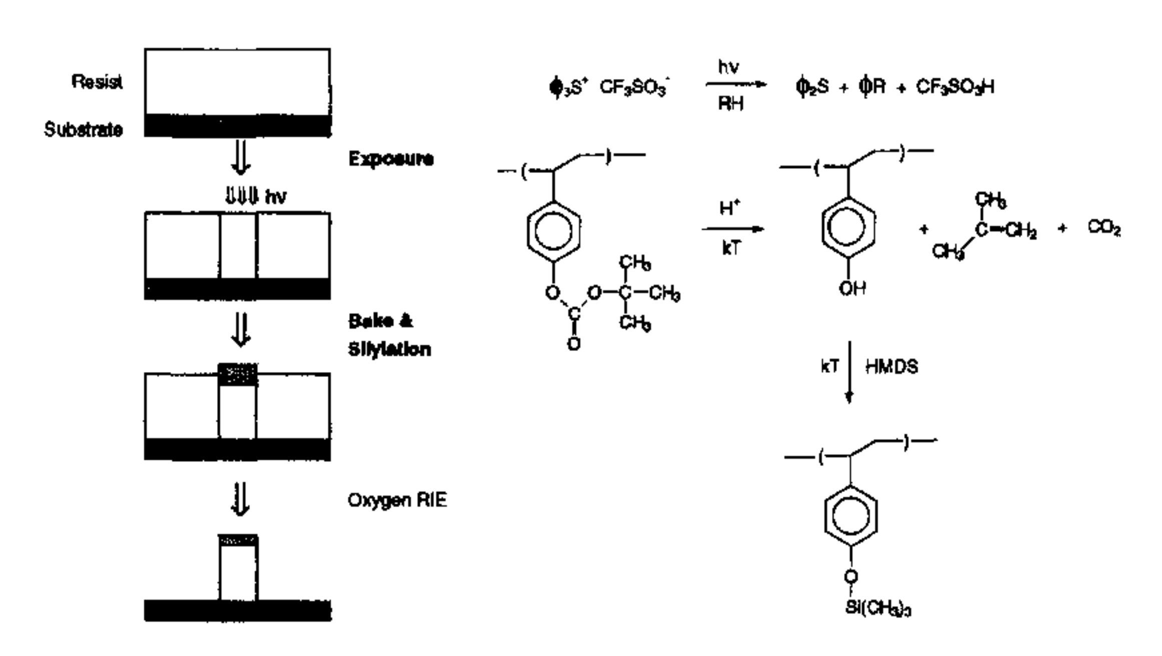


图 4-65 用 t-BOC 胶的表面成像工艺流程

一个称为 SABRE(加硅双层胶)的正性工艺用作为双层方案。一个平面化层被标准 DNQ 酚醛树脂胶的薄图像形成层(<0.5μm)覆盖，后者具有高分辨率。在显影后保留的未曝光顶层胶在气相中受到甲硅烷基化处理。底层胶氧离子刻蚀后，得到了正性立体图像(McColgin 等，1988)。

为产生用于 DUV 辐照并能阻抗正性干法刻蚀的材料，已由 SUPER-process(亚微米正性干法刻蚀胶)提供(Mutsaers 等，1990)。它依靠 AHR 概念(Lamola 等，1991)：辐照过的区域因 80—120℃ PEB 而交链，这样避免了已形成图像区的硅的吸收。

· p. 238 ·

一个用于 DUV TSI 工艺的类似概念在 Shipley 发展，称为 SAHR(甲硅烷基化酸硬化胶)(Pavelchek 等，1993)。SAL607，一个用于电子束辐照的负性 CAR，被选作胶，TMS-DEA 用作甲硅烷基化试剂。用低的曝光剂量(≤$10mJ/cm^2$)得到反差值为 6。该工艺已转

移到电子束光刻，剂量为<10μ C/cm² 时，能分辨 0.3μm 的图形（Vachette 等，1991）。SAHR 概念已被使用专门胶和 TMDS 的 256M 位 DRAM 图形（0.24μm）作了评估（Han 等，1993）。

4.5.4.2 液相甲硅烷基化系统

现在，Sebald 等（1990）报告了新的胶化学反应，在室温下，已显影的顶层胶图形放在一个盛有无毒的二胺基硅氧烷水/乙醇溶液的通常搅拌设备内处理，导致一个时间可控的胶线条扩宽，称为 CARL（胶线条的化学放大）工艺（图 4-66）。用带有三甲基丙烯硅烷，苯乙烯或顺丁烯二酰亚胺的顺乙烯二酸酐之共-或三元聚合物作为树脂，它有高的玻璃转化点，并在 230nm 以上是透明的。因为选择好了 DNQ-PAC，就确定了专门的灵敏度。最近，*t*-BOC 阻断顺丁烯二酰亚胺或 *t*-甲基丙烯酸丁酯共聚物与鎓盐结合作为 DUV 灵敏的 CAR 已用于 CARL 工艺（Leuschner 等，1992 和 1994）。

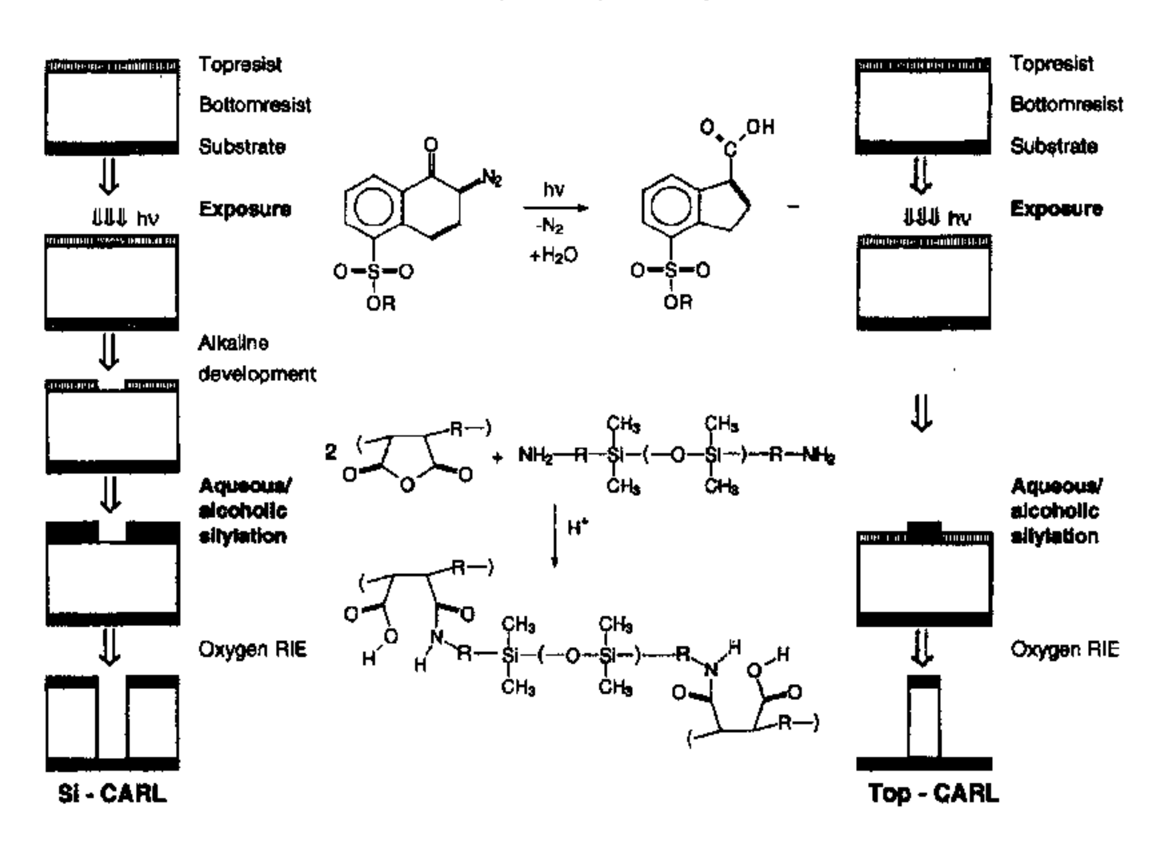


图 4-66 工艺流程和化学反应。（左）Si-CARL 和（右）顶层 CARL 工艺

• p. 239 •

对于这个工艺，环烃酸酐组分加入聚合物是强制性的。酸酐部分在形成羧基酰胺和各种铵盐的条件下被硅氧烷的胺基组分打开，这已由 FTIR 证明（Sebald 等，1990）。硅按重量计～25%的吸收对应高的刻蚀选择性。胶线条的横向扩展可以补偿氧 RIE 时的线宽损失，因此可在四分之一微米范围复印等距的线条和间隔。小至 0.3μm 的结构已用一个 g 线分步重复相机（$NA=0.55$）分辨，用 DUV 曝光（$NA=0.37$），0.25μm 线条和间隔也已



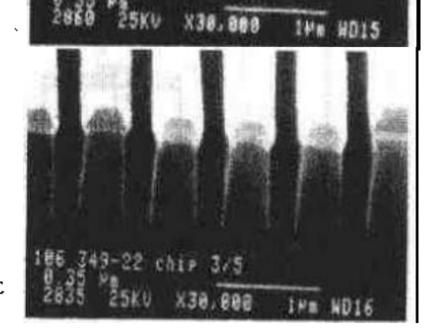


图 4-67　用酸催化 Si-CARL 胶和 248nm 光刻（NA-0.37）时，间隔从 0.35μm 到 0.20μm 的减小

达到，两者对应的 k_1 系数为 0.38（Sebald 等，1990；Leuschner 等，1992）。CARL 工艺给于光刻能达到的空间尺寸超出所用光学镜头的限制，图 4-67 显示了 CARL 工艺的线条横向展宽能力，并为有 0.7μm 节距 0.2μm 间隔的不同工艺步骤提供资料。即使 170nm 的间隔和 150nm 接触孔，也已由 Sebald 等（1990）用 i 线曝光（$NA=0.40$），并简单控制剂量和甲硅烷基化时间而达到。

在称为 Top-CARL 干法刻蚀方案中，应用同样的化学反应，但取消显影步骤（Sezi 等，1990）。一层含酸酐共聚物和 DNQ-PAC 的薄膜（0.40μm）覆盖于硬烘烤后的底层胶上。顶层被以图像形状曝光，在曝光区选择性地甲硅烷基化，然后干法显影产生负性图形（图 4-66）。该系统的高刻蚀稳定性使它能用 i 线分步重复相机在 2μm 厚的胶上复印 0.40μm 图形，或厚至 42μm 的聚酰亚胺层上复印陡峭剖面的结构（Leuschner 等，1993）。一个正性工作的变种胶使用一感光性添加剂于 DNQ 为基的胶，然后进行的大面积曝光和图像反转烘烤以改变胶的色调（Leuschner 等，1993）。对于 DUV 曝光，Sezi 等（1991）已评估了使用包含 t-丁基组分和 PAG 的共聚物顶层 CARL 的 CAR 版本。它显示高的甲硅烷基化反差，已用 DUV 分步重复相机（$NA=0.37$）在 1.8μm 厚的胶上分辨 0.30μm 的图形。

• p. 240 •

CARL 工艺应用液相为基的甲硅烷基化，而 Yang 等（1989）和 Stewart 等（1990）已经研究了用不同种类多功能有机硅化合物的溶剂为基的液相工艺（图 4-68）。DNQ 酚醛树脂为基的胶按图形形状曝光，用一个作为扩散促进剂和甲硅烷基化试剂的包含胶溶剂的二甲苯或 n-葵烷溶液进行显影和处理，例如六甲基环三硅氧烷（HMCTS）（Stewart 等，1990），或双（二甲基胺基）二甲基硅烷（BDMADS）（babich 等，1991）。与气相甲硅烷基化不同，液态甲硅烷基化产生胶的交联，并推动更多的硅进入胶中，导致较高的胶热稳定性和更好的刻蚀阻抗。已由 Vettiger 等（1989）得到最终分辨率为 50nm。在单层胶配置时，分别采用 Plasmask 200-G 或酸硬化胶 AZ 5214 和 SAL-601，可以复印负性或正性图形（Baik 等，1993；Gogolides 等，1994；Keber 和 Koobs，1992）。后一种情况，已曝光区的交联避免了液态甲硅烷化试剂的透入。

• p. 241 •

Silylation agent	Silylation time (min)	OH-silylation (%)	COOH-silylation (%)
$(CH_3)_2Si[N(CH_3)_2]_2$	2	55.6	77.0
	4	57.1	79.0
$CH_3(H)Si[N(CH_3)_2]_2$	2	31.1	55.4
	4	32.3	58.9
$[CH_3(H)Si-NH]_3$ (cyclic)	2	26.6	62.1
	4	35.5	69.3
$(CH_3)_2Si-CH_2CH_2-Si(CH_3)_2-NH$ (cyclic)	2	20.0	56.5
	4	21.7	61.0
$(CH_3)_2N(CH_3)_2Si-CH_2CH_2-Si(CH_3)_2N(CH_3)_2$	2	1.7	2.6
	4	1.7	4.8

图 4-68 几种带 Si-N 单元的甲硅烷基化试剂的化学结构和苯酚 OH-组分与茚 COOH-组分甲硅烷基化的比例

4.6 光刻的发展倾向

近十年来，几种新光刻技术已经发展，预料成熟的生产工艺在价格有效的范围仍将采用已建立的光学光刻。硅片制造继续为混合和匹配状况，当代先进水平的光刻仅用于最临界的应用。刻出高产量的 0.35μm(或更小)图形看来是近代光刻的阻碍。短波长光学光刻(248 或 193nm 准分子激光为基的系统)是高分辨率并对图形层无任何限制的候选者。相移掩膜版技术或离轴光照改进了分辨能力，但是，这些方法不容易用于孤立或随机图形(Okazaki，1991)。相移掩膜版和离轴光照的结合看来对用高 NA 的 DUV 分步重复相机的 0.18μm 图形提供了合理的工艺窗口(Van den hove 和 Ronse，1994)。X 射线光刻仍承受困难的掩膜版制造和修理问题，因为对于 1：1X 射线掩膜版需要的精度高于光学掩模板一个数量级。不管如何，在不久的将来，在商业 IC 制造方面的突破是可以预期的(Yanof 等，1992)。软 X 射线(13—16nm)投影曝光原则上是可能的，但所需反射镜头系统要求在镜面制造技术方面取得进展(White 等，1991；Ito 等，1994)，虽然在涂覆技术方面已取得了进步(Louis 等，1994)。先进的平行复印电子束系统，类似单元投影光刻，在分辨率和产量方面也许可发展为竞争技术，但仍有在曝光区域硅片加热，邻近效应修正和高压产生的器件损坏等问题。一个以微单元为基的平行直写系统是吸引人的概念，也许是将来纳米光刻的最好选择(Chang 等，1992)。

与上述先进的光刻技术无关，胶的灵敏度仍是一个重要问题，因为所有新光刻方法都提供比传统光刻工具低的辐照密度。因此，化学光放大系统也许是256M位DRAM一代产品价格有效生产的前提。为了避免曝光和PEB之间延迟时间效应，使用环境控制腔的集群工艺应当发展(Holmes和Sturte van，1993)。ArF准分子激光光刻(193nm)是用于200nm特征尺寸的波长选择。聚焦深度和刻蚀阻抗材料的高吸收将强调对光线邻近效应及衬底反射(Van den Hove和Ronse，1994)和顶表面成像系统的要求(Hartney等，1992)。
· p. 242 ·

除了复杂的光刻技术外，新一代IC需要改进的设计概念，例如通路(pass)晶体管电路或硅在绝缘体上MOS器件(Takeda，1994)和新的多层金属技术[例如用化学机械抛光的全面平面化(Murarka等，1993)]和铜互连(Li等，1994)。2000年后的将来，电子学可能会有完全不同的设计，因为走向更小的特征尺寸，伴随着每一动作只有更少可控制的电子，它产生了向单电子器件发展的倾向(Rohrer，1994)。另一方面，为了微机械和光学目的，光刻将扩展向更大的特征尺寸，由此可提供具有从钠米到毫米大小范围元件的集成器件和机械。

4.7 参考文献

这里引用的文献主要是1987年以后发表的论文。较早的文章可在本文的引用论文清单上找到。

Acosta, R.E. (1991), *Microelectron. Eng. 13*, 259.

Ahne, H., Leuschner, R., Rubner, R. (1992), *Polym. Adv. Technol., 4*, 217.

Alexander, K.E., Hargreaves, T.S., Reihani, M. (1994), *Microelectr. Eng. 25*, 21.

Allen, R.D., Schaedeli, U., McKean, D.R., MacDonald, S.A. (1989), *Polym. Mater. Sci. Eng. 61*, 185.

Allen, R.D., Wallraff, G.M., Hinsberg, W.D., Conley, W.E., Kunz, R.R. (1993a), *Solid State Technol. 36(11)*, 53.

Allen, R.A., Troccolo, P., Owen, J.C., Potzick, J., Linholm, L.W. (1993b), *Proc. SPIE 1926*, 34.

Alling, E., Stauffer, C. (1988), *Solid State Technol. 31(6)*, 37.

Amblard, G., Weill, A. (1993), *Proc. SPIE 1925*, 366.

Aoai, T., Yamanaka, T., Kokubo, T. (1994), *Proc. SPIE 2195*, 111.

Arden, W. (1990), *VDI-Berichte 720*, 3.

Asaumi, S., Nakayama, T., Kitani, Y., Yokota, A. (1991), *J. Photopolym. Sci. Technol. 4*, 117.

Azuma, T., Niiyama, H., Sasaki, H., Mori, I. (1993), *J. Electrochem. Soc. 140(11)*, 3158.

Babich, E., Paraszczak, G., Hatzakis, M., Rishton, S., Grenon, B., Linde, H. (1989), *Microelectron. Eng. 9*, 537.

Babich, D.E., Paraszczak, J.R., Gelome, J., McGouey, R., Brady, M. (1991), *Microelectron. Eng. 13*, 47.

Baik, K.-H., Ronse, K., Van den hove, L., Roland, B. (1993), *Proc. SPIE 1925*, 302.

Ban, H., Tanaka, A. (1990), *Polymers for Microelectronics-Science and Technology:* In: Tabata, Y. et al. (Ed.). Weinheim: Verlag Chemie, 295.

Barnes, G.A., Jones, S.K., Dudley, B.W., Koester, D.A., Peters, C.R., Bobbio, S.M., Flaim, T.D., (1991), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991*, 259.

Barra, M., Redmond, R.W., Allen, M.T., Calabrese, G.S., Sinta, R.S. (1991), *Macromolecules, 24*, 4972.

Bauch, L.L., Jagdhold, U.A., Dreger, H.H., Bauer, J.J., Hoeppner, W.W., Erzgraeber, H.H., Mehliß, G.G. (1991), *Proc. SPIE 1464*, 510.

Beauchemin, B.T., Ebersole, C.E., Daraktchiev, I. (1994), *Proc. SPIE 2195*, 610

Bending, J., Gruetzner, G. (1990), *Z. Chem. 30*, 411.

Bischoff, L., Hesse, E., Hofmann, G., Naehring, F.K., Probst, W., Schmidt, B., Teichert, J. (1993). *Microelectron. Eng. 21*, 197.

Blanco, M., Hightower, J., Cagan, M., Monahan, K. (1987), *J. Electrochem. Soc. 134*, 2882.

Boettiger, U., Fischer, T., Grassmann, A., Mortiz, H., Reuhman-Huisken, M. (1994), *Microelectr. Eng. 23*, 163

Boggs, A. (1989), *Appl. Ind. Hyg. 4*, 81.

Bolsen, M., Buhr, G., Merrem, H.J., van Werden, K. (1986), *Solid State Technol. 29(2)*, 83.

Bond, J. (1993), *Solid State Technol. 36(9)*, 39.

Brock, P.J., Levenson, M.D., Zavislan, J.M., Lyerla, J.R., Cheng, J.C., Podlogar, C.V. (1991), *Proc. SPIE 1463*, 87.

Brunner, T.A. (1991), *Proc. SPIE 1466*, 297.

Brunsvold, W., Montgomery, W., Hwang, B. (1991), *Proc. SPIE 1466*, 368.

Brunsvold, W., Conley, W., Gelome, J., Nunes, R., Spinillo, G., Welsh, K. (1993a), *Microlith. World 2(4)*, 6.

Brunsvold, W., Stewart, K., Jagannathan, P., Parrill, J., Sooriyakumaran, R., Muller, P., Sachdev, H. (1993b), *Proc. SPIE 1925*, 377.

Buck, P.D., Rieger, M.L. (1991), *Proc. SPIE 1463*, 218.

Buckley, J.D., Karatzas, C. (1989), *Proc. SPIE 1088*, 424.

Buhr, G., Dammel, R., Lindley, C.R. (1989a), *Polym. Mater. Sci. Eng. 61*, 269.

Buhr, G., Lenz, H., Scheler, S. (1989b), *Proc. SPIE 1086*, 117.

Bullis, W.M., O'Mara, W.C. (1993), *Solid State Technol. 36(4)*, 59.

Cagan, M., Blanco, M., Wise, V., Trefonas, P., Daniels, B.K., McCants, C.A. (1989), *Proc. SPIE 1086*, 515.

Cernigliaro, G.J., Cronin, M.F., Fisher, T.A., Perkins, M.E., Turci, P. (1989), *Proc. SPIE 1086*, 106.

Chaker, M., Boily, S., Ginovker, A., Jean, A., Kieffer, J.C., Mercier, P.P., Pepin, H., Leung, P.K., Currie, J.F., Lafontaine, H. (1991), *Proc. SPIE 1465*, 16.

Chalupka, A., Fegerl, J., Fischer, R., Lammer, G., Löscher, H., Malek, L., Nowak, R., Stengl, G., Traher, C., Wolf, P. (1992), *Microelectron. Eng. 17*, 229.

Chang, T.H.P., Muray, L.P., Staufer, U., Kern, D.P. (1992), *Jpn. J. Appl. Phys. 31*, 4232.

Chiong, K., Wind, S., Seeger, D. (1990), *J. Vac. Sci. Technol. B8*, 1447.

Chu, R., Greeneich, J., Katz, B., Lin, H.-K., Huand, D.T. (1991), *Proc. SPIE 1465*, 238.

Classen, A., Kuhn, S., Straka, J., Forchel, A. (1992), *Microelectron. Eng. 17*, 21.

Clube, F., Gray, S., Struchen, D., Tisserand, J.C. (1993), *Opt. Eng. 32*, 2403.

Conley, W., Brunsvold, W., Ferguson, R., Gelome, J., Holmes, S., Matino, R., Petryniak, M., Rabidoux, P., Sooriyakumaran, R., Sturtevant, J. (1993), *Proc. SPIE 1925*, 120.

Cowie, J.M.G. (1994) *Adv. Mater. Opt. Electron, 4*,

155.
Crivello, J.V. (1984), *Adv. Polym. Sci. 62*, 1.
Crivello, J.V., Lee, J.L., Conlon, D.A. (1988), *Makromol. Chem. Makromol. Symp. 13/14*, 145.
Cromer, E.G. (1993), *Solid State Technol. 36(4)*, 23.
Dammel, R. (1993), *Diazonaphthoquinone-Based Resists*. Bellingham, A.: SPIE Optical Engineering Press.
Dammel, R., Doessel, K.F., Lingnau, J., Theis, J., Huber, H.L., Oertel, H. (1987), *Microelectron. Eng. 6*, 503.
Dammel, R., Lindley, C.R., Meier, W., Pawlowski, G., Their, J., Henke, W. (1990), *Proc. SPIE 1264*, 26.
Dammel, R., Rahman, M.D., Lu, P.H., Canize, A., Elango, V. (1994), *Proc. SPIE 2195*, 542.
Dao, T.T., Spence, C.A., Hess, D.W. (1991), *Proc. SPIE 1466*, 257.
Das, S., Thackeray, J.W., Endo, M., Langston, J., Gaw, H. (1990), *Proc. SPIE 1262*, 60.
Dijkstra, J. (1991), *Proc. SPIE 1466*, 592.
Einspruch, N.G. (Ed.) (1985), *VLSI Handbook*. New York: Academic Press.
Endo, M., Sasago, M., Hirai, Y., Ogawa, K., Ishihara, T. (1989), *J. Electrochem. Soc. 136*, 508.
Endo, M., Tani, Y., Yabu, T., Okada, S., Sasago, M., Nomure, N. (1991), *J. Photopolym. Sci. Technol. 4*, 361.
Fahey, T., Moreau, W., Welsh, K., Miura, S., Eib, N., Spinillo, G. (1994), *Proc. SPIE 2195*, 422.
Feely, W.E. (1985), *EP 164 248* (Rohm and Haas).
Flamm, D.L. (1992), *Solid State Technol. 35(8)*, *37* and *35(9)*, 43.
Fouassier, J.P. (1989), in: *Photopolymerization Science and Technology:* Allen, N.S. (Ed.). London: Elsevier.
Frackoviak, J., Celler, G.K., Jurgensen, C.W., Kola, R.R., Novembre, A.E., Tomes, D.N., Trimble, L.E. (1993), *Proc. SPIE 1924*, 258.
Fréchet, J.M.J., Stanciulescu, M., Iizawa, T., Willson, C.G. (1989), *Polym. Mater. Sci. Eng. 60*, 170.
Fréchet, J.M.J., Kryczka, B., Matuszczak, S., Reck, B., Stanciulescu, M., Willson, C.G. (1990), *J. Photopolym. Sci. Technol. 3*, 235.
Fréchet, J.M.J., Matuszczak, S., Lee, S.M., Fahey, J., Willson, C.G. (1991), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991*, 31.
Fukuda, H., Okazaki, S. (1990), *J. Electrochem. Soc. 137(2)*, 675.
Fukuda, H., Imai, A., Terasawa, T., Okazaki, S. (1991), *IEEE Trans. Electron Dev. ED-38*, 67.
Fukuda, H., Kobayashi, Y., Tawa, T., Okazaki, S. (1994), *Int. Conf. Micro- and Nanoengineering 94*, Davos, Sept. 26–29, paper D2/3.
Fukumoto, H., Okuda, Y., Takashima, Y., Ohkuma, T., Ueda, S., Inoue, M. (1989), *J. Photopolym. Sci. Technol. 2*, 365.
Garza, C.M., Catlett, D.L., Jackson, R.A. (1991), *Proc. SPIE 1466*, 616.
Goethals, A.M., Baik, K.H., Van den hove, L., Tedesco, S. (1991), *Proc. SPIE 1466*, 604.
Goethals, A.M., Baik, K.H., Ronse, K., Vertommen, J., Van den hove, L. (1994), *Proc. SPIE 2195*, 394.
Gogolides, E., Baik, K.H., Yannakopoulou, Van den hove, L., Hatzakis, M. (1994), *Microelectr. Eng. 23*, 267.
Gozdz, A.S., Carnazza, C., Bowden, M.J. (1986), *Proc. SPIE 631*, 2.
Greeneich, J., Katz, B. (1990), *Solid State Technol. 33(3)*, 63.
Grunwald, J.J., Gal, C., Spencer, A.C., Eidelman, S. (1990), *Proc. SPIE 1262*, 444.
Guo, J.Z.Y., Cerrina, F. (1991), *Proc. SPIE 1465*, 330.
Gutmann, A., Binder, J., Czech, G., Karl, J., Mader, L., Sarlette, D., Henke, W. (1990a), *Proc. SPIE 1264*, 40.
Gutmann, A., Czech, G., Lenz, H., Meier, W. (1990b), *Microelectron. Eng. 11*, 565.
Hacker, N.P., Welsh, K.M. (1991), *Proc. SPIE 1466*, 384.
Halle, L. (1985), *J. Vac. Sci. Technol. B3*, 323.
Han, W.-S., Lee, J.-H., Park, J.-C., Park, C.-G., Kang, H.-Y., Koh, Y.-B., Lee, M.-Y. (1993), *Proc. SPIE 1925*, 291.
Hanabata, M., Furuta, A., Uemura, Y. (1986), *Proc. SPIE 631*, 76.
Hanabata, M., Uetani, Y., Furuta, A. (1989), *J. Vac. Sci. Technol. B7*, 640.
Hanabata, M., Oi, F., Furuta, A. (1991), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991*, 77.
Hanawa, R., Uetani, Y., Hanabata, M. (1993), *Proc. SPIE 1925*, 227.
Hanson, J.E., Reichmanis, E., Houlihan, F.M., Neenan, T.X. (1992), *Chem. Mater. 4*, 837.
Hartney, M.A. (1994), *Adv. Mater. Opt. Electron. 4*, 165.
Hartney, M.A., Hess, D.W., Soane, D.S. (1989), *J. Vac. Sci. Technol. B7*, 1.
Hartney, M.A., Horn, M.W., Kunz, R.R., Rozhschild, M., Shaver, D.C. (1992), *Microlith. World 1(2)*, 16.
Hattori, T., Schlegel, L., Imai, A., Hayashi, N., Ueno, T. (1993), *Proc. SPIE 1925*, 146.
Hatzakis, M., Shaw, J., Babich, E., Paraszczak, J. (1988), *J. Vac. Sci. Technol. B6*, 2224.
Hatzakis, M., Stewart, K.J., Shaw, J.M., Rishton, S.A. (1991), *J. Electrochem. Soc. 138*, 1076.
Hayashi, N., Tadano, K., Tanaka, T., Shiraishi, H., Ueno, T., Iwayanagi, T. (1990), *Jpn. J. Appl. Phys. 29(11)*, 2632.
Hesp, S.A.M., Guillet, J.E. (1990), in: *Polymers for Microelectronics-Science and Technology:* Tabata, Y., Nonogaki, S., Mita, I., Horie, K., Tagawa, S. (Eds.). Weinheim: VCH, p. 113.
Hiraoka, H., Yamaoka, T. (1991), *Microelectron. Eng. 13*, 61.
Holmes, S.J., Sturtevant, J.L. (1993), *Microlitho. World 2(3)*, 17.
Honda, K., Beauchemin, B.T., Fitzgerald, E.A., Jeffries, A.T., Tadros, S.P., Blakeney, A.J., Hurditch, R.J., Tan, S., Sakaguchi, S. (1991), *Proc. SPIE 1466*, 141.

Horn, M.W. (1991), *Solid State Technol. 34(11)*, 57.
Houlihan, F.M., Neenan, T.X., Reichmanis, E., Kometani, J.M., Thompson, L.F., Chin, T. (1991), *Chem. Mater. 3*, 462.
Howard, W.E. (1992), *IBM J Res Dev. 36(1)*, 3.
Huang, W.-S., Kwong, R., Katnani, A., Khojasteh, M. (1994), *Proc. SPIE 2195*, 37.
Hurditch, R., Daraktchiev, I. (1994), *"Positive Photoresist Solvents"* Semicon Europe, Zürich.
Hutton, R.S., Kostelak, R.L., Nalamasu, O., Kornblit, A., McNevin, S., Taylor, G.N. (1990), *J. Vac. Sci. Technol. B8*, 1502.
Ito, H., Schwalm, R. (1989), *J. Electrochem. Soc. 136(1)*, 242.
Ito, H., Willson, C.G. (1984), *ACS Symp. Ser. 242*, 11.
Ito, H., Willson, C.G., Frechet, J.M.J. (1987), *Proc. SPIE 771*, 24.
Ito, H., Flores, E., Renaldo, A.F. (1988), *J. Electrochem. Soc. 135*, 2328.
Ito, H., Schildknecht, K., Mash, E.A. (1991), *Proc. SPIE 1466*, 408.
Ito, H., England, P., Clecak, N.J., Breyta, G., Lee, H., Yoon, D.Y., Sooriyakumaran, R., Hinsberg, W.D. (1993), *Proc. SPIE 1925*, 65.
Ito, M., Oizumi, H., Yamanashi, H., Ogawa, T., Katagiri, S., Seya, E., Takeda, E. (1994), *Int. Conf. Micro- and Nano-Engineering 94*, Davos, Sept. 26–29, paper J 1/1.
Jagannathan, P., Huang, W.S., Katnani, A.D., Hefferon, G.J., Wood, R.L. (1994), *Proc. SPIE 2195*, 28.
Jain, K. (1990), *Excimer Laser Lithography*. Bellingham, SPIE Optical Engineering Press.
Jinbo, H., Yamashita, Y., Sadamura, M. (1990), *J. Vac. Sci. Technol. B8*, 1745.
Johnson, D.W., Shalom, E., Dickey, G., Hale, K., Pebbles, T. (1990), *Proc. SPIE 1262*, 320.
Jones, S.K., Chapman, R.C., Dishon, G., Pavelchek, E.K. (1988), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1988*, 279.
Joubert, O., Mathiot, D., Pelletier, J. (1989), *Appl. Phys. Lett. 54*, 2241.
Joubert, O., Dal'zotto, B., Picard, B., Sahm, A., Tedesco, S. (1992), *Microelectron. Eng. 17*, 75.
Joubert, O., Pons, M., Weill, A., Paniez, P. (1993), *J. Electrochem. Soc. 140(3)*, L46.
Joubert, O., Joshi, A.M., Weidman, T.W., Lee, T.C., Taylor, G.N. (1994), *Proc. SPIE 2195*, 358.
Jurgensen, C.W., Shaqfeh, E.S.G. (1989), *Polym. Eng. Sci. 29*, 878.
Kajita, T., Miura, T., Yomoto, Y., Okuda, C. (1991), *EP 443 820* (Japan Synthetic Rubber).
Kawai, Y., Tanaka, A., Ozaki, Y., Takamoto, K., Yoshikawa, A. (1989), *Proc. SPIE 1086*, 173.
Kawai, A., Nagata, H., Abe, H., Takata, M. (1991), *Jpn. J. Appl. Phys. Part I 30*, 121.
Kempson, V.C., Wilson, M.N., Smith, A.I.C., Purvis, A.L., Anderson, R.J., Townsend, M.C., Jorden, A.R., Drews, D.E., Suller, V.P., Poole, M.W., (1991), *Microelectron. Eng. 13*, 287.
Kerber, T., Koops, H. (1992), *Conf. Proc. Microcircuit Eng. '92, Germany, 21.–24. Sept.*
Khanna, D.N., Durham, D.L., Seyedi, F., Lu, P.H., Perera, T. (1991), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991*, 91.
Kishimura, S., Yamaguchi, A., Nagata, H. (1989), *Proc. Int. Symp. Micro Process 1989*, 167.
Knapek, E., Kalus, C.K., Madore, M., Hintermaier, M., Hofmann, U., Scherer-Winner, H., Schlager, R. (1991), *Microelectron. Eng. 13*, 181.
Koek, B., Grant, R., Haas, L., Jennings, B., Wallman, B. (1993), *Microelectron. Eng. 21*, 153.
Koshiba, M., Murata, M., Matsui, M., Harita, Y. (1988), *Proc. SPIE 920*, 364.
Kowaka, M., Kobayashi, Y., Wakabayashi, O., Itoh, N., Fujimoto, J., Ishihara, T., Nakarai, H., Mizoguchi, H., Amada, Y., Nozue, Y. (1993), *Proc. SPIE 1927*, 241.
Kumada, T., Tanaka, Y., Ueyama, A., Kubota, S., Koezuka, H., Hanawa, T., Morimoto, H. (1993), *Proc. SPIE 1925*, 31.
Kunz, R.R., Horn, M.W. (1991), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991*, 291.
Kuyel, B., Barrick, M., Hong, A., Vigil, J. (1991), *Proc. SPIE 1463*, 646.
Kyser, D., Viswanathan, N.S. (1975), *J. Vac. Sci. Technol. 12*, 1305.
Lall, P., Bhagath, S. (1993), *Solid State Technol. 36(9)*, 65.
Lamola, A.A., Szmanda, C.R., Thackeray, J.W. (1991), *Solid State Technol. 34(8)*, 53.
Laporte, P., Van den hove, L., Melaku, Y. (1991), *Microelectron. Eng. 13*, 469.
Leuschner, R., Beyer, M., Borndörfer, H., Kühn, E., Nölscher, C., Sebald, M., Sezi, R. (1992), *Polymer Eng. Sci. 32(21)*, 1558.
Leuschner, R., Ahne, H., Marquardt, U., Nickel, U., Schmidt, E., Sebald, M., Sezi, R. (1993), *Microelectron Eng. 20*, 305.
Leuschner, R., Schmidt, E., Ohlmeyer, H., Sezi, R., Irmscher, M. (1994), *Int. Conf. Micro- and Nano-Engineering '94*, Davos, Sept. 26–29, paper p 23.
Levenson, M.D. (1992), *Microlith. World 1(1)*, 7.
Levenson, M.D., Schellenberg, F.M. (1992), *Microlith. World 1(2)*, 7.
Li, L., Seidel, T.E., Mayer, J.W. (1984), *MRS Bull. 19(8)*, 15.
Lin, B.J. (1990), *Proc. SPIE 1264*, 2.
Linehan, L.L., Spinillo, G.T., Smith, R.S., Moreau, W.M., McCormick, B.C., Wood, R.L., Putthitz, E.A., Collins, J.P., Miller, W.J. (1994), *Proc. SPIE, 2195*, 307.
Liu, H.Y., Degrandpre, M.P., Feely, W.E., (1988), *J. Vac. Sci. Technol. B6*, 379.
Loechel, B.B., Maciossek, A., Koenig, M., Quenzer, H.J., Huber, H.-L. (1994) *Microelectr. Eng., 23*, 455.
Lombaerts, R., Roland, B., Selino, A., Goethals, A.M., Van den hove, L. (1990), *Microelectron. Eng. 11*, 543.
Long, T., Rodriguez, F. (1991), *Proc. SPIE 1466*, 188.
Louis, E., Voorma, H.-J., Koster, N.B., Schmaenok,

L., Bijkerk, F. (1994), *Int. Conf. Micro- and Nano-Engineering 94*, Davos, Sept. 26–29, paper p 13.
Lynch, B., Das, L., Lieberman, M.A., Hess, D.W. (1992), *Proc. SPIE 1672*, 429.
Lyons, C., Moreau, W. (1988), *J. Electrochem. Soc. 135*, 193.
MacDonald, S.A., Schlosser, H., Ito, H., Clecak, N., Willson, C.G. (1991), *Chem. Mater. 3*, 435.
MacDonald, S.A., Hinsberg, W.D., Wendt, H.R., Clecak, N.J., Willson, C.G. (1993), *Chem. Mater. 5*, 348.
Mack, C.A. (1988), *Solid State Technol. 31(1)*, 125.
Mack, C.A. (1993a), *Solid State Technol. 36(5), 51; Microlith. World, 2(2)*, 25 and *2(3)*, 23.
Mack, C.A. (1993b), *Proc. SPIE 1927*, 512.
Mack, C.A., Connors, J.E. (1992), *Microlith. World 1(4)*, 17.
Maerow, S.B. (1986), *J. Imag. Sci. 30*, 235.
Maldonado, J.R. (1991), *Proc. SPIE 1465*, 2.
Maltabes, J.G., Holmes, S.J., Morrow, J.R., Barr, R.L., Hakey, M., Reynolds, G., Brunsvold, W.R., Willson, C.G., Clecak, N.J., MacDonald, S.A., Ito, H. (1990), *Proc. SPIE 1262*, 2.
Marrian C.R.K., Dobisz, E.A., Calvert, J.M. (1993) in Avouris, P. (ed.) *Atomic and Nanometer-Scale Modification of Materials: Fundamentals and Applications*, Kluwer, p 139.
Martin, R.L., Rajaratnam, M.M., Turci, P. (1987), *EP 287750* (Shipley).
McColgin, W.C., Daly, R.C., Jech, J., Brust, T.B. (1988), *Proc. SPIE 920*, 260.
McKean, D.R., MacDonald, S.A., Clecak, N.J., Willson, C.G. (1988), *Proc. SPIE 920*, 60.
McKean, D.R., Schaedeli, U., MacDonald, S. (1989), *Polym. Mater. Sci. Eng. 60*, 45.
McKean, D.R., Hinsberg, W.D., Sauer, T.P., Willson, C.G., Vicari, R., Gordon, D. (1990), *J. Vac. Sci. Technol. B8*, 1466.
Meyerhofer, D. (1980), *IEEE Trans. Electron. Dev. ED-27*, 921.
Michielsen, M.C.B.A., Marriott, V.B., Ponjee, J.J., van der Wel, H., Touwslager, F.J., Moonen, J.A.H.M. (1990), *Microelectron. Eng. 11*, 475.
Miller, R.D., Michl, J. (1989), *Chem. Rev. 89*, 1359.
Miller, R.D., Wallraff, G.M. (1994) *Adv. Mater. Opt. Electron. 4*, 95
Miller, R.D., Baier, M., Clecak, N., Wallraff, G.M. (1991), *Polym. Prep. 32*, 491.
Moreau, W.M. (1988), *Semiconductor Lithography, Principles, Practices and Materials*. New York: Plenum Press.
Morita, M., Tanaka, A., Onose, K. (1986), *J. Vac. Sci. Technol. B4*, 414.
Moss, M.G. Cuzmar, R.M., MacInnes, D. (1991), *Proc. SPE 49th Annu. Technol. Conf.*, 770.
Murarka, S.P., Steigerwald, J., Gutmann, R.J. (1993), *MRS Bull. 18(6)*, 46.
Murray, C. (1986), *Semicond. Int. 1986(5)*, 80.
Mutsaers, C.M.J., Vollenbroek, F.A., Nissen, W.P.M., Visser, R.J. (1990), *Microelectron. Eng. 11*, 497.
Nakano, K., Maeda, K., Iwasa, S., Yano, J., Ogura, Y., Hasegawa, E. (1994) *Proc. SPIE 2195*, 194.
Nakase, M. (1987), *Proc. SPIE 773*, 226.
Nalamasu, O., Baiocchi, F.A., Taylor, G.N. (1989), *ACS Symp. Ser. 412*, 189.
Nalamasu, O., Reichmanis, E., Gheng, M., Pol, V., Kometani, J.M., Houlihan, F.M., Neenan, T.X., Bohrer, M.P., Mixon, D.A., Thompson, L.F. (1991), *Proc. SPIE 1466*, 13.
Namattsu, H. (1988), *J. Vac. Sci. Technol. B6(6)*, 1698.
Nate, K., Mizushima, A., Sugiyama, H. (1991), *Proc. SIE 1466*, 206.
Neureuther, A.R., Oldham, W.G. (1985), *Solid State Technol. 28(5)*, 139.
Newman, T.H., Coane, P.J., Thomson, M.G.R., Hohn, F.J. (1992), *Microlith. World 1(1)*, 16.
Nicolau, D.V., Dusa, M.V. (1990), *Proc. SPIE 1262*, 569.
Noelscher, C., Mader, L., Schneegans, M. (1989), *Proc. SPIE 1086*, 242.
Noelscher, C., Mader, L., Guttenberger, S., Arden, W. (1990), *Microelectron. Eng. 11*, 161.
Noguchi, T., Hidemi, T. (1991), *Proc. SPIE 1466*, 149.
Noguchi, T., Nito, K., Tomita, H., Seto, J. (1990), In: *Polymers for Microelectronics-Science and Technology:* Tabata, Y. et al. (Eds.), Weinheim: Verlag Chemie, p 305.
Nonogaki, S., Toriumi, M. (1990), *Makromol. Chem., Macromol. Symp., 33*, 233.
Norbury, D.H., Love, J.C. (1991), *Proc. SPIE 1463*, 558.
Ogawa, T., Murayama, S., Mochiji, K., Takeda, E. (1993), *Proc. SPIE 1924*, 273.
Ohtsuka, H., Abe, K., Onodera, T., Kuwahara, K., Taguchi, T. (1991), *Proc. SPIE 1463*, 112.
Oikawa, A., Santoh, N., Miyata, S., Hatakenaka, Y., Tanaka, H., Nakagawa, K. (1993), *Proc. SPIE 1925*, 92.
Okazaki, S. (1991), *Solid State Technol. 34(11)*, 77.
Omote, T., Hayashi, S., Ishii, K., Naitoh, K., Yamaoka, T. (1992), *J. Photopolym. Sci. Technol. 2*, 323.
Onishi, Y., Niki, H., Kobayashi, Y., Hayase, R., Oyasato, N., Sasaki, O. (1991), *J. Photopolym. Sci. Technol. 4*, 337.
Op de Beeck, M., Samarakone, N., Baik, K.H., Van den hove, L., Ritchie, D. (1990), *Proc. SPIE 1262*, 139.
Ota, T., Ikezaki, Y., Kajita, T., Kobayashi, E., Tsuji, A. (1994), *Proc. SPIE 2195*, 74.
Padmanaban, M., Endo, H., Inoguchi, Y., Kinoshita, Y., Kudo, T., Masuda, S., Nakajima, Y., Pawlowski, G. (1992), *Proc. SPIE 1672*, 141.
Padmanaban, M., Kinoshita, Y., Kudo, T., Lynch, T., Masuda, S., Nozaki, Y., Okazaki, H., Pawlowski, G., Przybilla, K.J., Roeschert, H., Spiess, W. (1994), *Proc. SPIE 2195*, 61.
Pai, P.-L., Ting, C.H., Lee, W.M., Kuroda, R. (1991), *Microelectron. Manufac. Test 13(2)*, 37.
Paniez, P., Pons, M., Joubert, O. (1990), *Microelectron. Eng. 11*, 469.

Paniez, P.J., Rosilio, C., Mouanda, B., Vinet, F. (1994), *Proc. SPIE 2195,* 14.
Partlo, W.N., Tompkins, P.J., Dewa, P.G., Michaloski, P.F., (1993), *Proc. SPIE 1927,* 137.
Pavelchek, E.K., Calabrese, G.S., Dudley, B.W., Jones, S.K., Freeman, P.W., Bohland, J.F., Sinta, R. (1993), *Proc. SPIE 1925,* 264.
Pawlowski, G., Sauer, T., Dammel, R., Gordon, D.J., Hinsberg, W., McKean, D., Lindley, C.R., Merrem, H.J., Roeschert, H., Vicari, G., Willson, C.G. (1990a), *Proc. SPIE 1262,* 391.
Pawlowski, G., Dammel, R., Lindley, C.R., Merrem, H.J., Roeschert, H., Lingnau, J. (1990b), *Proc. SPIE 1262,* 16.
Pawlowski, G., Dammel, R., Lindley, C.R., Merrem, H.J., Roeschert, H., Wilharm, P. (1990c). *Microelectron. Eng. 11,* 491.
Perkins, F.K., Dobisz, E.A., Marrian, C.R.K. (1993), *J. Vac. Sci. Technol. B 11,* 2597.
Peters, L. (1991), *Semicond. Int. 14(2),* 48.
Peters, D.W., Frankel, R.D. (1989), *Solid State Technol. 32(3),* 77.
Pethrick, R.A. (1991), *Rad. Phys. Chem. 37,* 331.
Petrucci, J.L., Steinbruchel, C. (1990), *Proc. Electrochem. Soc. 90-14,* 219.
Pfeiffer, H.C., Groves, T.R. (1991), *Microelectron. Eng. 13,* 141.
Pierrat, C., Vinet, F., Mourier, T., Thackeray, J.W. (1990), *Proc. SPIE 1262,* 301.
Pons, M., Joubert, O., Martinet, C., Pelletier, J., Panabiere, J.-P., Weill, A. (1994), *Jpn. J. Appl. Phys. 33,* 991.
Preil, M.E., Arnold, W.H. (1991), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991,* 271.
Przybilla, K.J., Dammel, R., Roeschert, H., Spiess, W., Pawlowski, G. (1991), *J. Photopolym. Sci. Technol 4,* 421.
Przybilla, K.J., Kinoshita, Y., Kudo, T., Masuda, S., Okazaki, H., Padmanaban, M., Pawlowski, G., Roeschert, H., Spiess, W., Suehiro, N. (1993), *Proc. SPIE 1925,* 76.
Rabek, J.F. (1987), *Mechanisms of Photophysical and Photochemical Reactions in Polymers: Theory and Practical Applications.* New York: John Wiley.
Rao, V., Hinsberg, W.D., Frank, C.W., Pease, R.F.W. (1994), *Proc. SPIE 2195,* 596.
Reichmanis, E., Thompson, L.F. (1991), *Microelectron. Eng. 13,* 3, and *14,* 215.
Reichmanis, E., Thompson, L.F., Nalamasu, O., Blakeney, A., Slater, S. (1992), *Microlith. World 1(5),* 7.
Reiser, A. (1989), *Photoreactive Polymers. The Science and Technology of Resists.* New York: Wiley.
Rensch, C., Hell, S., v. Schickfus, M., Hunklinger, S. (1989), *Applied Optics, 28(17),* 3754.
Reuhman-Huisken, M.E., Vollenbroek, F.A. (1990), *Microelectron. Eng. 11,* 575.
Reuhman-Huisken, M.E., O'Neil, J., Vollenbroek, F.A. (1991), *Microelectron Eng. 13,* 41.
Robinson, W.P. (1989), *Proc. SPIE 1089,* 228.
Roeschert, H., Dammel, R., Eckes, C., Kamiya, K., Meier, W., Przybilla, K.-J., Spiess, W., Pawlowski, G. (1992), *Proc. SPIE 1672,* 157.
Roeschert, H., Eckes, C., Pawlowski, G. (1993a), *Proc. SPIE 1925,* 342.
Roeschert, H. Eckes, C., Endo, H., Kinoshita, Y., Kudo, T., Masuda, S., Okazaki, H., Padmanaban, M., Przybilla, K.-J., Spiess, W., Suehiro, N., Wengenroth, H., Pawlowski, G. (1993b), *Proc. SPIE 1925,* 14.
Rogner, A., Eichert, J., Munchmeyer, D., Peters, R.-P., Mohr, J. (1992), *J. Micromech. Microeng. 2,* 133.
Rohrer, H. (1994), *Int. Conf. Micro- and Nano-Engineering 94,* Davos, Sept. 26–29, paper A1
Roland, B. (1991), *Microelectron, Eng. 13,* 11.
Roland, B., Lombaerts, R., Vandendrissche, J., Godts, F. (1990), *Proc. SPIE 1262,* 151.
Roltsch, T. (1991), *Proc. SPIE 1465,* 289.
Ronse, K., Jonckheere, R., Juffermans, C., Van den hove, L., (1993), *Proc. SPIE 1927,* 2.
Rosenfeld, A., Mitzner, R., Baumbach, B., Bendig, J. (1990), *J. Photochem. Photobiol. A55,* 259.
Rosenfield, M.G., Rishton, S.A., Kern, D.P., Seeger, D.E., Whiting, C.A. (1991), *Microelectron. Eng. 13,* 165.
Rutter, E.W., Mayer, E.S., Harris, R.F., Frye, D.C., Jeor, V.L.S., Oaks, F.L. (1992), *Proc. Int. Conf. Multichip Modules, Denver, USA,* p 394.
Sachdev, H., Kwong, R., Huang, W., Katnani, A., Sachdev, K. (1994), *Int. Conf. Micro- and Nano-Engineering 94,* Davos, Sept. 26–29, paper F2/1.
Saito, K., Shiba, S., Kawasaki, Y., Watanabe, K., Yoneda, Y. (1988), *Proc. SPIE 920,* 198.
Sakurai, I., Todoka, M., Hasegawa, (1988), *Proc. SPIE 920,* 226.
Salamy, T.E., Brzozowy, D., Fitzgerald, E., Sienko, G., Wakefield, P. (1990), *Proc. Electrochem. Soc. 90-1,* 36.
Sasago, M., Tani, Y., Endo, M., Nomura, N. (1991), *Proc. SPIE 1264,* 466.
Satoh, Y., Kohara, H., Tokutake, N., Takahashi, K., Nakayama, T. (1989), *Proc. SPIE 1086,* 352.
Schaedeli, U., Muenzel, N., Holzwarth, H. (1993), *Proc. SPIE 1925,* 109.
Schaffer, H., Breithaupt, B. (1991), *Microelectron. Eng. 13,* 275.
Schlegel, L., Ueno, T., Shiraishi, H., Hayashi, N., Hesp, S., Iwayanagi, T. (1989), *Jpn. J. Appl. Phys. 28(10),* 2114.
Schlegel, L., Ueno, T., Hayashi, N., Shiraishi, H., Iwayanagi, T. (1991), *J. Photopolym. Sci. Technol. 4,* 455.
Schmidt, M., Oertel, D.W., Oertel, H.K., Huber, H.L., Weiheter, E., van Egan-Krieger, G., von Hartrott, M., Lehr, H., Martin, M., Schulz, L. (1991), *Microelectron. Eng. 13,* 291.
Schwalm, R., Binder, H., Dunbay, B., Krause, A. (1990), in: *Polymers for Microelecronics-Science and Technology.* Weinheim: Verlag Chemie, p. 425.
Schwalm, R., Binder, H., Fischer, T., Funhoff, D., Goethals, M., Grassmann, A., Moritz, H., Paniez, P., Reuhman-Huisken, M.E., Vinet, F., Dijkstra, H.J., Krause, A. (1994), *Proc. SPIE 2195,* 2.
Schwartzkopf, G., Niazy, N.N., Das, S., Surendran,

G., Covington, J.B. (1991), *Proc. SPIE 1466*, 26.
Sebald, M., Leuschner, R., Sezi, R., Ahne, H., Birkle, S. (1990), *Proc. SPIE 1262*, 528.
Sebald, M., Berthold, J., Beyer, M., Leuschner, R., Noelscher, C., Scheler, U., Sezi, R., Ahne, A., Birkle, S. (1991), *Proc. SPIE 1466*, 227.
Seha, T., Perera, T. (1990), *Proc. SPIE 1262*, 232.
Sethi, S., Distasio, R, Ziger, D., Lamb, J., Flaim, T. (1991), *Proc. SPIE 1463*, 30.
Sewell, H. (1991), *Proc. SPIE 1463*, 168.
Sezi, R., Sebald, M., Leuschner, R., (1989), *Polym. Eng. Sci. 29*, 891.
Sezi, R., Sebald, M., Leuschner, R., Ahne, H., Birkle, S., Borndoerfer, S. (1990), *Proc. SPIE 1262*, 84.
Sezi, R., Borndörfer, H., Leuschner, R., Noelscher, C., Sebald, M., Ahne, H., Birkle, S. (1991), *Jpn. J. Appl. Phys. 30B*, 3108.
Sezi, R., Ahne, H., Gestigkeit, R., Kuehn, E., Leuschner, R., Rissel, E., Schmidt, E. (1994), *Technical Paper at the SPE Regional Conf. on Photopolymers*, Oct. 31–Nov. 4, 1994, Ellenville, USA, paper TF4.
Shankoff, T.A., Bruning, J.H., Johnston, R.L. (1980), *Polym. Eng. Sci. 20*, 1102.
Shaw, J., Babich, E., Hatzakis, M., Parasczcak, J. (1987), *Solid State Technol. 30(6)*, 83.
Shibayama, Y., Saito, M. (1990), *Jpn. J. Appl. Phys., Part 1, 29*, 2152.
Shimada, H., Onodera, M., Nonaka, T., Hirose, K., Ohmi, T. (1993), *IEEE Trans. Semicond. Manufac. 6(3)*, 269.
Shimizu, S. (1988), *Res. Dev. Rev. Mitsubishi Kasei Corp. 2(2)*, 85.
Shirai, H., Kobayashi, K., Nakagawa, K. (1991), *Proc. SPIE 1463*, 256.
Shiraishi, N., Hirukawa, S., Takeuchi, Y., Magome, N. (1992), *Proc. SPIE 1674*, 741.
Snow, E.S., Campbell, P.M. (1994), *Appl. Phys. Lett. 64*, 1932.
Soane, D.S., Martynenko, Z. (1989), *Polymers in Microelectronics*. Amsterdam: Elsevier.
Spak, M., Mammato, D., Jain, S., Durham, D. (1985), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1985*, 247.
Spak, M.A., Mammato, D., Durham, D., Jain, S. (1990), *US Patent 4 929 536* (Hoechst Celanese).
Spragg, P., Hurditch, R., Helbert, J. (1991), *Proc. SPIE 1466*, 283.
SST Tabulation (1993), "Photoresists for Microlithography", *Solid State Technol. 36(6)*, 42.
Stewart, K.J., Shaw, J.M., Scilla, G.J., Hatzakis, M., Paraszczak, J.R., Mulhere, T. (1990), *Proc. Electrochem. Soc. 90-1*, 48.
Stewart, D., Olson, T., Ward, B. (1993), *Proc. SPIE 1924*, 98.
Sturtevant, J., Holmes, S., Rabidoux, P. (1992), *Proc. SPIE 1672*, 114.
Sugiyama, H., Inoue, T., Mizushima, A., Nate, K. (1988), *Proc. SPIE 920*, 268.
Sugiyama, H., Ebata, K., Mizushima, A., Nate, K. (1989), *Polym. Eng. Sci. 29*, 863.
Taira, K., Takahashi, J., Yanagihara, K. (1991), *Proc. SPIE 1466*, 570.
Takeda, E. (1994), *Hitachi Technology Conference 2000*, Sept. 23, Munich.
Takehara, D., Ota, T., Tanimoto, K., Kawabata, R., Shibayama, H. (1991), *Jpn. J. Appl. Phys. Part I, 30*, 190.
Takenaka, H., Todokoro, Y. (1989), *Proc. SPIE 1089*, 132.
Tamamura, T., Tanaka, A. (1987), *ACS Symp. Ser. 346*, 67.
Tan, S., Sakaguchi, S., Uenishi, K., Kawabe, Y., Kokobu, T., Hurditch, R.J. (1990), *Proc. SPIE 1262*, 513.
Tanagaki, K., Ebbesen, T.W. (1989), *J. Phys. Chem. 93*, 4531.
Tanaka, A., Ban, H., Imamura, S., Onose, K. (1989), *J. Vac. Sci. Technol. B7*, 572.
Tanaka, T., Hasegawa, N., Shiraishi, H., Okazaki, S. (1991a), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991*, 195.
Tanaka, T., Uchino, S., Hasegawa, N., Yamanaka, T., Terasawa, T. (1991b), *Jpn. J. Appl. Phys. Part 1, 30*, 1131.
Tanaka, A., Ban, H., Nakamura, J., Kawai, Y. (1992), *Jpn. J. Appl. Phys. 31*, 2277.
Taylor, G.N., Hutton, R.S., Nalamasu, O. (1990), in: *Polymers for Microelectronics-Science and Technology*. Tabata, Y. et al. (Eds.). Weinheim, VCH, p. 203.
Taylor, G.N., Stillwagon, L.E., Houlihan, F.M., Wolf, T.M., Sogah, D.Y., Hertler, W.R. (1991), *Chem. Mater. 3*, 1031.
Technology News (1993), *Solid State Technol. 36(9)*, 28.
Terasawa, T., Hasegawa, N., Kurosaki, T., Tanaka, T. (1989), *Proc. SPIE 1088*, 25.
Thackeray, J.W., Orsula, G.W., Rajaratnam, M.M., Sinta, R., Herr, D., Pavelchek, E. (1991), *Proc. SPIE 1466*, 39.
Thompson, L.F., Willson, C.G., Bowden, M.J. (1983), *Introduction to Microlithography, ACS Symp. Ser. 219*. Washington: ACS.
Thomson, M. (1990), *Solid State Technol. 33(5)*, 171.
Timpe, H.J., Baumann, H. (1988), *Photopolymere: Prinzipien und Anwendungen*. Leipzig: Deutscher Verlag fuer Grundstoffindustrie. 1. Auflage.
Toh, K.K.H., Dao, R., Singh, R., Gaw, H. (1991a), *Proc. SPIE 1463*, 74.
Toh, K.K.H., Neureuther, A.R. (1991b), *Proc. SPIE 1463*, 356.
Toledo-Crow, R., Vaez-Iravani, H., Smith, B.W., Summa, J.R. (1993), *Proc. SPIE 1926*, 357.
Toriumi, M., Shiraishi, U., Ueno, T., Hayashi, N., Nonogaki, S., Sato, F., Kadota, K. (1987), *J. Electrochem. Soc. 134*, 936.
Toriumi, M., Yanagimachi, M., Masuhara, H. (1991), *Proc. SPIE 1466*, 458.
Trefonas, P., Mack, C. (1991), *Proc. SPIE 1466*, 117.
Tsuda, M., Oikawa, S. (1990), *J. Photopolym. Sci. Technol. 3*, 249.
Tsuyuzaki, H., Fukuda, M., Suzuki, M., Shibayama, A., Ishihara, S. (1994), *Int. Conf. Micro- and Nano-*

Engineering 94, Davos, Sept. 26–29, paper p 15.
Tzeng, C. H., Lin, D., Lin, S.S., Huang, D., Lin, H. (1991), *Proc. SPIE 1466*, 469.
Uchino, S., Frank, C. W. (1991), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991*, 157.
Uchino, S. I., Iwayanagi, T., Hashimoto, M. (1988), *Proc. SPIE 920*, 100.
Ueno, T., Schlegel, L., Hayashi, N., Shiraishi, H., Iwayanagi, T. (1991), *Technical Paper at the SPE Regional Conf. on Photopolymers, Ellenville 1991*, 121.
Ueno, T., Uchino, S., Hattori, K: T., Onozuka, T., Shirai, S., Moriuchi, N., Hashimoto, M., Koibuchi, S. (1994), *Proc. SPIE 2195*, 173.
Ushirogouchi, T., Onishi, Y., Tada, T. (1990), *J. Vac. Sci. Technol. B8*, 1418.
Vachette, T. G., Paniez, P. J., Lalanne, F., Madore, M. (1991), *Microelectron. Eng. 13*, 205.
Van den hove, L., Ronse, K. (1994), *Int. Conf. Micro- and Nano-Engineering 94*. Davos, Sept. 26–29, paper E2/1.
Vesley, G. F. (1986), *J. Rad. Curing 13*, 4.
Vettiger, B. J., Buchmann, P., Daetwyler, K., Sasso, G., van Zeghbroeck, B. J. (1989), *J. Vac. Sci. Technol. B7*, 1756.
Visser, R. J., Schellekens, J. P. W., Reuhman-Huisken, M. E., van Ijzendoom, L. J. (1987), *Proc. SPIE 771*, 111.
Vollenbroek, F. A., Nijssen, W. P. M., Mutsaers, C. M. J., Geomini, M. J. H. J., Reuhman, M. E., Visser, R. J. (1989 a), *Polym. Eng. Sci. 29*, 928.
Vollenbroek, F. A., Mutsaers, C. M. J., Nijssen, W. P. M. (1989 b), *Polym. Mat. Sci. Eng. 61*, 283.
Vollenbroek, F. A., Boyce, C. A., Tol, A. J. W., van Oekel, J. J. (1991), *Microelectron. Eng. 13*, 79.
Vollmann, H., Pawlowski, G. (1988), *EPA Newsletter 34*, 17.
Wallraff, G. M., Miller, R. D., Clecak, N., Baier, M. (1991), *Proc. SPIE 1466*, 211.
Watanabe, K., Yano, E., Namiki, T., Fukuda, M., Yoneda, Y. (1991), *J. Photopolym. Sci. Technol. 4*, 481.
West, P. R., Davis, G. C., Regh, K. A. (1988), *Proc. SPIE 920*, 75.
White, L. K. (1986), RCA Review 47(9), 345.
White, L. K., Meyerhofer, D. (1986), *RCA Review 47*, 117.
White, D. L., Bjorkholm, J. E., Bokor, J., Eichner, L., Freeman, R. R., Jewell, T. E., Mansfield, W. M., MacDonald, A. A., Szeto, L. H., Taylor, D. W., Tennant, D. M., Waskiewicz, W. K., Windt, D. L., Wood, O. R. (1991), *Solid State Technol. 34(7)*, 37.
Willson, C. G., MacDonald, S. A., Ito, H., Frechet, J. M. J. (1990), in: *Polymers for Microelectronics-Science and Technology:* Tabata, Y. et al. (Eds.). Weinheim: Verlag Chemie, p 3.
Wittekoek, S. (1992), *Microlith. World 1(1)*, 23.
Wolf, T. M., Hartless, R. L., Shugard, A., Taylor, G. N. (1987), *J. Vac. Sci. Technol. B5*, 396.
Worster, B. W., Politzer, B. A. (1993), *Solid State Technol. 36(5)*, 55.
Yamanaka, K., Iwasaki, H., Nozue, H., Kasama, K. (1993), *Proc. SPIE 1927*, 310.
Yanagishita, Y., Shigematsu, K., Yanagida, K. (1990), *Proc. SPIE 1261*, 334.
Yanagishita, Y., Ishiwata, N., Tabata, Y., Nakagawa, K., Sigematsu, K. (1991), *Proc. SPIE 1463*, 207.
Yang, B. J. L., Yang, J. M., Chiong, K. (1989), *J. Vac. Sci. Technol. B7*, 1729.
Yanof, A. W., Waldo, W. G., Johnson, K. J., Katnani, A. D., Sachdev, H. (1992), *Solid State Technol 35(6)*, 93 and *35(9)*, 37.
Yeh, T.-F., Shih, H.-Y., Reiser, A., Toukhy, M. A., Beauchemin, B. T. (1992), *J. Vac. Sci. Technol. 10(2)*, 715.
Yoon, S. F., Villa, P. L., Calzavara, M., Degiorgis, G. (1989), *Solid State Technol. 32(2)*, 89.
Yoshida, M., Fréchet, J. M. J. (1994), *Polymer 35*, 5.
Yoshihara, H. (1992), *Microelectron. Eng. 17*, 123.
Yoshino, H., Ohfuji, T. A., Aizaki, N. (1994), *Proc. SPIE 2195*, 236.
Yoshioka, N., Ishio, N., Fujiwara, N., Eimori, T., Watakabe, Y., Kodama, K., Miyachi, T., Izawa, H. (1989), *Proc. SPIE 1089*, 210.
Zeng, W., Shirota, Y., Endo, M., Tani, Y. (1989), *Chem. Lett.*, 1013.
Ziger, D., Reighter, J. (1988), *Semicond. Int. 1988(5)*, 200.

一般阅读资料

Ahne, H., Leuschner, R., Rubner, R. (1992), "Recent Advances in Photosensitive Polyimides". *Polym. Adv. Technol. 4*, 217.
Brambley, D., Martin, B., Perwett, P. D. (1994), "Microlithography: An Overview". *Adv. Mater. Opt. Electron. 4*, 55.
Dammel, R. (1993), *Diazonaphthoquinone-based Resists*. Bellingham, WA: SPIE Optical Engineering Press.
Moreau, W. M. (1988), *Semiconductor Lithography; Principles, Practices and Materials*. New York: Plenum.
Rabek, J. F. (1987), *Mechanisms of Photophysical and Photochemical Reactions in Polymers: Theory and Practical Applications*. New York: Wiley.
Reichmanis, E., Houlihan, F. M., Malamasu, O., Neenan, T. X. (1994), "Chemically Amplified Resists: Chemistry and Processes". *Adv. Mater. Opt. Electron. 4*, 83.
Reiser, A. (1989), *Photoreactive Polymers: The Science and Technology of Resists*. New York: Wiley.
Soane, D. A., Martynenko, Z. (1989), *Polymers in Microelectronics*. Amsterdam: Elsevier Science.
Timpe, H. J., Baumann, H. (1988), *Photopolymere: Prinzipien und Anwendungen*, 1st ed. Leipzig: Deutscher Verlag für Grundstoffindustrie.

5　选择性掺杂

Subhash Mahajan
Carnegie Mellon University, Pittsburgh, PA, U. S. A.
(郭懋沁 译　钱佩信 校)

目录

符号与缩语表

c	杂质浓度
c_b	掺杂剂浓度
c_i	间隙原子浓度
c_s	掺杂剂的表面浓度
c_{net}	净掺杂剂浓度
c_{sub}	替位粒子浓度
c_0	初始浓度

D	扩散系数
D_0	扩散率
$D_i^0, D_i^+, D_i^-, D_i^{2-}, D_i^{3-}$	分别为中性的、单个正电荷的，以及单个、两个和三个负电荷空位的本征扩散系数
E	入射离子能量
E_a	激活能
E_d	位移能
erfc	补余误差函数
J	杂质原子流量
k_B	波尔兹曼常量
M	质量
n	离子浓度
N	密度值
$N(x)$	在 x 点的杂质浓度
N_{Hall}, P_{Hall}	自由载流子浓度
Q	每单位面积中杂质原子总数
Q_0	剂量
R	离子射程
R_p	投影射程
ΔR_p	标准偏差
$\Delta R_\perp$	横向(或侧向)标准偏差
$S(E)$	固体的阻止本领
$S_e(E)$	由于库仑作用引起每单位长度的能量损失
S_nE	由于核碰撞引起每单位长度的能量损失
t	时间
t_a	退火时间
T	绝对温度；转移的能量
T_A	退火温度
$[V^0],[V^+],[V^-],[V^{2-}],[V^{3-}]$; $[V^0]_i,[V^+]_i,[V^-]_i,[V^{2-}]_i,[V^{3-}]_i$	分别为在非本征和本征情况下的各种荷电空位的原子百分率
x	到表面的距离
x, y	位置
x_j	结深
Y	杨氏模量
β	溶质晶格收缩系数
ε	形变
θ	散射角

ν	泊松系数
$d\sigma$	横断面的微分
σ_{max}	最大应力
ϕ	剂量
LSS	Lindhart, Scharft 和 Schiott
MESFET	金属-半导体场效应晶体管
PSG	磷硅玻璃
VLSI	超大规模集成电路

· p. 254 ·

5.1 引　言

在室温下，就科学技术观点而论，主要半导体（如硅、砷化镓、磷化铟、氮化镓和碲化镉）的本征载流子浓度都是很低的。例如，本征硅的载流子密度约为 $10^{10}cm^{-3}$。因此，本征材料不能广泛应用于器件工艺中。实际上，在体晶体生长或外延层淀积时，材料都要适当地掺杂。这些材料称作非本征半导体，而且在全自然界中掺杂是很普遍的。

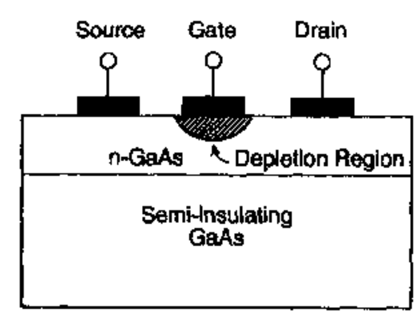


图 5-1　GaAs MESFET 的剖面图

在器件工艺的许多情况下，要求载流子浓度和类型作局部改变。这可用砷化镓金属半导体场效应晶体管（MESFET）的结构来说明，如图 5-1 所示。得到晶体管功能的一种方法是用 p 型掺杂剂对源和漏下面的 n 型 GaAs 进行掺杂，也就是选择性掺杂，并外加合适的电压到三个触点上。表面有掩模的片子，经光刻开孔并进行杂质扩散或离子注入到片子表面，就可以做到选择性掺杂，为了得到最终杂质原子分布，均需“推进”退火。在本书中，扩散和离子注入的主要特性被着重强调，并比较他们的优点（化合物半导体的掺杂也在本卷的第 10 章中讨论）。

5.2 扩　散

扩散是指由随机跳动产生的原子运动，在晶体中，这些跳动涉及多种点缺陷。能量势垒与这些跳动有关，因为跳动涉及相邻原子和断键的位移。由于在给定温度下，固体中的原子以某一频率围绕他们的平均位置作振动，原子的每一次移动都力求越过势垒，多次移动必有一些原子能越过这一势垒，并移动到新的位置。适当控制扩散工艺，能使淀积在半导体表面或靠近表面的杂质原子向内部移动，形成预定的杂质分布，这种方法称为半导体选择性掺杂的扩散方法。

为了描述扩散的现象，已发展了两种方法：(i)原子的及(ii)表象的。原子的描述明确地考虑扩散粒子和主晶格的原子特性，由于半导体中扩散是复杂的，存在各种各样的掺杂原子间和掺杂原子与点缺陷间的相互作用，发展原子的描述是很困难的。在表象研究中，固体由原子的连续介质和原子流代替，用成对的扩散来描述。用实验研究和计算机模拟来理解原子尺度的相互作用，这些研究结果再综合成连续介质模型（如 SUPREME），这个软件用于半导体工艺的浓度和退火方案的设计。

· p. 255 ·

5.2.1　原子扩散机理

在硅晶格中，有些原子占据间隙位，而其它硅原子处于替位。因为硅晶格是有不少空隙的，有些粒子会处在间隙位。如前面所述，在晶格中杂质的运动是由一串随机跳动引起

的。如果有浓度梯度将导致粒子的纯扩散流，发生跳动的机理描述如下。

5.2.1.1　间隙式扩散

图 5-2(a)为二维晶格的间隙式扩散示意图。如图所示，间隙杂质原子从一个间隙位跳到邻近的间隙位，造成原子的移动，间隙式扩散是很快的，因为杂质原子的运动不受基体原子的阻碍，杂质原子可以处在替位或间隙位，这些原子的扩散主要发生在处于间隙位的原子部分。

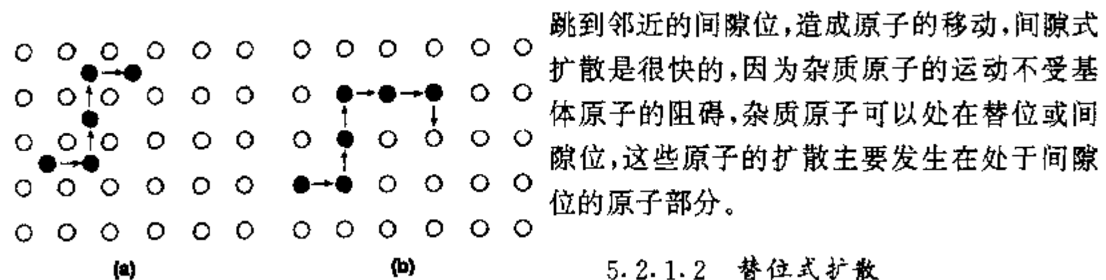


图 5-2　图示说明 (a)间隙式和(b)替位式扩散

5.2.1.2　替位式扩散

图 5-2(b)为替位式扩散示意图。如图所示，杂质原子在晶格中移动方式是由一个晶格位跳到下一个晶格位，对于这种过程，邻近晶格位必须是空的，也就是在晶格中必须存在空位。因为一般来讲空位浓度很低，所以替位式扩散速率比间隙式扩散要低得多。因此，替位式扩散的修正型是可能的，这称作间隙原子产生机理。在这种情况下，扩散原子的移动方式是将最近邻替位原子推到相邻间隙位置，并造成空的替位位置。

5.2.2　扩散的表象学描述

如果在有限的基体中存在杂质浓度梯度($\partial c/\partial x$)，杂质扩散必定降低浓度梯度，在足够长时间以后，杂质浓度将变成均匀，杂质移动也就停止。1855 年 Fick 用数学式来描述这种情况，

$$J = -D\frac{\partial c(x,t)}{\partial x} \tag{5-1}$$

其中 J 是杂质原子流密度，D 是在主晶格中杂质的扩散系数，$c(x,t)$是与位置和时间有关的杂质浓度。假如扩散时质量守恒，将简化为，c 随 t 的变化与 J 随 x 的变化有关，其数学表达式为

• p. 256 •

$$\frac{\partial c}{\partial t} = -\frac{\partial J}{\partial x} \tag{5-2}$$

这是著名的连续方程，方程(5-1)的 J 对 x 求导数，并代入方程(5-2)，我们可得到

$$\frac{\partial c(x,t)}{\partial t} = D\frac{\partial^2 c(x,t)}{\partial x^2} \tag{5-3}$$

方程(5-1)和(5-3)称作 Fick's 扩散第一定律和第二定律。

5.2.3　扩散的选择性掺杂

半导体器件工艺过程中，在两种不同条件下完成杂质扩散。掩模开孔的晶片处于扩散杂质气氛中，这样在晶片表面杂质浓度是恒定的，这一步称作“预淀积”，接着，晶片进行退火，使杂质扩散到半导体内，这种退火称作“推进”。

在预淀积期间，因为杂质源和半导体表面达到平衡，该表面的杂质浓度是恒定的，杂

质源可以是固体形式，如磷硅玻璃(PSG)，也可以是液态，如三溴硼(BBr_3)或三氯化磷氧($POCl_3$)，或者是气体，如 AsH_3 或 BH_3。表面杂质浓度是由扩散温度下半导体的固溶度极限所决定。另一方面，对于气态源来讲，杂质的分压强决定了固体的表面浓度：压强越大，浓度越高。当然，当达到极限溶解度时，进一步增加压强将不再影响表面浓度。

在高扩散温度时，许多杂质同清洁硅表面发生作用形成蚀斑。由于这个原因，一般在含有少量氧的氮气氛中进行预淀积，这样使晶体在扩散腔通杂质气氛以前能生长出一层薄氧化膜。用高温扩散来作Ⅲ-Ⅴ族半导体的选择性掺杂是很困难的，由于Ⅴ族原子很容易蒸发使晶体表面变坏，这是因为在扩散温度下Ⅴ族原子有高的蒸气压，为了防止Ⅴ族原子的反扩散，通常采用覆盖层或反压力(counter pressure)。

预淀积的边界条件是：

$$c(0,t) = c_s \tag{5-4}$$

并且

$$c(\infty,t) = 0$$

其中 c_s 是杂质的表面浓度，在上述边界条件下解方程(5-3)，得到

$$c(x,t) = c_s \mathrm{erfc}\left(\frac{x}{2\sqrt{Dt}}\right) \tag{5-5}$$

其中 erfc 是补余误差函数。不同时间的归一化浓度对距离的曲线示于图 5-3，(a)为线性坐标，(b)为半对数坐标。对给定的表面杂质浓度，扩散时间越长，杂质原子渗透得越深。

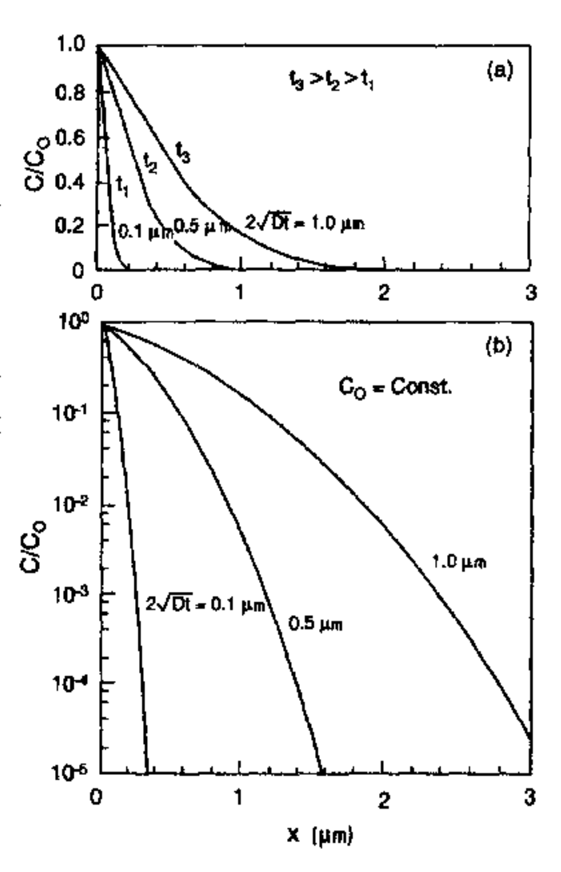


图 5-3　补余误差函数：在不同时间内，归一化浓度与距离的分布曲线。(a)线性坐标及(b)半对数坐标

单位面积半导体杂质原子的总量为

$$Q(t) = \int_0^\infty c(x,t)\mathrm{d}x \tag{5-6}$$

对于预淀积扩散，$Q(t)$由下式决定：

$$Q(t) = \int_0^\infty \frac{c_s}{2}\mathrm{erfc}\left(\frac{x}{2\sqrt{Dt}}\right)\mathrm{d}x = \frac{2}{\sqrt{\pi}}\sqrt{Dt}\,c_s \tag{5-7}$$

• p. 257 •

大多数预淀积的目的是为了得到一定量的杂质原子浓度。而且假如半导体已掺有导电型号相反的杂质，其浓度为 c_b，那么在 x 处其纯掺杂浓度为

$$c_{net} = c_s \mathrm{erfc}\left(\frac{x}{2\sqrt{Dt}}\right) - c_b \tag{5-8}$$

在 $c_{net}=0$ 的 x 处形成 p-n 结。用这个条件，由方程(5-8)便可求得结深(x_j)的表达式：

$$x_j = 2\sqrt{Dt}\ \mathrm{erfc}^{-1}\left(\frac{c_b}{c_s}\right) \tag{5-9}$$

预淀积后的典型结深为几千埃的范围，通过参量$\sqrt{Dt}$反映温度和时间对透入深度的影

响。通常在高温下实现预淀积，所以大量杂质原子能引入到半导体中，达到高的溶解度。由于预淀积是高温工艺，对制造很浅的结是不合适的。

预淀积得到的表面杂质浓度不能在室温（器件工作室温）保持，因为杂质浓度已超过溶解度的极限，因此，表面浓度必定要降到室温时的溶解度极限[1]。这是由第二步扩散退火来实现，这一步是将预淀积时引入的表面杂质原子向内部推进，这一步称为推进扩散。对硅来讲，这一步是在氧化气氛中完成，为了防止杂质原子的外扩散。

推进扩散的边界条件是：

$$\int_0^{\infty} c(x,t)\mathrm{d}x = Q$$

并且

$$c(\infty,t) = 0 \tag{5-10}$$

在上述边界条件下，方程(5-3)的解为：

$$c(x,t)=\frac{Q}{\sqrt{\pi Dt}}\exp\left(\frac{-x^2}{4Dt}\right) \tag{5-11}$$

上述解是一个高斯函数，图 5-4(a)和(b)分别表示几个不同时间的，线性和半对数坐标的归一化浓度对距离 x 的曲线。杂质的表面浓度随时间面下降是很明显的，其浓度为

• p. 258 •

$$c_s = c(0,t) = \frac{Q}{\sqrt{\pi Dt}} \tag{5-12}$$

如上面所述，结深 x_j 为

$$x_j = \left[4Dt\ln\left(\frac{Q}{c_b\sqrt{\pi Dt}}\right)\right]^{1/2} \tag{5-13}$$

图 5-4　高斯函数：在不同时间归一化浓度与距离的分布曲线的(a)线性坐标和(b)半对数坐标

推进扩散的结果，杂质原子和结深均向半导体深处推进。$\sqrt{Dt}$作为长度比例系数的重要性是显然的。因面，由(5-11)式给出高斯解是要假定在预淀积后杂质原子限制在表面很薄的范围内，所以杂质分布基本上可认为是 δ 函数。

当制造微电子电路时，扩散总是通过与半导体片紧贴的掩模窗口来完成。除了掩模窗口边缘区，方程(5-5)和(5-11)对所有位置都能给出 $c(x,t)$ 的正确值。这是因为在窗口区的杂质原子起着杂质源的作用，导致杂质原子横向移动到邻近窗口边缘的范围，这个窗口边缘是在掩模下面。这种横向扩散的效应由图 5-5(a)来说明，图中表示预淀积后掺杂浓度的等值曲线(Kennedy 和 O'Brien，1965)，这些计算得到的等值曲线是假定扩散系数与浓度无关，图 5-5(b)表示推进扩散后掺杂浓度的等值曲线，由图 5-5(a)和图 5-5(b)可见，横向扩散的深度约为纵向扩散深度的 75%—85%。

1）这句是错的，因为室温下固体原子扩散系数太小了。——译者注

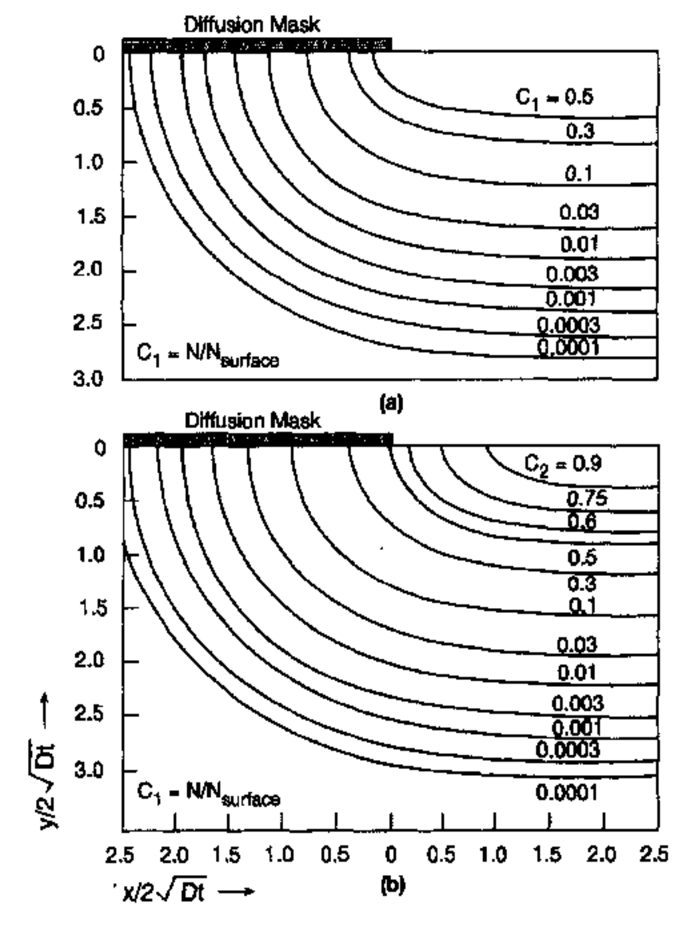


图 5-5 氧化物窗口边缘的等浓度杂质分布曲线(Kennedy 和 O'Brien,1965)

5.2.4 扩散系数与温度的关系

在上述讨论中,假定扩散系数与温度无关。当然,实际上不是这种情况。实验观察到扩散系数与温度有关,这种关系可用下式来说明:

$$D = D_0\exp\left(\frac{-E_a}{k_B T}\right) \tag{5-14}$$

其中 D_0 是扩散率,E_a 是与扩散工艺有关的激活能,k_B 是波耳兹曼常量,T 是以 K 为单位的绝对温度。D_0 和 E_a 可以随材料成分而变化,但与温度无关。因此,为了从方程(5-9)和(5-13)中精确计算结深,D 的温度关系必须考虑。

• p. 259 •

在硅中对各种不同扩散物质的激活能的测量值是不同的。对于快速扩散物,例如 He, H_2, O_2, Au, Na, Ni, Cu 和 Fe,能量在 0.2—2.0eV 之间;对慢速扩散物,例如 B, As, P 和 Sb,能量在 3—4eV 之间。低的激活能是与间隙式扩散相关,而高的激活能是与替位式扩散相关。例如,在 1100℃ Cu 的间隙式扩散,具有 $10^{-4}cm^2s^{-1}$的扩散系数,而硅的自扩散系数是 $4\times10^{-15}cm^2s^{-1}$。

5.2.5 扩散系数与浓度的关系

图 5-3 到图 5-5 得到的扩散分布是假定扩散系数与成分无关。当在扩散温度下本征载流子浓度超过掺杂浓度时，这个假定是合理的。

当掺杂浓度高时，用(5-5)和(5-11)式计算所得的扩散分布与测量的分布就不一致。出现不一致的原因是，当浓度高时，D 与浓度有关，因此，为了反映这种情况，Fick's 第二扩散定律必须修改成为：

• p. 260 •

$$\frac{\partial c(x,t)}{\partial t}=\frac{\partial}{\partial x}\left[D\frac{\partial c(x,t)}{\partial x}\right]$$

$$=\frac{\partial D}{\partial x}\frac{\partial c(x,t)}{\partial x}+D\frac{\partial^2 c(x,t)}{\partial x^2} \qquad (5\text{-}15)$$

对于非齐次差分方程式(5-15)，很难求得闭型解。因而，用一种叫做 Boltzmann-Matano 分析的方法(Shewmon，1963)，由实验确定的 c 对 x 曲线图来决定 $D(c)$，感兴趣的读者可以参考 Shewmon(1963)，以理解基本的数学论点。

5.2.6 扩散与荷电缺陷的相互作用

同金属情况不一样，在半导体中的点缺陷是荷电的。例如，在硅晶体中存在空位会产生四个不饱和的键，这些键接受电子而使其饱和。因此，空位的电行为趋向于类受主(Ghandhi，1983)。原则上，在禁带内有四个能量一个比一个高的能级是可能的，在硅中间隙原子有类施主行为，这可用相似方法来讨论。

为了说明荷电缺陷对半导体中杂质扩散的影响，研究涉及空位的替位扩散情况。因此，假设除了中性空位 V^0 外，空位还能看成为 V^+，V^-，V^{2-} 和 V^{3-}，这些空位同扩散杂质离子的相互作用是不同的，对于每一种杂质-空位的复合体，将生成不同激活能和扩散常数，假如每种复合体是独立的，在本征条件下扩散系数能由下式表示(Shaw，1975)：

$$D=D_i^0\frac{[V^0]}{[V^0]_i}+D_i^+\frac{[V^+]}{[V^+]_i}+D_i^-\frac{[V^-]}{[V^-]_i}+D_i^{2-}\frac{[V^{2-}]}{[V^{2-}]_i}+D_i^{3-}\frac{[V^{3-}]}{[V^{3-}]_i} \qquad (5\text{-}16)$$

其中 D_i^0，D_i^+，D_i^-，D_i^{2-} 及 D_i^{3-} 是本征扩散系数，$[V^0]$，$[V^+]$，$[V^-]$，$[V^{2-}]$及$[V^{3-}]$表示非本征条件下各种荷电空位的原子百分率，$[V^0]_i$，$[V^+]_i$，$[V^-]_i$，$[V^{2-}]_i$ 及$[V^{3-}]_i$ 表示本征条件下各种荷电空位的原子百分率。空位运动的扩散系数和激活能都与空位的荷电状态有关。

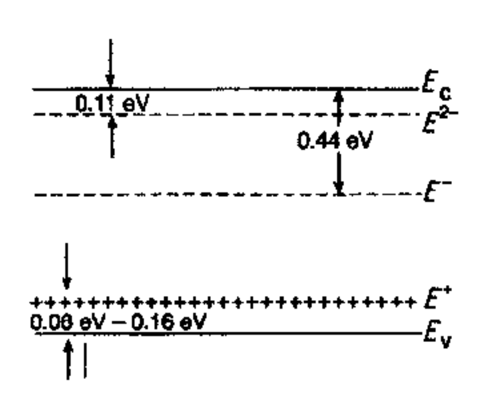


图 5-6 Si 中空位的能带示图 (Ghandhi，1983)

由费米能级的位置决定具有各种荷电状态的空位浓度。图 5-6 表示硅中荷电空位的能带图(Ghandhi，1983)。Seeger 和 Chik(1968)已经假设在 n 型杂质情况下，V^+浓度可以由于其形成焓减少而增加。V^+受主能级和费米能级的差越大，V^+浓度就越高。捕获一个电子，V^+空位可转换成中性 V。因此，用 n 型杂质掺杂可预期提高空位的平衡浓度，这样可以通过空位机理增强 n 型杂质扩

散。另外，p 型掺杂将有相反的效应。

• p. 261 •

5.2.7 B，P 和 As 在硅中的扩散

在制造微电子电路时，用 B，P 和 As 作为掺杂剂，因此，这些杂质在硅中的扩散系数是很重要的。图 5-7 到图 5-9 表示在不同掺杂条件下所观察到的温度与 B，P 和 As 扩散系数的关系。如图所示，我们研究图 5-7 的硼扩散情况，实验数据点由各种符号表示。假定 B 扩散是由它和中性空位相互作用造成的，那么可以去估算其扩散系数与温度关系，如图 5-7 所示。这种估算与实验的结果不一致。另一方面，假如认为 B 本征扩散系数主要由 B 离子与带单一正电荷的空位相互作用决定，那么就吻合得比较好（“计算”曲线），用 $(D_i^+)_B$ 表示。基于图 5-8 和图 5-9 的结果，采用相似方法可说明，在 Si 中 P 的本征扩散系数主要由杂质离子与中性空位相互作用，而 As 的本征扩散主要由杂质离子与带单个负电荷的空位相互作用决定，分别用 $(D_i^0)_P$ 和 $(D_i^-)_{As}$ 表示。在本征浓度范围内 B，P 和 As 的 D_0 和 E_a 的值在表 5-1 中列出（Fair，1981）。

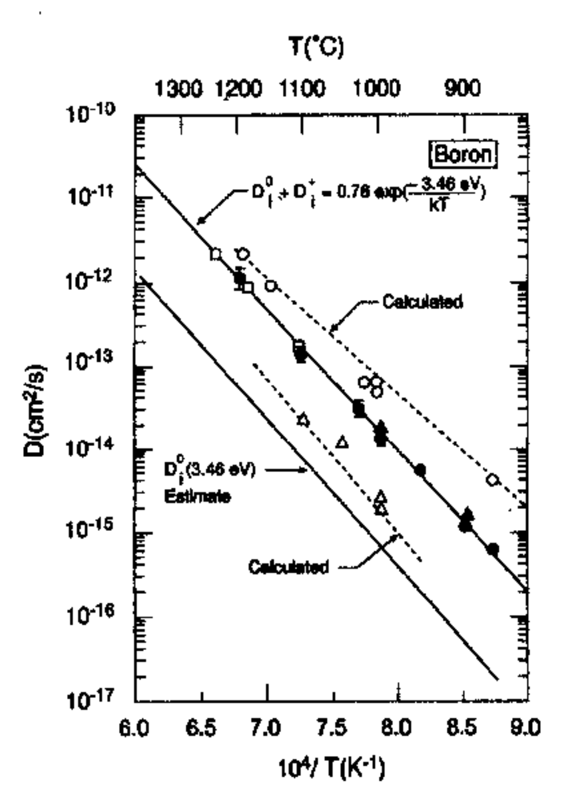


图 5-7 硅中 B 扩散的本征扩散系数与温度的关系：符号●，▲，□表示本征 Si 中扩散数据；△，掺杂 $1.5\times10^{20}cm^{-3}$ 的 n 型 Si 中扩散数据；○，掺杂 $5\times10^{19}cm^{-3}$ 的 p 型 Si 中扩散数据。D_i^0 和 D_i^+ 分别表示由于中性和正电荷空位的本征扩散系数（Fair，1981）

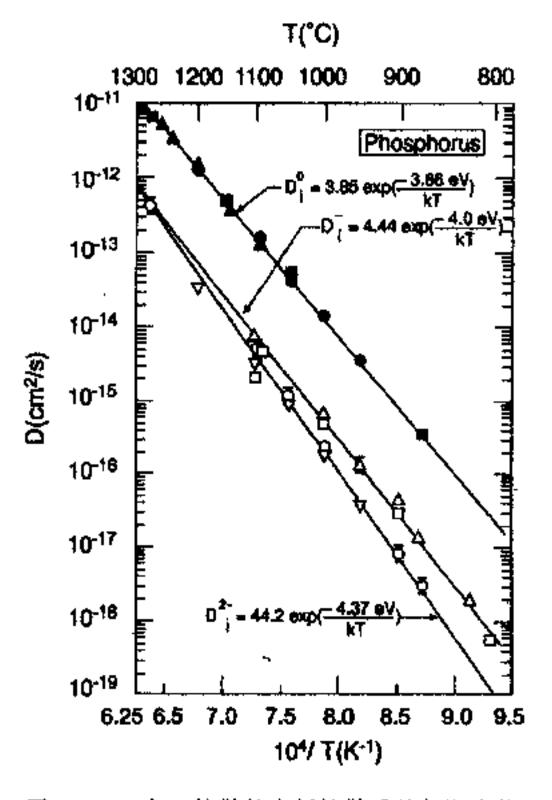


图 5-8 Si 中 P 扩散的本征扩散系数与温度的关系：符号●，▲，■表示本征 Si 中扩散数据：○，△，□高浓度扩散数据；▽，非本征 Si 中扩散数据，D_i^0，D_i^- 和 D_i^{2-} 分别表示由于中性，单个和两个负电荷空位的本征扩散系数（Fair，1981）

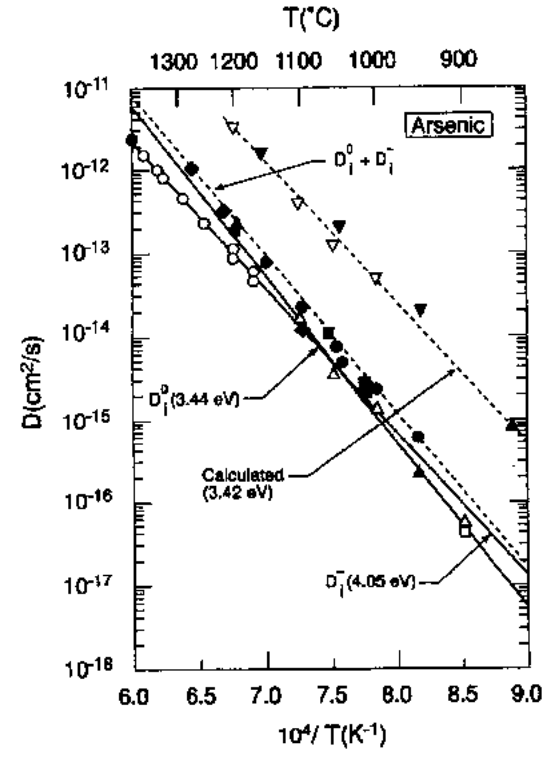


图 5-9 Si 中 As 扩散的本征扩散系数与温度的关系：符号●，◆，□，○表示本征 Si 中扩散数据；▼，▽非本征 Si 中扩散数据；▲，■表示中性和一个负电荷空位的本征 Si 扩散数据(Fair，1981)

表 5-1 在 Si 中 B，P 和 As 的本征扩散系数

	$D_0(cm^2s^{-1})$	E_0(eV)
B	$0.76(D_i^+)_B$	3.46
P	$3.85(D_i^0)_P$	3.66
As	$22.9(D_i^-)_{As}$	4.1

• p. 262 •

5.2.8 Si，Zn，Be 和 Cr 在 GaAs 中的扩散

Si 可在 Ga 或 As 的子晶格上扩散，Si 原子可以占有 Ga 位，表现为浅施主(Si_{Ga}^+)，也可占有 As 位，表现为受主(Si_{As}^-)。从现有扩散资料认为，V_{Ga}^{3-} 涉及 Si_{Ga}^+ 扩散(Yu 等，1989；Tan 等，1991)。而且，在 GaAs 中 Si 的扩散分布不是误差函数类型，主要因为存在十分陡的扩散前沿，这可能是由于存在带电的点缺陷(Tan，1994)。

p 型杂质，如 Zn，Be 及深的、中-带隙受主 Cr 的扩散分布也不是误差函数类型(Tan，1994)。这些杂质是替位-间隙式扩散。占有 Ga 位的替位杂质浓度 c_{sub} 大于间隙位浓度 c_i，在扩散期间，间隙位上的杂质原子快速运动，并接着转成替位，这样引起 c_{sub} 变化，反过来也一样。例如，Zn_i 是施主而 Zn_s 是浅受主，用下面反应式来说明它们的转换：

$$Zn_i^+ \longleftrightarrow Zn_s^- + I_{Ga}^{2+} \tag{5-17}$$

其中 I_{Ga} 称为 Ga 间隙位。由(5-17)式给出的反应式称为反冲出(Kick-out)机理(Gösele and Morehead，1981；Tan 等，1991)。类似的反应式也适用于 Be 和 Cr。

• p. 263 •

5.2.9 由扩散引起的位错网

当扩散原子溶解于主晶格中，扩散区域的晶格参数相对于非扩散区域会有所增加或减少。变化的符号取决于主晶格原子和杂质原子四面体半径的差值。Prussin(1961)已给出下列表达式，由于材料中引入浓度为 c 的杂质原子产生形变(ε)为：

$$\varepsilon = -\beta c \tag{5-18}$$

式中 β 是溶质晶格收缩率。形变导致材料中产生应力。当预淀积时，接近表面的最大应力由下式得到：

$$\sigma_{max} = \beta c_s\left(\frac{Y}{1-\nu}\right) \tag{5-19}$$

式中 c_s 是扩散剂的表面浓度，Y 是衬底的杨氏模量，ν 是泊松比。当 βc_s 大时，由于 σ_{max} 可能超过主晶格的临界分解剪切应力，而使扩散区产生位错。

Levine 等(1967)已详细分析了用扩散方法重掺杂 B 和 P 的(111)和(110)片中位错结构，他们的结果示于图 5-10 和图 5-11。图 5-10 表示在扩散 B 的(111)Si 中所看到位错结构的实例，显然位错并不沿着晶格方向。作者已说明大多数位错有位于(111)面的伯格斯矢量，在显微照片上用短线表示。另外，看到一些位错，这些位错的伯格斯矢量倾斜于衬底表面，用箭头表示伯格斯矢量。

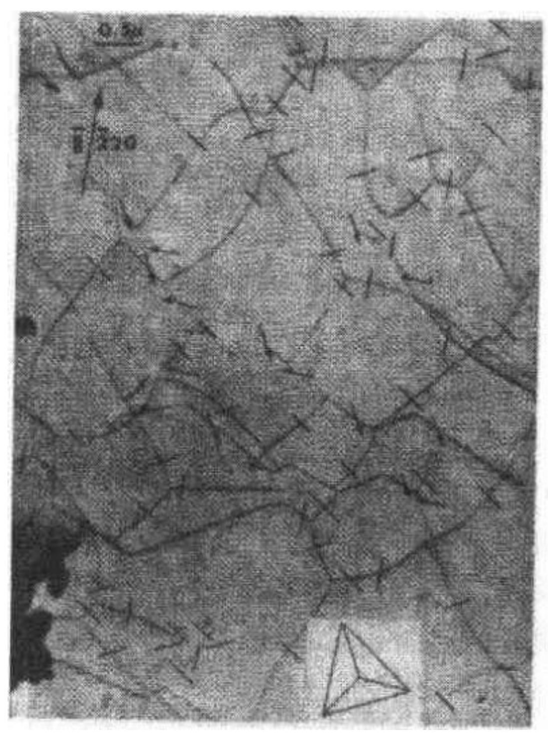


图 5-10 B 扩散(111)Si 样品中观察到的位错结构。短线表示伯格斯矢量位于(111)面的位错，而箭头标记的位错具有斜的伯格斯矢量(Levine 等，1967)

图 5-11 B 扩散(110)Si 样品中观察到的位错网。由短线标记伯格斯矢量斜向(110)晶面的位错(Levine 等，1967)

在(110)B 扩散片中，位错网是很复杂(见图 5-11)。位错网由沿[001]方向的长的 $(a/2)[1\bar{1}0]$ 位错组成。另外，观察到伯格斯矢量倾斜于(110)面的位错，并用短线表示，这些短线表示伯格斯矢量在(110)面上的投影。

为了合理解释观察到的位错结构，已提出两种机理。一种模型假定扩散引起的位错能比喻为失配位错，为了调节扩散区与非扩散区之间晶格参数的差异而形成这些位错。机械学上考虑，晶格参数的差异产生失配应力，在此应力的作用下，位错滑动，并相互制约形成网。根据这种模型，可以预料这种网应处于扩散引起的成分浓度最大的地方，这种假定与实验观察结果不一致(Ravi，1981)。

另一种解释，在扩散引起的应力作用下，由表面台阶处位错环成核。这是合理的假设，由于该处是有很高的杂质浓度，因此应力也最大。此后，这些环在他们各自的滑移面上滑动，一直滑动到在扩散温度下扩散引起的应力低于材料临界分解剪切应力为止，并将相互

制约形成网。在这种情况下，网将处在扩散与非扩散的交界处。因为扩散是在高温下完成的，网的位错可以攀升，引出无排列的位错，这确实由实验结果证实(Ravi，1981)。

· p. 264 ·

当固体中扩散杂质浓度超过固溶度极限时，超出的杂质原子或者成团形成单质元素沉淀，或者与主晶格的原子复合形成金属间化合物。因为通常在晶片表面的杂质浓度最高，沉淀效应被限制在表面和接近表面处。

用扩散方法掺杂也在本卷第10章讨论。

5.3 离子注入

离子注入是将具有高动能的掺杂离子引入到半导体中的一种工艺，其目的是改变半导体的载流子浓度和导电类型。对大多数器件来讲，适用的能量范围在50—500keV之间。在超大规模集成电路工艺中，离子注入主要用于片子表面区域的选择性掺杂。

为了向读者介绍离子注入时发生的物理过程，首先简要综述离子注入的主要特点，接着过论离子注入引入的损伤和损伤的退火行为。

· p. 265 ·

5.3.1 离子注入的主要特点

离子通过固体时与固体中电子相互作用，并损失能量。离子也能同固体中原子核碰撞，最终离子走过某一距离 R(射程)以后，它们停止在固体中。因为碰撞离子的路径不是笔直的，这样 R 有各种不同的值。R 在注入方向的投影是比较有意义的参量，因为它决定注入深度，称作投影射程(R_p)。R 和 R_p 之间的关系图解子图 5-12(a)。

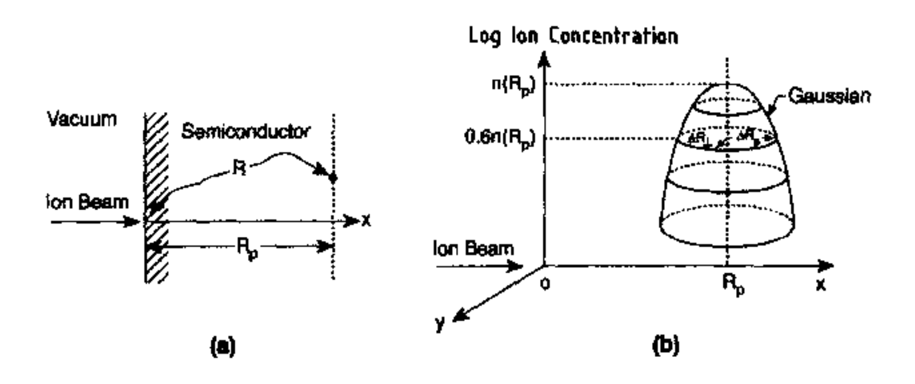


图 5-12 (a) 离子射程 R 和平均投影射程 R_p 的示意图。
(b) 注入原子的二维分布，n 是离子浓度(Sze，1985)

一些离子的碰撞次数小于平均值，所以离子停止在比 R_p 更远处，而某些离子碰撞次数较多，那么它停止在比 R_p 更近处，沿着投影射程离子浓度的统计波动称作投影偏差(ΔR_p)。如图 5-12(b)所示。离子在垂直入射方向也有散射，横向离子浓度所形成的波动称作投影横向偏差或称侧向偏差($\Delta R_\perp$)，如图 5-12(b)所示。对器件制造来讲两种偏差意味着在离子注入区的纵向和横向成分分布不会很陡的。

在无定形 Si 和热生长 SiO_2 中对 B，P 及 As 的离子投影射程如图 5-13 所示。对子给

定的能量，轻离子比重离子有较长的射程。在 Si 中对 B、P 及 As 离子的 ΔR_p 和 $\Delta R_\perp$ 计算值如图 5-14 所示，很明显它也遵守图 5-13 所示的离子质量关系。

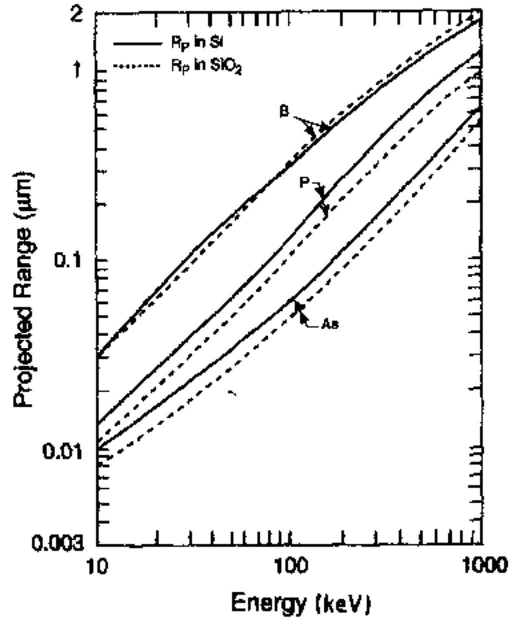


图 5-13 在 Si 和 SiO_2 中注入 B，P 和 As 的平均投影射程与各种能量的关系曲线，是针对非晶 Si 靶和热生长 SiO_2（2.27gcm^{-3}）

图 5-14 在硅中 As，P 和 B 离子的离子投影射程偏差 ΔR_p 和离子横向偏差 $\Delta R_\perp$ 与能量关系的计算曲线

• p. 266 •

原子核碰撞和电子的库仑作用使入射离子减速，由于两种机理相互独立，则假定损失能量可以相加，Lindhard，Scharft 和 Schiott（LSS）已研究出确定离子射程的理论（Lindhard 等，1963）。由子与原子核及电子碰撞，每单位距离离子能量损失为

$$\left(\frac{\mathrm{d}E_{\mathrm{tot}}}{\mathrm{d}x}\right)=\left(\frac{\mathrm{d}E}{\mathrm{d}x}\right)_{\mathrm{nucl}}+\left(\frac{\mathrm{d}E}{\mathrm{d}x}\right)_{\mathrm{el}} \tag{5-20}$$

式中原子核和电子损失取决于离子的能量。离子的射程 R 为

$$R(E)=\int_0^E\frac{\mathrm{d}E}{\left(\frac{\mathrm{d}E}{\mathrm{d}x}\right)_{\mathrm{tot}}}=\frac{1}{N}\int_0^E\frac{\mathrm{d}E}{S(E)} \tag{5-21}$$

式中 E 是入射离子能量，N 是靶原子的密度值，$S(E)$是固体的阻止本领。如果 $S_n(E)$和 $S_e(E)$分别为由子原子核碰撞和电子库仑相互作用引起每单位长度能量损失，那么 $S(E)=S_n(E)+S_e(E)$。

由原子核的散射过程如图 5-15 所示，假定入射离子能量为 E_1，质量为 M_1，与质量为 M_2 的靶原子碰撞，碰撞的结果，入射离子以 θ 角方向散射，而靶原子偏离它的平衡位置，如图所示。转移给靶原子的能量 T 由下式给出：

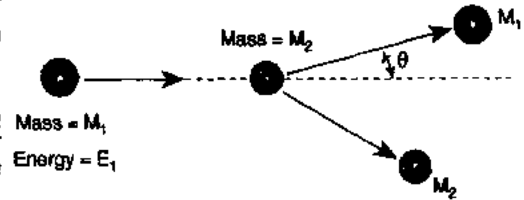


图 5-15 质量为 M_1 和 M_2 的两个硬球之间碰撞示意图，M_2 静止，M_1 具有能量 E_1，θ 是散射角

$$T = \frac{4M_1M_2}{(M_1+M_2)^2}E_1\sin^2\left(\frac{\theta}{2}\right) \tag{5-22}$$

对$\theta=180°$碰撞转移的能量是最大。用散射轨迹运动方程的积分可得到散射角度(θ)。由下式得到原子核能量损失：

$$\left(\frac{dE}{dx}\right)_{nuclear} = N\int_0^E T d\sigma = NS_n(E) \tag{5-23}$$

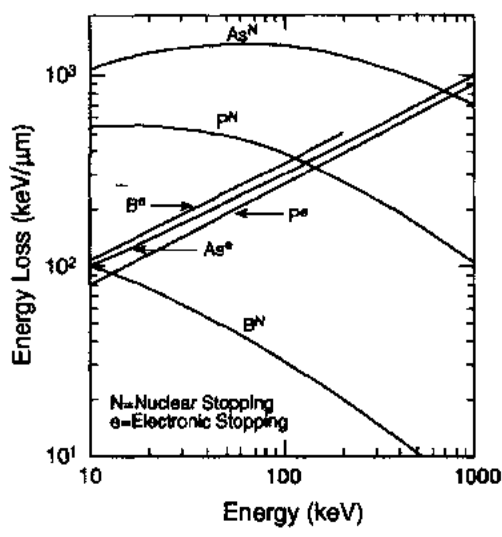


图 5-16 对 As,P 和 B 的 dE/dx 与能量关系的计算曲线。原子核(N)和电子(e)分量已说明。注意核阻止和电子阻止相等的点

式中 $d\sigma$ 是横截面的微分，为了使上述积分易于处理，LSS 已引入许多简化。用他们的方法，对 As,P 及 B 注入到 Si 中$(dE/dx)_{nucl}=S_n(E)$的值已由 Smith(1977)计算得到，此值表示在图 5-16 中。而且，电子损失能量与离子速度成正比，也即与$\sqrt{E}$成正比，

$$\left(\frac{dE}{dx}\right)_{el} = k_e\sqrt{E} \tag{5-24}$$

· p. 267 ·

比例系数(k_e)随 M_1、M_2 及入射离子数和阻止原子数的变化很小。对 As,P 及 B 注入到 Si 中，$(dE/dx)_{el}=S_e(E)$计算值也表示在图 5-16 中，注意到在图 5-16 中，$S_n(E)$随注入离子的质量增加而增加。经原子核碰撞，重离子转移的能量比轻离子多，因此，对 B 离子来讲在全部能量范围上 $S_e(E)$是主要能量损失机理，而对 P 离子来讲，能量一直到 130keV $S_n(E)$都是主要的，对 As 离子来讲，能量一直到 700keV $S_n(E)$都是主要的。

在无定形固体中注入离子的浓度分布由下式给出(Ghandhi,1983)：

$$N(x) = \frac{Q_0}{\sqrt{2\pi}\Delta R_p}\exp\left[-\frac{1}{2}\left(\frac{x-R_p}{\Delta R_p}\right)^2\right] \tag{5-25}$$

式中 $N(x)$是杂质浓度，Q_0 是注入剂量(离子/cm^2)，x 是到表面的距离(单位为 cm)，R_p 是投影射程(单位为 cm)，ΔR_p 是标准偏差(单位为 cm)。上述方程式忽略横向标准偏差($\Delta R_\perp$)。当确定靠近掩膜边缘的浓度时，这个省略会引入一些误差。

由方程式(5-25)给出的离子浓度分布示于图 5-12(b)中，峰值浓度在 R_p 处，并在 R_p 的两边，浓度对称地下降。在某些杂质情况下已观察到同高斯分布有较大的偏离，这些观察结果不能用(5-25)式来解释，因为它是基于简化的射程理论。

5.3.2 离子沟道

在无定形固体中，原子不显示长程有序，但可存在某些短程有序。当离子入射到这种固体时，离子和固体原子相遇的几率是很高的。但晶体材料不是这样，由于晶体内存在三维原子排列，沿一定晶向存在开口的沟道。这种效应由图 5-17(a)来说明，此图表示当沿〈100〉和〈110〉方向观察时，金刚石立方晶格小球模型的透视图。沿特定方向观察到的通道称作为“沟道”。沿着〈110〉方向的沟道比沿〈100〉方向更宽畅。如果离子沿沟道方向入射，

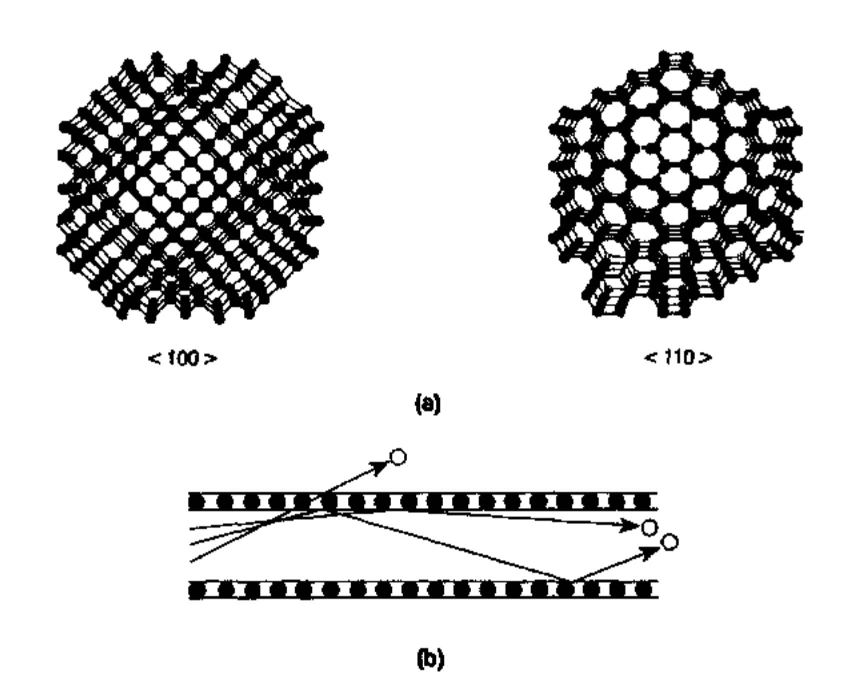


图 5-17 (a)〈100〉和〈110〉方向横断面的小球模型表示金刚石(Si)晶格的"通孔"程度。(b)在轴向沟内不同入射角的离子轨迹示意图

一些离子沿沟道运动,并且很少受到原子核的碰撞。离子降低速度主要靠库仑损失,图解于图 5-17(b)。离子透入晶体固体比无定形材料更深,这种效应称作离子沟道效应。

• p. 268 •

对制造器件来讲,不能沿沟道方向注入,因为这样很难控制注入离子浓度的深度分布。为了在晶体中出现类似于无定形材料入射离子情况,晶体要偏离沟道方向,这个方法保证离子开始不进入沟道。但是,以后有些离子因散射进入沟道方向。因此,离子穿透可以比由(5-21)式计算的射程更深一些,这个影响产生在注入离子浓度的深度分布的末端。

5.3.3 离子注入引起的损伤及其退火行为

如上节讨论所知,当离子进入固体时,由于离子与电子及原子核的相互作用而减慢速度,与电子的相互作用不产生原子移动,但与原子核碰撞会使原子移动。如果进入的离子转移能量到主体原子超过极限值[一般为几十 eV,称为位移能量(E_d)],原子将离开它的位置,产生的情况如图 5-18 所示,由于原子核碰撞移动的原子可能获得足够高能量,因此,这些原子还能一个接一个撞离其它位子点阵的原子。同样,入射离子也将不断地产生位移损伤,直到它们的能量低于 E_d。由于这些多次碰撞的结果,离子注入固体中位移损

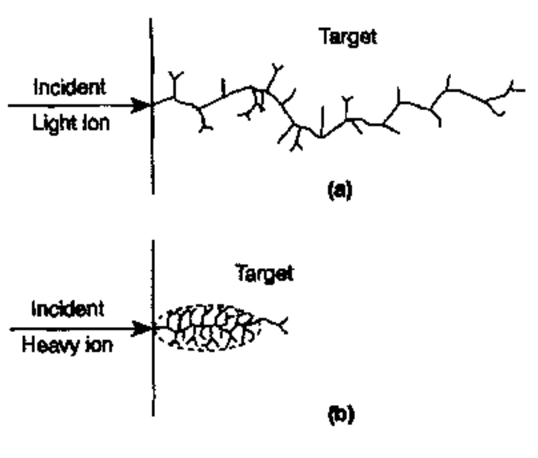


图 5-18 注入离子形成的损伤
(a)轻离子; (b)重离子

伤程度是很大的，损伤的程度取决于入射离子能量、离子的剂量、剂量的速率、离子的质量及注入的温度。

• p. 269 •

由入射离子产生的损伤分布将取决于离子比主体原子轻还是重，因为碰撞时转移的能量是正比于离子的质量(参照 5-22 式)，每次与晶格原子碰撞，轻离子转移很小能量，因此入射离子会有大角度散射，位移晶格原子只具有小的能量，因此不可能产生其它靶原子的位移。而入射离子的大多数能量是由电子碰撞而损失的，所以只有相当小的晶体损伤。轻离子的射程比较大，并且损伤将扩展到靶体较大的区域。单个轻离子产生的损伤示于图 5-18(a)。当重[1]离子快速运动时，阻止本领变成更小(图 5-16)，因此往往在表面区域几乎没有缺陷。

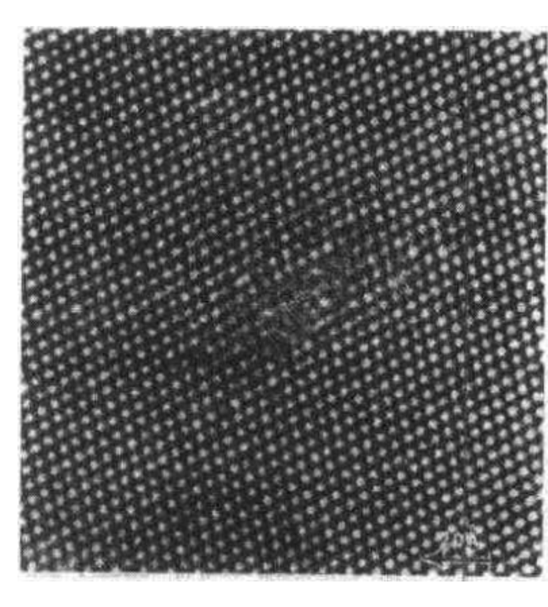


图 5-19 Si^+(100keV，$1\times10^{14}cm^{-2}$)注入的(001)Si 样品的高分辨率电子显微镜所示的非晶级联区(Narayan and Holland，1984)

重离子情况与此大不相同，在这种情况下，原子核碰撞传输给靶原子的能量很大，这意味着位移原子能多次产生位移损伤，离子散射具有更小的角度，离子射程也较短。这些因素使缺陷集中在一个很小的区域内，如图 5-18(b)所示。

由每个入射离子所形成的无序区都具有称为位移级联的中心核，其间的缺陷密度很高。图 5-19 表示用高分辨率的透射电子显微镜观察到的无序区，此样品是用 100keV Si^+ 离子(剂量为 $1.0\times10^{14}cm^{-2}$)注入到(001)Si 晶体中(Narayan 和 Holland，1984)。如果假定圆点代表原子，那么此图表明在一些区域看不到原子。注入后在碰撞级联区域中，只有当空位和间隙位原子相距足够远，以至于它们不能很快重新复合情况下，它们将继续存在下去。在 Si 中只有 Si 的空位和 Si 的间隙原子存在。而当离子注入到化合物半导体时，必将产生 Ⅲ 族和 Ⅴ 族空位和间隙原子，更高阶缺陷团(例如，双空位、三空位等)也可能形成。此外，多数注入离子并不处于替位，所以注入材料的载流子浓度通常比注入离子浓度低得多。在注入低剂量的材料中，存在很多长程晶体有序。

• p. 270 •

当注入剂量进一步增加时，形成更多的无序区，并最终互相交叠，导致无定形材料包围晶体区。用 Si 离子剂量为 $2\times10^{14}cm^{-2}$注入到(001)Si 晶体观察到这种情况，如图 5-20 所示(Narayan and Holland，1984)，随着注入剂量的进一步增加，注入区可以变成无定形，如图 5-21 所示，这是 Si 中注 Si 离子引起的损伤情况(Narayan and Holland，1984)。由图 5-18 也表明较低剂量的重离子注入所产生的损伤也会使晶体转变成无定形。在(001)

1) 英文原文是“重”，应为“轻”。——译者注

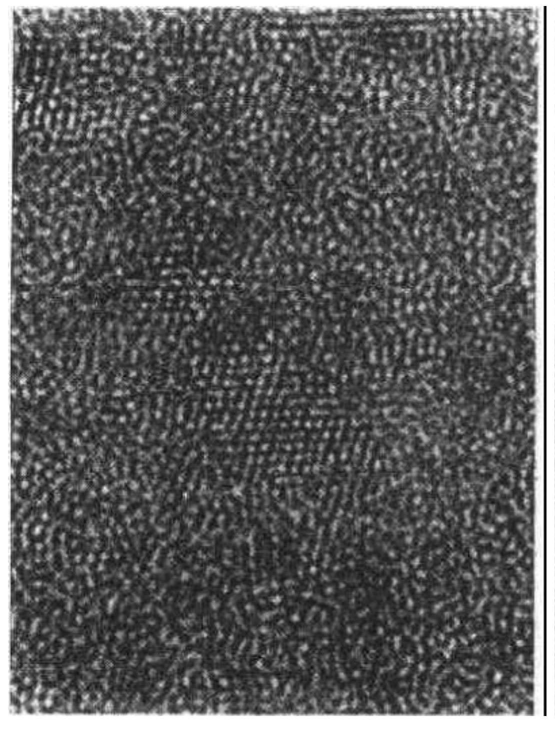


图 5-20 Si^+(100keV,$2\times10^{14}cm^{-2}$)注入的(001)Si 样品的高分辨率电子显微镜所示的非晶和晶体区(用箭头表示晶体区)

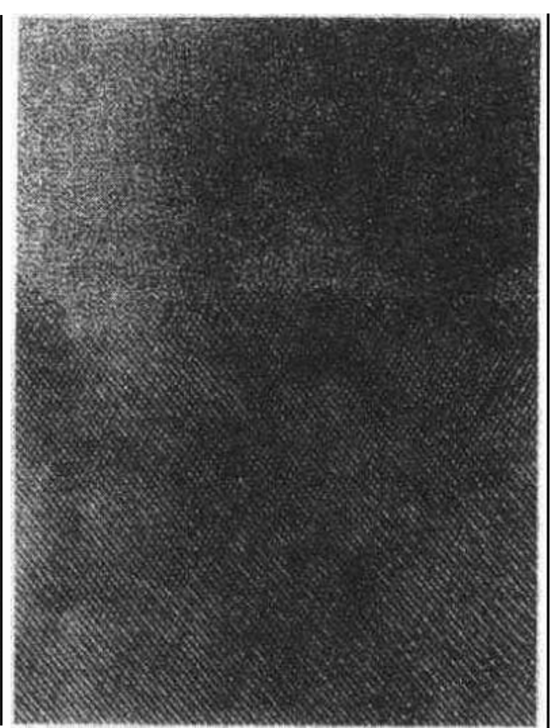


图 5-21 高分辨率电子显微镜所示的非晶与晶体交界,在非晶区存在微晶体,用箭头表示(Narayan 和 Holland,1984)

GaAs 晶体中用 450keV $10^{14}cm^{-2}$剂量 Si^-离子注入时也观察到无定形区,其损伤情况示于图 5-22(Sadana 等,1985)。无定形区(α-GaAs)约为 250nm 厚,并全部延伸到表面,另外还有包括沟道级联的损伤区,该区将晶体分割成无定形和晶体两部分。

• p. 271 •

如上所述,由离子注入产生的损伤是大范围的。因为半导体中的点缺陷是电活性的,所以注入材料电特性很差。一般来讲,离子注入后少数载流子的寿命和迁移率均急剧地下降。因此,仅有一部分注入离子处在替位,并对载流子浓度有所贡献。为了消除离子注入的损伤,材料必须在高温退火。这个工艺过程有两个目的:第一,减少点缺陷密度,因为间隙原子可以进入某些空位;第二,在间隙位置的注入杂质原子能移动到晶格位置,变成电激活。在此应强调除非注入能量和剂量低,注入材料不可能通过退火恢复到它原始状况。至今,用离子注入制造器件,这种局限还不成为问题。

退火以后残余的损伤可由位错环、位错、缺陷和双晶组成。(001)GaAs 450keV、10^{14} cm^{-2}剂量 Se^+离子注入,并在 400℃退火(Sadana 等,1985)后的残余损伤如图 5-23 所示,比较图 5-22 与图 5-23 可清楚看到,在沟道级联中形成非本征位错环,而孤立的缺陷和位错在接近原始的无定形-晶体交界处观察到。在原先的无定形区观察到高的缺陷密度。

• p. 272 •

此外,在退火期间无定形固体可转化成原始晶体晶向,这种无定形的晶体的转化只有当图 5-22 的单晶区作为籽晶存在才成为可能,这种生长称为固相外延。

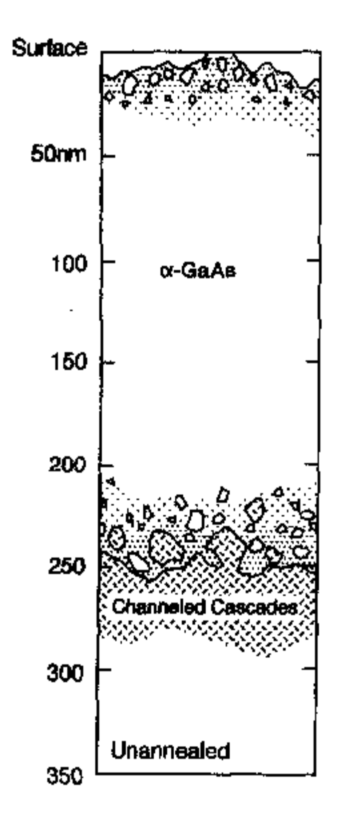


图 5-22　Se⁺(450keV, $10^{14}cm^{-2}$)注入的(001) GaAs 样品，损伤分布示意图(Sadana 等，1985)

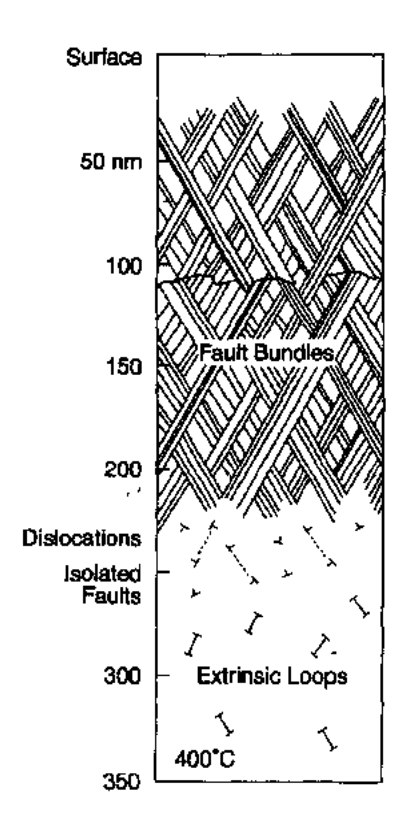


图 5-23　Se⁺(450keV, $10^{14}cm^{2}$)注入的 GaAs 样品，经退火后观察到的损伤分布示意图(Sadana 等，1985)

实际上离子注入期间产生的损伤是统计概念，它会改变损伤分布。因此，要预言退火后残余损伤种类与特性是困难的。但是，为了理解退火期间缺陷结构的演变，已经提出了一些通用观点。当注入材料退火时，在相互可以相遇的空间范围内空位与间隙原子复合，复合后缺陷就消失，两种类型缺陷相互完全消失是不可能的，因为两者处于不同空间。因此，短时间退火后，注入材料还有两种类型点缺陷的残留缺陷，这两种点缺陷的分布和浓度是各自不同的。进一步退火使点缺陷聚结在一起形成位于{111}面的本征和非本征的错位位错环，这些位错环是受±(a/3)⟨111⟩Frank partials 束缚。点缺陷聚结的驱动力是要减小缺陷表面能，为了在Ⅲ-Ⅴ族材料中形成这种环，同时需要Ⅲ族和Ⅴ族空位及Ⅲ族和Ⅴ族间隙原子。

进一步退火后，错位环能生长，这是通过 Frank partials 核上吸收相应的点缺陷实现的。当环生长时，他们的能量增加，这是因为 partial 的错位面积和长度得到增加。对于某一个尺寸，错位环的能量将变成等于由±(a/2)⟨110⟩位错束缚的无错位环能量，错位环向无错位环转换是由 Schockley partials 穿过错位面而实现的。如果注入材料仍处子饱和点缺陷状态，完整的环也能因吸收点缺陷而扩大。生长期间，各种环可以按下列反应相互作用并形成位错网：

$$\frac{a}{2}\langle 1\bar{1}0\rangle + \frac{a}{2}\langle \bar{1}0\bar{1}\rangle \rightarrow \frac{a}{2}\langle 0\bar{1}\bar{1}\rangle \tag{5-26}$$

通常，注入离子的共价四面体的半径与主体原子的四面体半径是不同的。因而，在退

火期间，注入杂质占据替位会产生局部应力。因为位错和杂质应力场的合适的弹性的相互作用，注入原子迁移到退火期间产生的位错环和位错上去是可以降低系统的整个应力能。

图 5-23 所示的错位群十分相似于生长的错位。如果无定形向晶体转变是以十分快的速率进行，那么{111}面的堆垛次序会发生生长错误，导致堆垛层错。由于不同四面体半径的杂质原子掺入晶格，会产生应力，这应力使上述情况更为复杂。

将上述关于损伤产生和退火的通用观点用到两种特定的情况：Si 中 B 或 P 离子注入的等时退火特性，图 5-24 表示 B 离子注入 Si(150keV 和三种不同剂量)的等时退火特性行为(Seidel 和 McRae，1971)。由图可见，注入 $8\times10^{12}cm^{-2}$的低剂量样品自由载流子浓度(在图 5-24 用 P_{Hall}表示)随退火温度增加而单调上升，意味着在退火期间注入离子移到晶格位置。但是当剂量高时，注入样品的退火行为比较复杂，可以分成 Ⅰ，Ⅱ 和 Ⅲ 三个区。在Ⅰ区自由载流子浓度随退火温度单调增加，在这个区域没有观察到扩展型缺陷，如位错环。较为合理的解释是当退火时 B 原子迁移到晶格位。在Ⅱ区自由载流子浓度随退火温度增加而减少。另外，退火以后观察到位错结构，好像 B 原子迁移到位错核中，这是因为 B 原子非常小并且和位错核有强的弹性作用。一旦杂质原子离开替位，它们将不对自由载流子浓度作贡献。在Ⅲ区自由载流子的浓度随退火温度升高而增加，这表示 B 原子回到晶格位。这意味着 B 原子和位错之间的键能因受热而断开。释放的 B 原子迁移到晶格位，因而增加了载流子浓度。

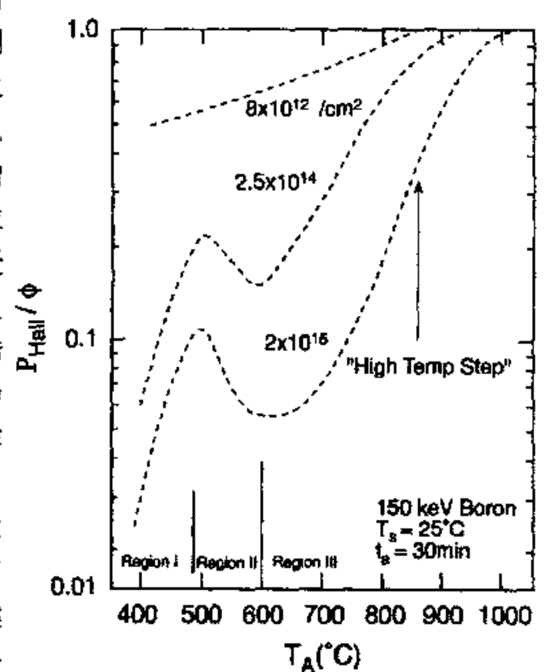


图 5-24 三种不同 B 注入剂量的等时退火特性。纵坐标为自由载流子浓度 P_{Hall}与注入剂量 ϕ 之比，横坐标为退火温度 T_A(℃)

• p. 273 •

从上述例子可明显看出，杂质原子与退火引起的缺陷结构之间相互作用，使杂质的激活复杂化。为了对退火期间注入杂质行为的全面了解，电特性测量必须与结构观察相配合。

图 5-25 表示 P 离子注入 Si(250keV 和 6 种不同剂量)的等时退火行为(Crowder 和 Morehead，1969)。比较图 5-24 和图 5-25 可明显看出，B 和 P 注入 Si 的退火行为有质的不同，当剂量从 3×10^{12}增加到 3×10^{14}离子/cm^2 时，为消除更复杂损伤要求较高的退火温度。剂量为 1×10^{15}和 $5\times10^{15}cm^{-2}$时，产生无定形而且扩展到表面。退火期间，因固相外延使无定形向晶体转变，当无定形层重新生长时，注入原子会进入到替位，因此在退火后，高剂量注入样品的激活率[1]比低剂量样品更低，在退火以后，高剂量注入样品中残留损伤是明显扩展了。

1) 原文为载流子浓度，是错的，应为激活率。——译者注

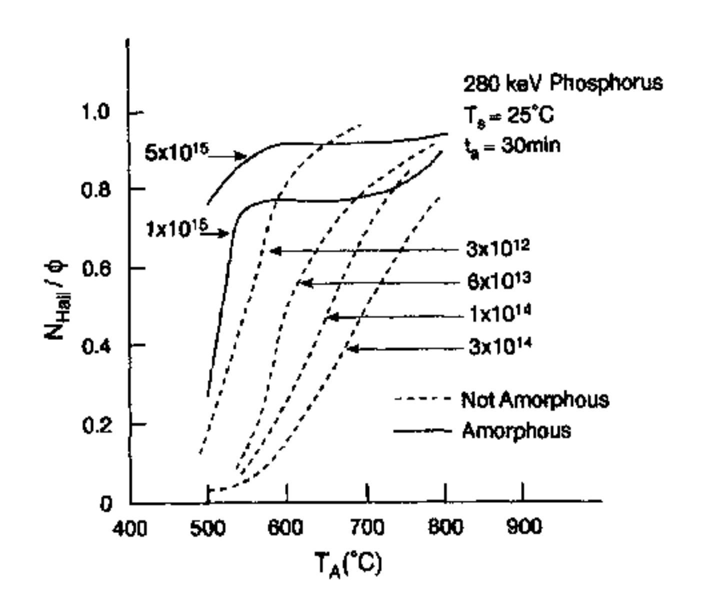


图 5-25　不同 P 注入剂量的等时退火特性，纵坐标为自由载流子浓度 N_{Hall}与注入剂量 ϕ 之比，横坐标为退火温度 T_A(℃)。实线表示无定形层以固相外延方式退火，虚线表示非无定形损伤的退火

• p. 274 •

As 或 Sb 离子在室温下注入 Si 的退火行为与 P 离子情况相似，对 As 与 Sb 来讲，无定形化要求的剂量更低。实际上，这是因为 As 和 Sb 离子是比 P 离子更重(离子注入化合物半导体的掺杂也在本书第 10 章中讨论)。

5.4　用作选择性掺杂的扩散和离子注入之间的比较

对选择性掺杂来讲，离子注入优于化学扩散，因为横向扩散效应小，因此，在制造当代微电子电路时离子注入已基本上替代了扩散掺杂。

离子注入提供下列好于扩散掺杂的优点：

1. 引入杂质的总量可控，因为它决定于总的离子流量。

2. 精心设计晶片的旋转和平移，使得离子束流均匀地淀积在大直径晶片上。

3. 离子渗透衬底的深度随加速电压增加而增加，因此，通过改变电压，可控制注入深度。

4. 对于 Si 和 Ⅲ-Ⅴ 族工艺，离子注入通常在低于 673K 温度下进行，因而与化学扩散法相比，对掩模材料的热稳定性要求不严，二氧化硅、氮化硅和各种金属化都可用作为选择性掺杂的掩膜。

5. 注入到衬底的离子剂量范围很宽，从 10^{11}到 $10^{17}cm^{-2}$，即从很低到很高，而且能精确控制剂量(±1%)，离子浓度的横向均匀性也是十分好，这两点离子注入是优于化学扩散。

6. 不同的离子能够质量分离成单能、高纯的掺杂离子束。

• p. 275 •

7. 离子注入是非平衡过程，因此，掺杂到衬底的杂质可能超过主晶格的固溶度极限。因此，为了使注入杂质处在溶解状态，晶片不可以再经高温工艺，否则过剩的杂质原子会移动成团并形成沉淀。

离子注入有些固有的缺点，高能量的离子会损伤晶格。因此，为了“恢复”晶格，注入的材料必须在高温退火，因为在高温 Si 是很稳定的，退火工艺不会引起任何问题。但是在注入的 Ⅲ-Ⅴ 族材料中，Ⅴ 族原子由于蒸气压力高易于蒸发。另一复杂问题是退火期间扩散会使注入分布发生改变。离子注入的设备是很复杂的，并且十分昂贵，必须由有经验的工作人员操作。但是高度的工艺控制可得到可重复的杂质分布，这一特点使得离子注入成为可选的半导体掺杂方法。

5.5 参考文献

Crowder, B. L., Morehead, F. F., Jr. (1969), *Appl. Phys. Lett. 14*, 313.

Fair, R. B. (1981), in: *Impurity Doping Processes in Silicon:* Wang, F. F. Y. (Ed.). New York: North-Holland Chap.7.

Ghandhi, S. K. (1983), *VLSI Fabrication Principles.* New York: Wiley.

Gösle, U., Morehead, F. F. (1981), *J. Appl. Phys. 52*, 4617.

Kennedy, D. P., O'Brien, R. R. (1965), *IBM J. Res. Devel. 9*, 179.

Levine, E., Washburn, J., Thomas, G. (1967), *J. Appl. Phys. 38*, 61.

Lindhard, J., Scharff, M., Schiott, H. (1963), *Mat.-Fys. Medd. K. Dan. Vidensk. Selsk. 33*, 1.

Narayan, J., Holland, O. W. (1984), *J. Appl. Phys. 56*, 2913.

Prussin, S. (1961), *J. Appl. Phys. 32*, 1876.

Ravi, K. V. (1981), *Imperfections and Impurities in Semiconductor Silicon.* New York: Wiley.

Sadana, D. K., Zavada, J. M., Jenkinson, H. A., Sands, T. (1985), *Appl. Phys. Letts. 47*, 691.

Seeger, A., Chik, K. P. (1968), *Phys. Status Solidi 29*, 455.

Seidel, T. E., MacRae, A. U. (1971), in: *1st Int. Conf. on Ion Implantation:* Eisen, F., Chadderton, L. (Eds.). New York: Gordon and Breach.

Shaw, D. (1975), *Phys. Status Solidi 72*, 11.

Shewmon, P. G. (1963), *Diffusion in Solids.* New York: McGraw-Hill.

Smith, B. (1977). *Ion Implantation Range Data for Silicon and Germanium Device Technologies.* Forest Grove, OR: Research Studies.

Sze, S. M. (1985), *Semiconductor Devices, Physics and Technology.* New York: Wiley.

Tan, T. Y. (1994), in: *The Encyclopedia of Advanced Materials.* Bloor, D., Brook, R. J., Flemings, M. C., Mahajan, S. (1994), Oxford: Pergamon, p. 635.

Tan, T. Y., Gösele, U., Ya, S. (1991), *Crit. Rev. Solid State Mater. Sci. 17*, 147.

Yu, S., Gösele, U., Tan, T. Y. (1989), *J. Appl. Phys. 66*, 2952.

一般阅读资料

Bentini, G. G., Golanski, A., Kalbitzer, S. (Eds.) (1989), *Deep Implants.* Amsterdam: North-Holland.

de Souza, J. P., Sodana, D. K. (1995), in: *Handbook on Semiconductors,* Vol. 3: Mahajan, S. (Ed.). Amsterdam: North-Holland, p. 2033.

Sze, S. M. (Ed.) (1983), *VLSI Technology.* New York: McGraw-Hill.

Wolf, S., Tauber, R. N. (1986), *Silicon Processing for the VLSI Era.* Sunset Beach, CA: Lattice Press.

6 半导体工艺中的刻蚀工艺

Kevin G. Donohoe
Formerly with Applied Materials,Santa Clara,CA,U.S.A.
Terry Turner
Fourth State Technology,Austin,TX,U,S,A.
Kenneth A. Jackson
Arizona Materiais Laboratory,University of Arizona,Tucson,AZ,U,S,A.
(刘志弘 译 林发永 朱 钧 校)

目录

符号和缩语表

B 电磁场
d 膜厚
D 迁移矢量
E 电场
I 电流
n 折射率
n_i 本征载流子密度
V 电势
V_t 阈值电压
λ 波长

ARC	抗反射涂层
ASIC	专用集成电路
BPSG	硼磷硅玻璃
CCD	电荷耦合器件
CD	特征尺寸
CMP	化学机械抛光
CVD	化学气相沉积
DRAM	动态随机存储器
ECR	电子回旋共振
IC	集成电路
ILD	层间介质
IMD	金属层间介质
LDD	轻掺杂漏区
LOCOS	硅的局部氧化
MERIE	磁增强反应离子刻蚀
MFC	质量流量计
MOS	金属-氧化物-半导体
NIST	国家标准化技术研究院
NTT	日本电报电话公司
OES	光发射谱
ONO	氧化层-氮化物-氧化层
PID	比例-积分-微分。这是一个比例控制器，它采用传感器信号的积分值来稳定控制系统的长期稳定特性，同时采用传感器信号的微分值对快速变化的条件进行调节
Poly	多晶硅
PSG	磷硅玻璃
RC	时间常量(电阻-电容电路的特征时间)
RF	射频
RGA	残余气体分析仪或残余气体分析
RIE	反应离子刻蚀
ROI	投资回报
RSM	表面感应方法
SEM	扫描电镜
SILO	包封界面局部氧化
SIMS	二次离子质谱
SOG	旋涂于硅片上的胶状 SiO_2 薄膜
SPC	统计工艺控制
SWAMI	侧墙掩膜隔离

TEOS	正硅酸乙脂
VLSI	大规模集成电路

专用术语

endpoint	在刻蚀工艺中，已完成对特定材料刻蚀后应终止刻蚀过程，以使过刻蚀量最小的时间点
gate	MOS 器件中的源漏有源区
iso,isolation	介质隔离，提供电学隔离的介质层
Metal 1	第一层金属导电层
poly,polysilicon	细颗粒度的多晶硅
polycide	由一层多晶硅和一层金属硅化物组成的导电层
polymide	聚酰亚胺，一种具有较高玻璃态转变温度的聚合物，用作电介质
salicide	自对准金属硅化物
via	为通过介质层提供电学连接的孔

· p. 281 ·

6.1 引　　言

半导体器件加工包括半导体硅片表面上形成一定图形的掺杂分布、介质膜和导电层。半导体器件中一般有10至20个这样的图形层。每一图形层的制造步骤顺序是：在硅表面生长或沉积一层需要形成图形的薄膜；然后在薄膜表面涂一层光刻胶；透过掩膜版对光刻胶曝光，并用显影的办法使光刻胶形成图形孔，然后再通过光刻胶孔刻蚀底层薄膜；最后将光刻胶剥离掉。这一章将重点描述图形转换技术中所用的干法和湿法刻蚀工艺。为保证使刻蚀只发生在所希望的区域而不发生于其它区域，刻蚀技术已变得很复杂了。目前广泛采用选择刻蚀的方法择优刻蚀一种薄膜材料：为了补偿在整个大圆片上刻蚀速度不可避免的变化，在理想的情况下，刻蚀过程应该只刻该薄膜层然后就停止，不应损坏薄膜下面的一层。另外，随着IC的特征尺寸(线条)变得越来越小，刻蚀区域中侧墙的形状变得越来越重要。

本章将重点讨论以硅为基础的IC工业中的干法刻蚀工艺，并着重于经过大规模生产验证的技术和设备。事实上，由于下面要讨论的原因，工业界已从湿法刻蚀转向干法刻蚀，这个趋势正在不断继续。使用湿法刻蚀(包括清洗)仍还是一个很重要的课题，因为无论是用干法刻蚀代替湿法刻蚀还是继续使用湿法刻蚀，首先必须很好地理解那些湿法刻蚀步骤。

本章首先讨论刻蚀设备和等离子产生技术，然后讨论工艺控制和排除故障的诊断技术，最后讨论应用在IC制造过程中特殊的刻蚀工艺。将4Mb DRAM工艺流程图用于讨论工艺步骤及它们之间可能发生的相互影响。也可参考第10章10.5节。

6.1.1　湿法刻蚀

在硅片表面清洗及图形转换中，湿法刻蚀曾支配着IC工业一直到70年代中期，即当特征尺寸开始接近膜厚时(Irving，1970；Vossen和Kern，1978)。所有的半导体湿法刻蚀工艺都面临着同一个最基本的限制：各向同性。无论是氧化层还是金属的刻蚀，横向刻蚀的数值几乎都是接近垂直刻蚀深度。除了各向同性这一基本的技术限制之外，湿法刻蚀还受到更换槽内腐蚀液而产生停机的影响。而且，即使在正常操作情况下更换，也存在着安全性问题。

尽管存在着有关安全和技术的问题，湿法工艺仍然被广泛使用于工艺流程里前面的硅片准备阶段和清洗阶段。湿法清洗广泛用于完全去掉离子注入期间所用的“缓冲层”或牺牲膜和硬掩膜。无论怎么讲，由于上面讲到的问题，尽管干法刻蚀就其本性讲还不是完美的各向异性刻蚀，但在图形转换中，干法刻蚀已经在许多刻蚀工艺中代替了湿法刻蚀。

· p. 282 ·

6.1.2　干法刻蚀

工艺过程中使用干法刻蚀的成长是从光刻胶的剥离、薄氮化物刻蚀、栅材料各向同性刻蚀、接触孔和通孔的刻蚀以及铝刻蚀，发展到这些薄膜相对强的各向异性刻蚀和选择刻

蚀。到了生产1Mb DRAM的1978年，干法刻蚀在所有的图形转换中均起着主导作用。

随着IC功能要求的不断提高推动了刻蚀设备的发展，已经能很好地控制CD，很好地控制掩膜和下层薄膜的选择比，很好地控制微粒和外来材料。一旦设备能满足产品的技术要求，成本就变得重要了(包括操作成本、维修成本和停产成本)。80年代后期，当1Mb DRAM正处于开发阶段时，损伤的问题，尤其是晶格和栅氧化层的损伤，变成了工艺和硬件设备发展的驱动力。微污染带来的成品率下降也受到了更多的注意。最后，为使刻蚀设备更有效地提高生产能力，就要求设备制造商在设计刻蚀设备和装配刻蚀设备时，主要考虑怎样使设备正常运转时间更长，和按计划进行的维修作业的间隔时间更长。由此，设备的供应商和使用者便开始测定至少是预测：设备正常运行时间，使用价值，两次停机间的平均时间(或平均硅片数)和在设备正常技术指标下的平均维修时间。当前通常的刻蚀设备因故障而停机间隔大于200小时。

在文献中能够找到许多评述刻蚀工艺的文章。下面是它们中的一部分：早些时候由Coburn(1982)发表了对RIE刻蚀反应的详细机理的描述；Flamm和Herb(1989)描述刻蚀工艺使用了经典的关于相似变化的工程概念，综合评述了刻蚀机理和化学机理。早期的技术讨论，包括1979年发表的(Kalter和van de Ven，1979)辐射损伤和钠沾污的一些研究。最近一些刻蚀问题的讨论(Powell和Downey，1984；Coburn等，1986；Bondur和Turner，1991)覆盖了当前等离子刻蚀中的大多数的问题。在电化学学会、材料研究学会、美国真空学会和SPIE学术会议的年度论文集里，有许多等离子刻蚀领域的最新研究和最新趋势的成果发表。每年秋季，东京干法刻蚀工艺学术讨论会的论文集是有价值的新工艺技术的信息来源，并有英语资料。

6.1.3 刻蚀控制及检测方法

无论使用湿法或干法刻蚀工艺，都必须对过程施加某种形式的控制。这就要有三个基本要素：a) 传感技术；b) 控制算法；c) 子系统之间的通信。此外，由于任何人造系统都不可能是完美无缺的，因此对于有可能引起工艺偏离最佳状态甚至可能引起灾难性事故的问题，必须采取措施加以识别和校正，包括采用一些能识别错误的测量工具。

• p. 283 •

至于控制技术，其目的就是要在全部刻蚀工艺过程中始终保持一致的反应，直至达到终点。当薄膜已被刻蚀干净时，即达到了工艺的刻蚀终点。即使工艺特性发生偏移而产生变化，只要能检查刻蚀终点，各批间的结果应该是相类似的。由于这个简单的原因，任何一种刻蚀工艺的最重要的传感技术均为一个终点监视器。但是，工艺过程中的变化将影响各批间的重复性，因此，工艺传感器和诊断工具也是生产工艺成功的重要保证。

早期IC的制造商不太看重控制技术投入。设备都是手工安装调试的，操作是按检查不同的设定值来确定的。随着产量和制作成本的不断提高，重复性就变得越来越重要了，对设备操作的自动化控制的要求变得越明显了。今天，在要求设计先进产品的同时，制造商面临的是增大投资回报率的问题。很明显，70年代末至80年代初实施的控制算法已经不能满足今天工艺性能的要求，必须加以更新。制造的高投资回报率与提高设备性能之间的矛盾变得不太重要，而重要的是要求安装新型传感器和引入新型控制算法技术。

6.2 设备:硬件描述

这一节主要是描述今天半导体制造业使用的各种刻蚀设备,讨论造成各种等离子设备差异的基本物理和化学机理,也包含工业中不同的干法刻蚀设备使用情况的跟踪记录分析。为区分同类设备的不同式样(比如,RIE 刻蚀机和微波刻蚀机),一个重要的方法是根据其所用的技术以 a)控制工艺技术和 b)工艺终止技术。在同类反应器之间的生产批量和整体工艺水平也有重要的差异。控制策略包括普遍使用的诊断技术(质量流量计 MFC、漏率测试)和至今并不常常使用的策略(如,用于密度评估的 Langmuir 探针台)。

6.2.1 湿法腐蚀设备

大部分湿法工艺是进行清洗,这些步骤或是为下一步骤的表面做准备,或是为去掉硅片表面的薄膜。因为在硅片上,不同的清洗将留下不同的表面状况,所以湿法清洗是一个复杂的技术。然而,因为湿法步骤产生各向同性的剖面,所以当今制造技术中通常并不使用它来实现图形转换。在湿法工艺设备中,最重要的要求是用过滤的方法控制颗粒的沾污,并防止悬浮颗粒形成微粒通过浴锅过滤器向下流动。在 6.5 节中所讨论的工艺流程,用标准清洗槽进行的各种清洗工艺方法包括 RCA、磷酸/HF、HF 缓冲液、硫酸/双氧水的清洗步骤。

大多数湿法腐蚀仍是以浸没模式进行的。由腐蚀液的温度、腐蚀时间和腐蚀液的组合成分控制刻蚀的精度。调整腐蚀液的组合成分以达到可控制的腐蚀时间,通常为 1 到几分钟。少于 1min 时,操作者把硅片从腐蚀槽中取出的这个短暂时间将成为全部腐蚀时间可观的一部分,这会引入腐蚀结果变化。腐蚀 7min 以上,光刻胶剥离,同时导致过量的横向刻蚀。典型的腐蚀时间是 5min。

• p. 284 •

喷射的应用,尤其是在用子硅片旋转的情况,会产生更均匀的工艺结果。然而,因为喷射腐蚀工艺还不能完全自动化,所以大多数湿法腐蚀仍然以浸没模式为基础。Kern (1990)已经评述了硅片的清洗技术,并讨论了喷射和浸没两种清洗技术。van den Meerakker 和 van der Straten(1990)对硅片湿法清洗做了研究。关于代替槽式湿法清洗的无水 HF 清洗硅片等一些新干法清洗技术研究,请参考 Deal 等人(1990)和 Miki 等人(1990)的文章。

6.2.2 干法刻蚀工艺

一种干法刻蚀工艺设备和工艺本身的有效模型认为,干法刻蚀工艺源由硅片表面的物理和化学两种过程的平衡。图 6-1 示出在低压高离子能量时,由溅射刻蚀控制的过程与在高压低离子能量时由化学刻蚀控制的过程相对比较的结果。典型的情况是,溅射刻蚀工艺提供各向异性的剖面,但不提供硅片表面上不同薄膜,如光刻胶、刻蚀膜和刻蚀膜下的薄膜层之间的选择刻蚀。掩膜整而刻蚀也是溅射刻蚀工艺的一种特性。另一个极端是纯化学刻蚀,通常称为等离子刻蚀。它一般提供具有不同的化学成分薄膜之间极好的选择性,但它趋于提供各向同性的薄膜剖面。当两种极端过程调整到适当的平衡时就产生了成

功的刻蚀工艺。图 6-2 表明依据对刻蚀特性的影响采取同样的折衷方法。用术语“反应离子刻蚀”或“RIE”来描述物理及化学两个过程相结合的刻蚀过程，以便在各向异性、选择比和损伤之间获得必要的平衡。这个概念即把工艺结果看成是物理及化学两种过程的平衡，以后将继续讨论。在讨论设备设计时，读者应当牢记每种刻蚀设备设计都有一定的离子能量、离子密度、中性粒子密度范围，刻蚀工作在这一范围内将提供合适的刻蚀速率。例如，RIE 设备通常不能在 25m Torr 以下工作，原因是此时需要高的 RF 电压来维持低压容性耦合等离子体，这会导致离子能量过量增加。

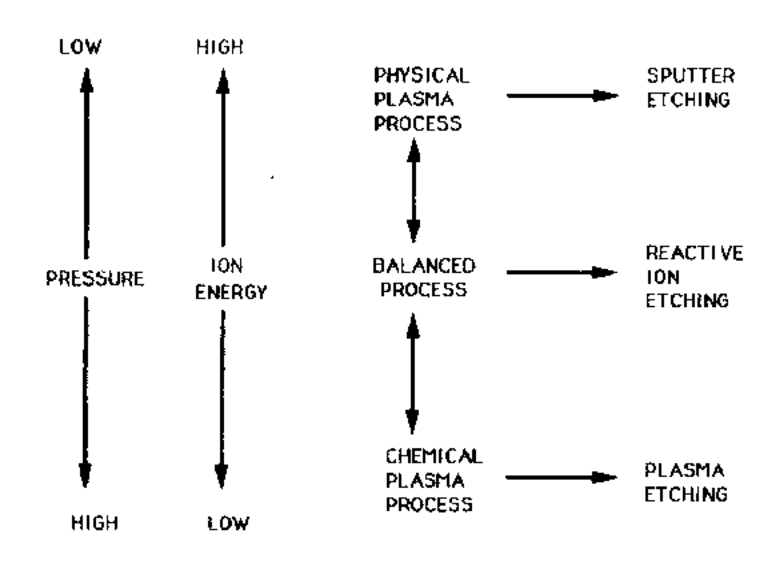


图 6-1　在等离子刻蚀中的物理和化学过程

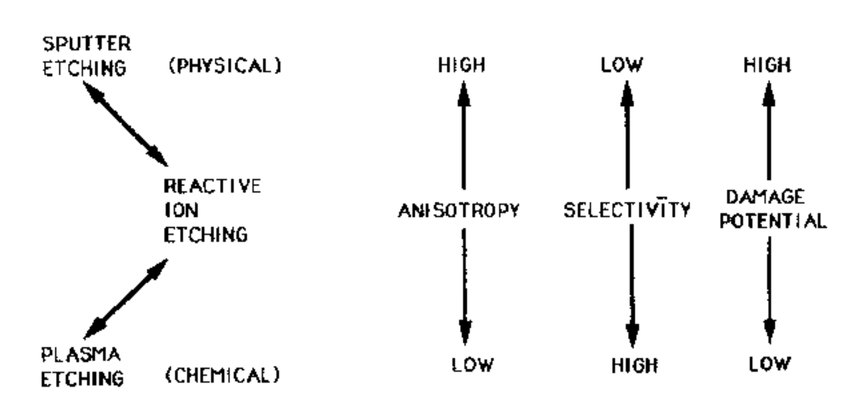


图 6-2　物理和化学刻蚀对晶片的作用结果

· p. 285 ·

6.2.3　刻蚀硬件

历史上，干法刻蚀设备从溅射刻蚀设备（由物理刻蚀机理支配的）和各向同性的筒式刻蚀机（由化学刻蚀机理支配的）发展到被称为 RIE 的刻蚀机和等离子刻蚀机。在这些刻蚀机中，刻蚀化学过程和现象涉及到离子和化学支配的机理之间的平衡作用。表 6-1 总结了图形转换对现有的和正在发展中的技术要求（Cook，1991）。由于需要较好的 CD 控制、较好的掩膜和其下面薄膜的刻蚀选择比控制，并改善损伤，推动了结合多重激发能量源的

新产品的出现。这些设备具有产生足够多的离子和中性粒子的等离子体的功能，并与硅片表面上离子能量的控制相分离。一般来说，物理上从接近硅片表面区域被移掉的等离子源称为“遥控离子源”。这包括低压刻蚀机，诸如低压微波、螺旋波和ECR刻蚀设备以及高压微波源，它常常用在各向同性刻蚀和低损伤工艺，如光刻胶剥离等。表6-2对下面要讨论的刻蚀设备进行了总结。Fonash(1985)专门讨论了这些设备的工作细节；Broydo(1983)对设备选择做了良好的评述，并讨论了它们的物理特性。表6-3中列出了每种设备典型的工作压力范围及硅片表面的离子能量范围。在表中同时列出了离子密度 n_i 的典型值。值得指出，与筒式设备和ECR设备相比，RIE和磁控设备中的离子能量一般相对较高。这些能量估计值代表了实际可以给出合理的硅片吞吐量工作条件下的典型值。如果将来工艺中需要低离子能量，平行板反应设备就不能满足工艺的需要。下面几节将详细讨论在当前的制造环境下，使用的设备特性。

• p. 286 •

表 6-1 DRAM 工艺技术的趋势

特　征	1Mb	4Mb	16Mb	64Mb	256Mb
设计规则(μm)	1.3～1	1.0～0.7	0.5	0.35	0.25
套刻尺寸(μm)	0.3～0.4	0.2～0.3	0.1～0.2	0.12	0.08
Al 间距(μm)	3.0～2.5	2.0～1.5	1.5	1.2	0.9
导电层数	2	3	4	5～6	6
接触孔尺寸(μm)	1.0	0.7	0.5	0.35	0.25
通孔尺寸(μm)	1.2	1.0	0.7	0.5	0.35
栅氧化层厚度(Å)	200	150～100	125	100	≤80
栅导体	多晶硅化物	多晶硅化物	多晶硅化物	多晶硅化物/难熔金属	多晶硅化物/难熔金属
存储电容	埋层/叠层	埋层/叠 ONO 层	埋层/叠 ONO 层	埋层/高 ε	埋层/高 ε
硅片尺寸(mm)	125～150	150	150～200	200	200～300
产品年代	1978	1989	1992	1995	1998

表 6-2 在 IC 制造厂最普遍使用的等离子刻蚀设备

通用名称	离子源类型	用　途
筒式	L 或 C 耦合	剥离，各向同性刻蚀
等离子刻蚀	13.56MHz 平行板电极	介质刻蚀
RIE	13.56MHz	金属、多晶
微波	2456MHz(典型情况)	光刻胶剥离(hi P)
ECR	遥控共振	多晶、金属

表 6-3 不同类型的刻蚀设备的比较

设备的类型	P 范围(Torr)	最大/最小(eV)	(在表面处)	特征 n_i(cm^{-3})
筒式	0.1～10	3/20		10^{12}～10^{13}
等离子刻蚀	1～5	100/1000		5×10^{12}
RIE	0.05～0.5	100/1000		10^{9}～10^{10}
磁控	0.01～0.1	50/1000		10^{9}～10^{11}
ECR	0.001～0.2	5/500		10^{11}～10^{13}

6.2.3.1 筒式刻蚀机

图 6-3(a)中给出的是一种典型的筒式刻蚀机，其腔室由一个大的、足以放置一至二个 25 片硅片舟的真空容器组成。由线圈或单一电极对组成的 RF 电极通常是安装在石英腔室的外面。感性耦合的几何结构(其中外电极是由环绕在反应腔室外的许多圈的螺旋铜管组成的)，实际上通常工作在容性耦合状态。使用内部金属屏蔽罩(术语叫“刻蚀隧道”)，使硅片表面没有电场(有时使得 RF 匹配更容易并更稳定)，减少由硅片表面和等离子体区之间的电势差所引起的离子表面反应。刻蚀隧道经常降低刻蚀速率，增加腔室横向氮化物的剥离。这些工艺对于长时间过刻蚀相对不敏感，所以腔室横向不均匀的刻蚀状况是可以接受的。虽然如此，为了维持整个硅片刻蚀的均匀性，需要较慢的质量传输，经常要求至少让硅片之间间隔保持 10mm(减少装片数量)。在生产中，已经用这些设备进行薄氮化物刻蚀(例如隔离膜)，甚至进行多晶硅栅的刻蚀工艺。一条 4Mb 生产线已经在部分 RIE 刻蚀之后用筒式刻蚀机去清洗多晶硅栅线，这样做的目的是使器件避免栅氧化层损伤。一般说来，使用筒式刻蚀机并不普遍，因为筒式刻蚀机常常产生大量的颗粒，且它的功能可由气流向下的单片刻蚀设备像微波刻蚀机所代替。

· p. 287 ·

6.2.3.2 等离子刻蚀机

所谓“等离子刻蚀机”，是平行平板高压结构的 RIE 刻蚀机[图 6-3(b)]，其机械结构上的差异是它容许在高压(大于 10Torr)和大功率密度(大于 $3W/cm^2$)下工作。在等离子刻蚀机和 RIE 设备之间的主要机械差异在于电极的物理结构设计不同，等离子刻蚀机使用的电极间隙相对小(10mm)。这些设备已经被广泛地使用在高速单硅片介质刻蚀中，并采用物理的和化学的两种机理的混合工艺。在几 Torr 的压力范围内，电极间距减少到 10mm 以下时，就会使刻蚀速率增加。典型的折衷设计是采用较大的电极间隙而获得工艺的稳定性均匀性和用较小的电极间隙获得高的刻蚀率两者之间的权衡。在 4Mb DRAM 生产技术中，等离子刻蚀设备用于某些薄膜的刻蚀都获得成功。它们典型的电特性是接近于零 DC 偏压，相对较高的等离子势能，较大的功率密度。对于介质刻蚀，它们常常使用被冷却的硅片卡盘和低频激励(100～400kHz)。某些设备能够分离在两个电极间隙上施加的功率，可有助于控制任一个反应器固有的不对称性几何分布，可采用真实的“阳极”或“阴极”耦合工作。可用这些设备产生较高的工作压力以控制损伤。

6.2.3.3 反应离子刻蚀机

反应离子刻蚀机的特点是阳极和阴极的面积比要大于 2：1(Coburn 和 Kay，1972)，工作在 20～400m Torr 范围内，已经设计成单片和批次生产的两种结构刻蚀机。图 6-3(c)中示出了反应离子刻蚀设备的主要组成部分：一个极间耦合电容器与电源串联(见 Kohler 等对电容器的讨论)。硅片放在阴极上(对于这种设计结构而言是外加 RF 功率的较小电极)。实际上，这些设备支持工业上所有高分辨率图形转换的刻蚀工艺。

· p. 288—289 ·

低压工作能提供很好的质量输送，减少微观和宏观负载效应。等离子体的二极管性能

在硅片表面处提供高的离子能量用于离子刻蚀，在阳极处提供低离子能量，以便减少在腔室侧壁的溅射。这些设备的成功源于它们有能力进行物理机理为主导的模式（例如氧化层、氮化膜及沟槽刻蚀）、以化学机理为主导的模式（铝刻蚀）或混合模式（多晶硅/硅化物，或 Al-4%的铜刻蚀）。这些设备的机械和电器组成也已被广泛的接受和认识：人们知道怎样调节设置点从而在硅片上获得不同的结果，以及怎样在大批量生产中保持设备的正常运行。当前正在使用的大多数 RIE 设备是在演变发展的，这反映了成熟技术不断地在改进设计。RIE 设备有一个限制，就是必须在最低压力下才能进行有效的工作，维持设备在低压工作（<25～100m Torr）和典型的功率密度（$1W/cm^2$）时需要高的 RF 电压。这种高

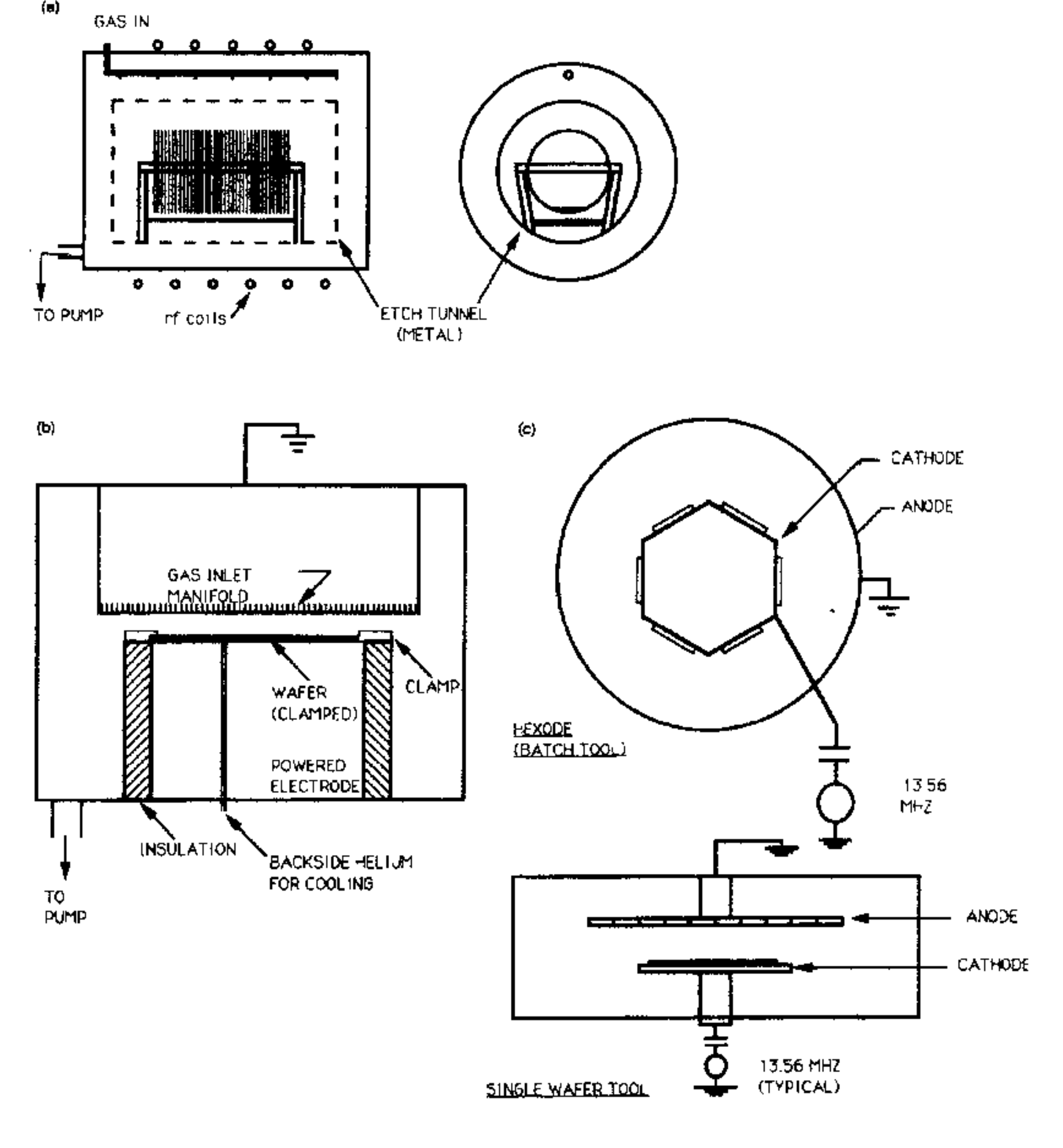


图 6-3 典型的刻蚀机示意图：
(a)筒式；(b)等离子刻蚀机；(c)RIE 刻蚀机

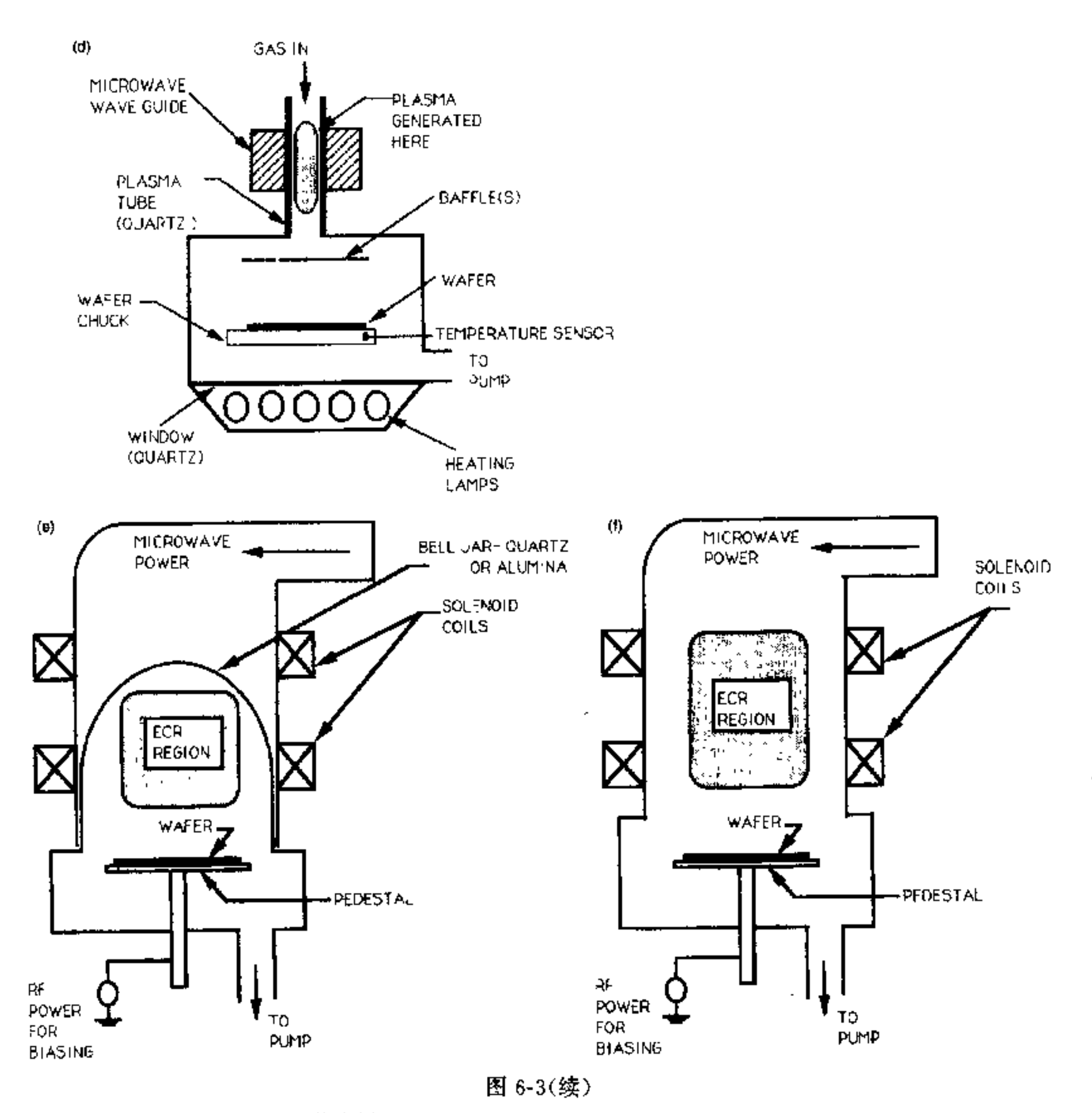


图 6-3(续)

(d)微波刻蚀机;(e)ECR 刻蚀机;(f)"NTT"ECR 设计

· p. 290 ·

电压导致的结果主要是跨过阴极的屏极电压降偏大和硅片表面将受到离子损伤、晶格损伤和刻蚀剂注入的问题(Current 等,1989)。这样,平行板 RIE 刻蚀机工作在最低压力时有些限制,而最低压力下工作是有用的,尤其是像栅氧和接触孔刻蚀等敏感工艺步骤。从 6-1 表中可以注意到这个技术满足 4Mb 工艺需要。对阴阳级之间气体缝隙施加一个电磁场可以减少 RIE 设备的工作电压。许多不同的结构,如磁增强 RIE(MERIE)或磁控设备已经在工业中使用。

6.2.3.4 遥控产生等离子体:微波和 ECR

微波剥离刻蚀机[图 6-3(d)]是一种遥控式等离子源或是向下气流刻蚀的结构。它们的主要部件是:处于硅片的上方的微波等离子源、使源均匀流向硅片表面的导流板,常常还包括用来控制硅片温度的辐射加热及被动冷却装置。在光刻胶剥离的应用中控制好温

度是个关键，光刻胶剥离工艺是在几 Torr 压强下进行的，它有一个温度敏感的剥离率。在低压微波系统中[见图 6-3(e)]完成各向异性刻蚀，通常采用在硅片上加外偏压，目前微波刻蚀系统可以完成光刻胶剥离、金属刻蚀和栅刻蚀。为了防止硅片过热，大部分微波刻蚀机对 RF 偏置的硅片吸盘使用闭路温度控制。

最后，[图 6-3(f)]说明“NTT”的 ECR(电子回旋共振)的设计：束流从管状共振区直接达到硅片表面。调节共振源和硅片的距离来控制刻蚀速率和刻蚀均匀性之间的平衡。这类设备的基本原理是工艺可以在很低离子能量(如果需要，到达硅片表面为较低的离子流)状态下工作：在氩气环境、压强 2Torr 和几个 cm 下行距离的微波源状态下测量离子密度低到 $10^7/cm^3$(Cook，1991)。采用这种方案是希望减少硅片表面的损伤，并避免硅片表面过热。此外，微波等离子刻蚀可以比 RIE 平行平板系统工作在较低的压力；由于减少了沉积，提供了控制颗粒更好的方法。由于压力是较低的，所以还可以预期有更好的硅片装载功能。

ECR 离子源类似于微波源，它使用 2.45GHz 激励频率。它还使用 875Gauss 的局部磁场，以便在电子旋转频率和外加磁场频率之间产生共振。ECR 等离子源可以在低压($<$1m Tott)情况下有效的工作，并可以产生高的等离子密度($>10^{12}/cm^3$)。实际的共振工作区电子能量分布也产生高电子能量尾巴，这些电子能量可产生高能量辐射(软 X 射线)，它成为器件损伤新的来源(Buchanan 和 Fortuno-Wiltshire，1991)。大多数器件制造商对 ECR 设备有很大的兴趣，但是这些设备还没有成熟到可以在通常的生产领域中使用。其它的离子源，像螺旋共振，看上去很有前途，但在当前生产领域还没有使用。螺旋共振刻蚀设备的吸引力在机械结构上它是相当简单的，它使用 RF 而不使用微波频率，其等离子是感应耦合的，所以在低压下获得较低的等离子势能是可能的。

• p. 291 •

6.3 刻蚀终点、诊断和控制技术

就像所有硬件部件一样，测量学(测量科学)和通信是工艺模块成功的关键。能够知道工艺何时完成，能够知道下几层薄膜不必要暴露给随后工艺，是十分重要的。终点检测不仅减少了对下面薄膜损坏的程度，还可以增强批次间均匀性。因此，每一步刻蚀工艺都需要终点检测。现在大多数工程师都采用设计好的实验，或采用表面感应技术来建立它们工艺的工作点和特性。这些工艺过程的主要缺点是，虽然提供多种变量输入，但是对于系统控制只提供单一输出的优化，而不能提供几种控制输出的优化。另外这些规则是网络系统，即真实的多变量输入输出。但是，目前这些技术并没有普遍地使用。缺少多变量输入输出技术将产生两个问题。首先，所有这些设备恰好在某点出故障时，必须使用多种诊断工具去寻找故障。使用设计好的实验的目的，重点是为了确定稳定的工作窗口并满足规范要求。随着电路设计变得更复杂，这些规范要求变得更严格，要求在更小的工作窗口中维持工艺优化也变得更加困难。此外，还有外来材料变化的影响(有时很糟糕并且经常是有意识的，如在 ASIC 设计的情况)。这就产生了第二个问题是：工艺设备的动态控制。这部分将在下面分三个题目根据当前和将来的工艺要求进行讨论。应当指出，由于时间问题，这里将只强调用于干法刻蚀工艺的技术。

6.3.1 终点监视仪

由于IC常规设计的硅表面外形是各式各样的，在整个硅片表面相应的薄膜厚度也是变化的。这就必须有一定量的"过刻蚀"，即刻蚀要超过顶膜开始被刻净的厚度。然而如上面讲到的，尽量减少像栅氧化层那样的处于底下的敏感层过分的暴露也是非常重要的。通常这意味着，必须把对下层薄膜较低的选择和很快的各向异性刻蚀转换到用较高的选择比和慢得多的、且较差的各向异性刻蚀。即使线条没有减到最小，这种转换也将导致尺寸失去控制。因此，终点检测是工艺控制的重要的组成部分。

• p. 292 •

起初认为，测定何时能刻净很厚的薄膜(几千埃)似乎是十分困难的。然面，实际对刻蚀工艺的检查揭示，有很多产生信号和监测的机会。Flamm 和 Herb(1989)给出了非常好的关于干法刻蚀全过程中薄膜的挥发和等离子体的化学结构变化的报告。很容易想象，如果监测器能得到一个能与等离子体的化学成分成比例的信号，如刻蚀剂或挥发性副产物密度，这个信号电平一定会随薄膜被逐渐去掉而变化的。这就是大多数终端检测器的基本工作方式。另一种类型的检测器是使用被刻蚀的薄膜的光学特性。当薄膜被去掉时，硅片表面的光学特性发生变化就可以检测到刻蚀终点。下面几小节是评述被广泛使用的终点监测器。

6.3.1.1 光发射谱(OES)

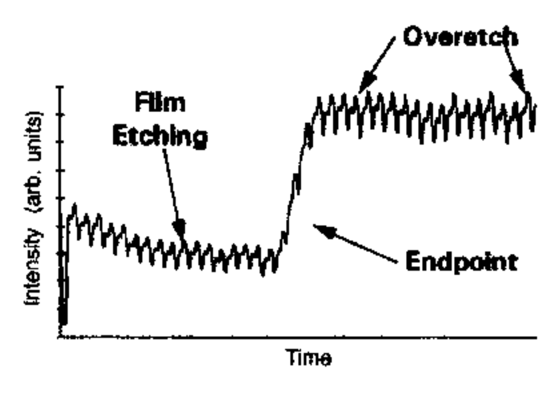


图6-4 由MERIE多晶刻蚀中产生的典型光发射终点信号

各种等离子体都发射某些特定波长的光，最普遍的例子就是荧光灯中包含的人造等离子体。用于半导体干法刻蚀工艺中的等离子体也发射宽带辐射。发射可以从刻蚀剂、刻蚀产品或它们的生成物中发出来，现在已经有许多OES设备制造厂家。这种设备有三种基本类型：a)多达1024个光敏象素的多通道分析仪；b)一般只有一个光感应元件的扫描单色光谱仪；c)固定波长。最普遍使用的是扫描单色光谱仪。图6-4给出了用扫描单色光谱仪系统绘出的实际的终点检测轨迹图。表6-4给出的是不同的被刻膜/刻蚀剂的特征发射波长。

OES终点检测已经成功地使用了多年。它的系统造价低而且价格合理。最昂贵的、但确是使用最灵活的是多通道分析仪，它能够捕捉和分辨工艺中瞬间发生的宽带光信号。最便宜的系统是波长固定的产品。就其功能上看，这三种系统的任一种都能很好工作，不过使用者在购买之前必须弄清楚被监测的精确波长，那种具备多种监测能力的设备是不现实的。因此，今天广泛使用的是可以监测波长变化的扫描单色光谱仪。前面讲了这么多好处并不是说OES终端检测什么都是完美的。首先在正常的制造环境下遇到的问题是，在反应刻蚀腔室上要得到一个便于观察放电的窗口。虽然一些较老的设备可能没有这样的窗口，但多数新的设备是有的。工艺工程师要克服的另外一个障碍是给监测器寻找一个恰当的波长。等离子体发射宽频带的光，它有各种波长的光，但是通常与硅片上发生反应有

关的仅仅是几个波长的强度。同时，大多数终端检测仪器只能对(200～800nm)很接近 IR 和很接近 UV 区域的光谱敏感，与典型的工艺中等离子体有关的重分子类的很多信息被丢掉了。即使 OES 系统安装是成功的，作为终点检测器的光谱特性也是被认可的，但最后一个不能解决的问题是窗口模糊。为了最佳传送，大多数的 OES 使用石英窗口，但是就像它们在硅片上或反应室侧壁上的情况一样，石英常常被腐蚀或在石英上形成沉积物薄膜，所以窗口必须定期进行清洗。对于很低压的设备诸如以 ECR 或 Cl_2 为主要气体的工艺系统来讲，清洗是一个重要的问题，而且必须尽可能少在大气中暴露。

• p. 293 •

表 6-4 光发射终点监测特征波长与不同种类刻蚀化学中选择的物质之间的关系

薄膜	刻蚀剂	波长(Å)	发射源
Al	CCl_4	2614	AlCl
		3962	Al
Cu	Ar	3248	Cu
Cr	Ar	3579	Cr
Resist	O_2	2977	CO
		3089	OH
		6563	H
		6156	O
Si	CF_4/O_2	7037	F
		7770	SiF
	Cl_2	2882	Si
Si_3N_4	CF_4/O_2	3370	N_2
		7037	F
		6740	N
SiO_2	CHF	1840	CO
(P-Doped)		2535	P
W	CF_4/O_2	7037	F

6.3.1.2 激光干涉

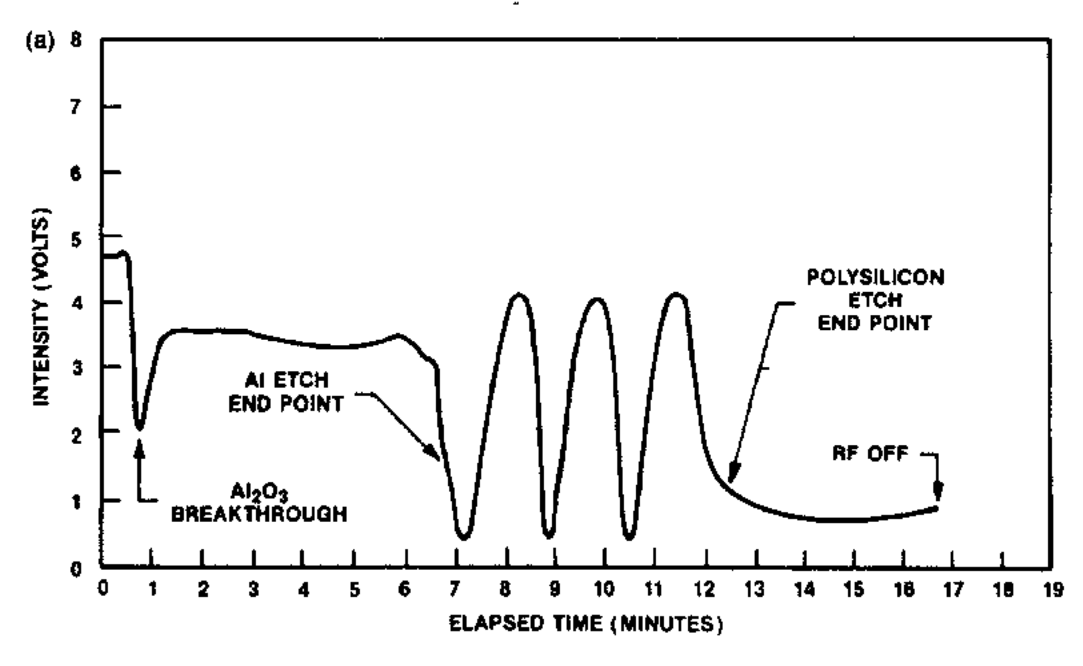
另一种经生产证实的终点技术是建立在正进行加工的硅片正面的不同薄膜表面的单色光反射的基础上的(Donnelly，1989)。单色光通常来自激光，它的反射强度依赖于它的波长、折射率和叠层薄膜的厚度，反射强度依赖于来自不同界面反射光的相长干涉和相消干涉。这一现象可用来监控如多晶硅、氧化硅、氮化硅这样的材料的厚度。直射到硅片表面的激光像 He-Ne(632.8nm)，当两倍的薄膜厚度 d 等于波长 λ 被折射率 n 相除的倍数，即

$$d = \lambda/2n \tag{6-1}$$

时，就产生最大和最小的干涉。光反射强度随着硅片上各种薄膜膜厚变化而按正弦曲线变化。刻蚀速率可以用测定信号轨迹上的最大、最小信号之间的时间间隔来监测到。这个技术可以对刻蚀速率进行实时监测。因此，可以检测薄膜组成部分随深度变化所引起的变化。由于激光干涉适应性强，它已经被广泛地使用在刻蚀工艺中。即使在金属刻蚀时，甚至激光对薄膜有很强的反射性，干涉法也可使用。反射随着金属膜逐渐被刻净面变化，下层薄膜激光反射量这一光学特性就显示出来了。图 6-5 示出有代表性的激光干涉照片，(a)是金属刻蚀刻净后随之进行多晶硅刻蚀的干涉图片，(b)是二氧化硅从硅衬底上被剥离的干涉图。

• p. 294 •

激光干涉的主要问题是它没有能力区分刻蚀非均匀性。为了取得一个线条分明的干涉图，实际上干涉技术本来就必须具有一个很小的光点(直径 10^{-5}cm)。因为，终点是由一个很小的感应点决定的，随着膜厚或纵向刻蚀率的变化，将产生不具代表性的抽样。尤为严重的是，在一批硅片或单一硅片的刻蚀中，为了得到刻蚀速率和各向异性刻蚀，将牺牲掉刻蚀选择比。第二个问题是，要求激光垂直硅片表面入射，这可能使测量成为不可能。



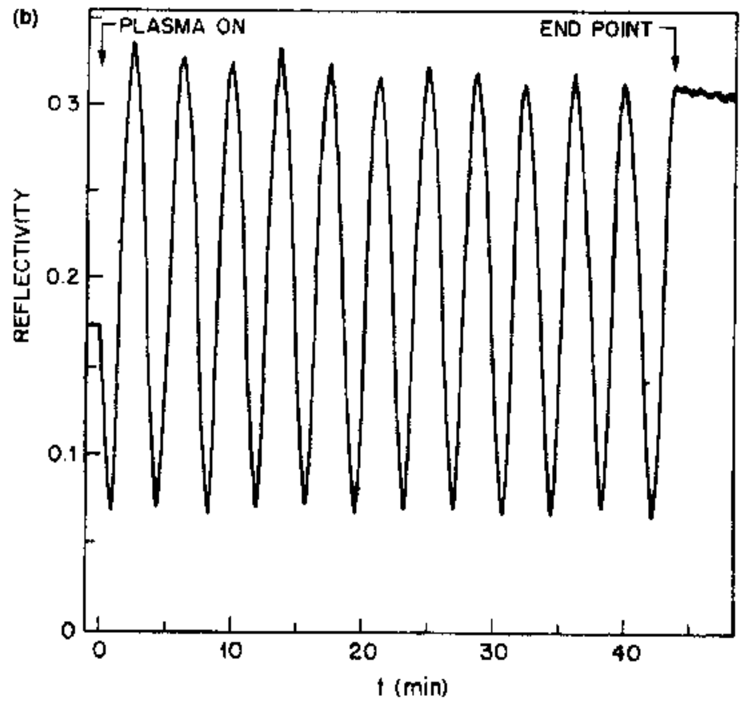


图 6-5　典型的激光干涉轨迹。(a)金属覆盖多晶硅;(b)二氧化硅覆盖硅

· p. 295 ·

6.3.1.3　残余气体分析/质谱分析

如上所述,刻蚀工艺从开始到完成过程中,等离子体的化学组成和化学性质均发生变化。这种变化的基础是消耗了刻蚀剂,同时也使薄膜挥发掉,其浓度必互成反比。因此,与各种等离子体构成密度相关的瞬间分辨出的光的信息,使得终点确定成为普通的事了。这是一个基本概念,因为该技术是在使用质谱分析或剩余气体分析成为终点检测后提出的。

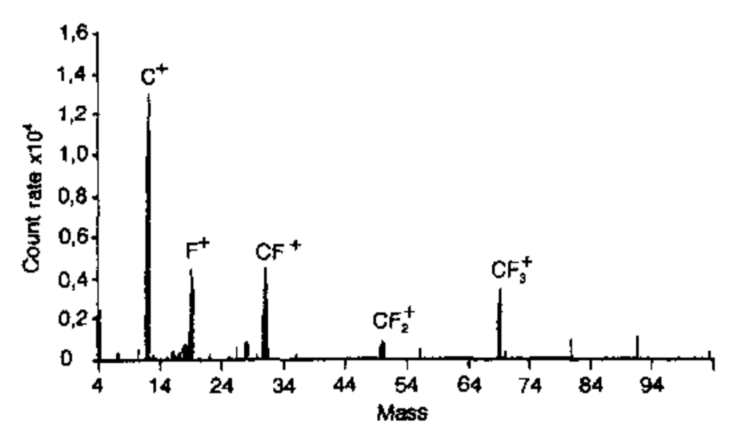


图 6-6　从 CF_4 等离子得到的 RGA 输出

对于 RGA 和 OES 的同样的问题是，在强的背景中识别监测器上的关键峰值。实际上，RGA 更差一些，因为它的质谱比 OES 更宽。图 6-6 是典型的 RGA 输出。

当研究 RGA 的取样细节时引出一个更关键的问题。今天广泛使用的质谱分析仪系统是四极质量分析仪，它需要一个低的工作压力（$<10^{-5}$Torr）。在差动抽气的四极区和工艺气体之间放置一个取样孔，以达到这个低压。对于不同的制造商，取样孔可以是一个小的旁路阀或小的针孔膜片。被取样的粒子进入差动泵区后，经过一个电离器后再必须经过一段距离才能穿过四极区。粒子通过取样孔和电离器后，再经过一段距离穿过四极区，这样等离子体所经距离，总计为许多倍平均自由程。任何一种粒子，尤其是大的带电粒子，经过这样的长行程而不产生碰撞的概率是很小的。因此，我们从典型的 RGA 显示看到的绝大部分是接近硅片表面真实化学反应过程中有限的一部分反应，这样的假设是正确的。第二个问题是在更新的磁增强设备中使用 RGA 引起的。四极工作原理是以可控的电场和磁场与带电粒子相互作用为基础的。在 MERIE 或 ECR 类型的设备中，外部强加的磁场可能严重干扰四极分析场，甚至造成 RGA 不能使用。

· p. 296 ·

并不是说 RGA 不是一种有用的测量设备。外部强加的磁场的问题可以用特殊的屏蔽加以解决。在硅片表面等离子体取样不真实的问题可以用特殊的探针解决，尽管它们有可能挡住硅片。然而，这些困难使 RGA 成为工艺研究开发工具的可能性大于成为生产探测器（Vasile 和 Dylla，1989；Manos 和 Dylla，1989b）。

6.3.1.4　射频和偏置电压

在刻蚀工艺期间，当等离子体发生化学变化时，等离子体的阻抗和屏蔽特性也同样发生变化，这是很直观的。当阻抗和屏蔽发生变化时，RF 电压、电流、相位及自偏压也随之变化，并且提供的功率不受偏置电压的控制。因为信号噪声比是很好的，测量未被侵害的等离子体最直接的方法是监测 RF 电路的参数。由于等离子体的测量通常是在硅片电极上进行的，所以放电的取样是在其相关的区域进行。

· p. 297 ·

在进行 RF 测量时，没有涉及遮挡硅片或观察窗口模糊的问题。并且，电压和电流探测器装置是普遍使用的。作为潜在的终点监测器，RF 分析得益于两个不同的互补的现

象。首先，整个刻蚀工艺中放电电荷组成的变化导致阻抗的变化。因为能够测量偏置电压、等离子电流以及等离子体的阻抗，使得接近硅片表面的 RF 探测成为很有用的终点探测器。其次，因为整个硅片作为暴露的电极以及在整个表面发生变化(即带电电极电特性的变化)，所以整个硅片表面的变化对终点监测器都起作用。激光干涉法与有关的光点尺寸受限制的问题就被去掉了。同样，用 RF 测量法，即使光谱有宽的频带而在它的频带内也只有分立的频率(基频和它的谐振频率)。这使得 RF 识别恰当的终点测量信号要比 OES 和 RGA 都容易得多。

图 6-7 包括了 RF 电压、电流、相位和自偏压信号曲线。对于 RF 参数，目前只有自偏

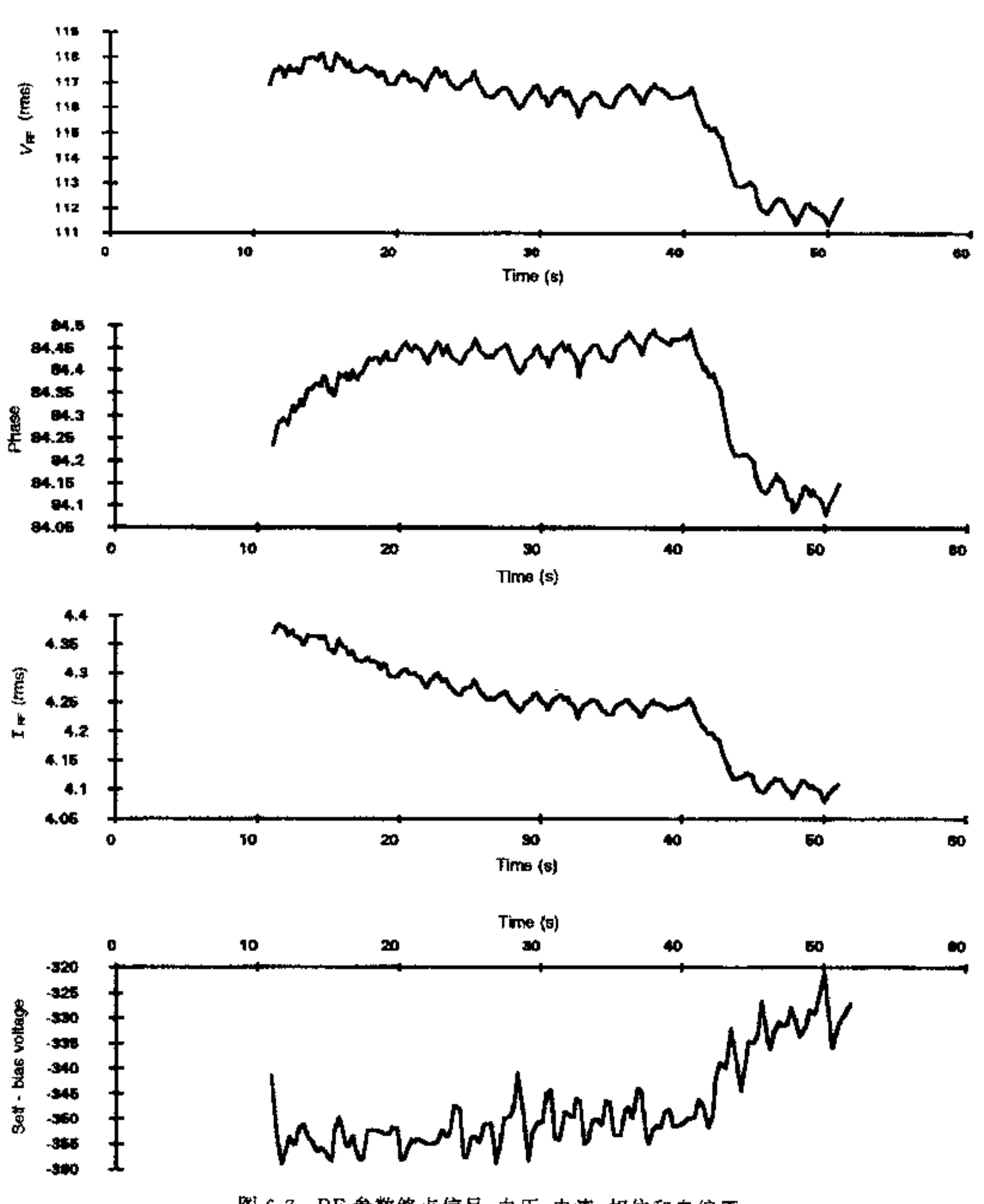


图 6-7　RF 参数终点信号：电压，电流，相位和自偏压

压的测量是在常规基础上进行的。使用自偏压测量有两个问题。第一,也是最重要的,自偏压的 DC 电压测量需要一个到达暴露于加电电极表面上等离子体的电阻通道。许多先进的工艺设备使用阳极氧化的电极,它将使 DC 电流停止流向任一为测量自偏压而建立的电阻电压分配器。这就不可能获得精确的,甚至是象征性的自偏压信号了。其次,有几种工艺设备为了保持偏压恒定,使用控制伺服的功率。因此,当薄膜被刻净时偏置电压不变,因为用了功率变化以保持偏置为常量。

预计 RF 的监测方法将会得到更多的应用,这是因为,OES 敏感度已在测量某些如接触孔和连通孔刻蚀时受到限制。对于可靠的终点监测,OES 经常不够灵敏。已经证实,RF 能检测到 OES 不能检测的终点(Turner,1991a)。目前,用于同时监测 RF 电压、电流、相位和谐振成分的系统正在实现,这使 RF 将有可能成为标准的终点监测系统。这是因为它们的性能,也由于它们可以将监测系统加进需要功率控制的设备中去。

• p. 298 •

6.3.2 诊断工具/工艺控制测量学

前面的章节谈论的是在恰当的时间停止工艺,以改善批与批间的均匀性,保证下面薄膜最小的损伤。这一节将讨论测量设备,这些设备是用来纠正失控前或发生失控后的工艺。用于工艺控制的诊断设备和测量是基于对与机器相关的和工艺相关的参数的测量。可以说,刻蚀有三个组成部分:a)用机器产生等离子体;b)用等离子体产生化学制品和反应动力学;c)硅片和刻蚀结果。其数模关系可以用下面三个关系作很好的数学描述:

$$\text{刻蚀参数} = F(\text{时间},\text{等离子体参数}) \tag{6-2}$$

$$\text{等离子体参数} = F(\text{时间},\text{机器参数}) \tag{6-3}$$

$$\text{刻蚀参数} = F(\text{时间},\text{机器参数}) \tag{6-4}$$

很显然,它们全都包括时间,要强调的是整个工艺是动态的并和时间有关的。这些等式表达的主要概念是,由机器的设置来产生具有一定特性的等离子体,而这些等离子体将依次决定怎样刻蚀硅片。失效、漂移或失控是由机器、等离子体或是所放进的硅片的变化引起的。通过及时地提供全部工艺模式状态的信息,恰当的实际测量几乎可以全部消除这些灾难。现在开始刻蚀了,随着机器启动我们将随之进行讨论。

6.3.2.1 与设备相关的测量方法

所有等离子工艺设备都有一定数量与机器相关的测量,甚至最初的机器都有了 RF 功率表和压力表。现在的设备更复杂了,它包含有质量流量计、温度计、一个或多个 RF 发生器、压力、电极间距、磁场、背面冷却压力等许多对运作敏感的机器。但是,实际的问题并不是考虑要作多少测量,而是怎样正确地测量,即在哪里,什么时候及使用什么频率进行测量。重要的是要记住,不同种类的等离子刻蚀机已经使用近十年,它对制造先进的刻蚀设备作了大量贡献。这一节的目的是要指出下一个十年改进和发展等离子刻蚀能力的方法和技术。

• p. 299 •

RF 功率测量

当前的 RF 测试提供了一个好的偏位测量例子。等离子体本身是具有高可变阻抗的

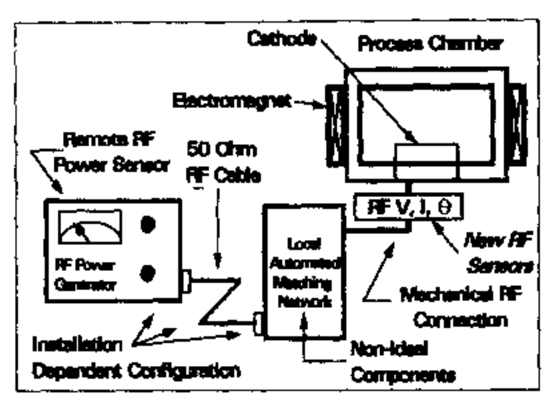


图 6-8　目前改进的 RF 测量的布局

非线性的现象。这就需要用阻抗匹配网络把发生器上 50Ω 输出的 RF 能量有效地耦合到反应腔室内的电极上。这些匹配网络是由真实的(不是理想的电阻)电感和电容元件组成的,由于 I^2R 产生热和其它辐射效应,使它们产生损耗。也就是说,要使可变的阻抗网络与等离子体阻抗匹配,最普遍的方法是把反射功率调到最小。所以,一些 RF 发射的能量被反射回到 RF 发生器上。至今,基于这种理解,RF 功率的测定仍然在 RF 发生器的输出端提取,而不在带电电极上提取。图 6-8 给出了目前 RF 测量的正确实施方案。

在测定 RF 传送的能量中,经常发生第二类严重的错误。RF 功率设置点一般用瓦来表示的。无论怎样,要记住重要的一点是:功率是瞬间电压和电流的乘积。假定电压和电流都是正弦波、平均功率是

$$平均功率 = 电压 \times 电流 \times 余弦(相位) \tag{6-5}$$

因为等离子体本身是非线性的,假设(6-5)式的正弦波不严格成立,但是可作为一较好的近似。因为等离子刻蚀行为依赖于电压和电流也依赖于功率,所以很容易看到,简单地规定正向功率不适合于工作条件的确定。而通过设定适当的电压、电流和相位传感器作为 RF 发生器控制策略的一部分,就可以获得更好的控制。

真空测量

所有等离子刻蚀工艺是在低压状态下进行的。因此产生和维持真空状态、气体的处置和排放、压力的测定控制,都是干法刻蚀的基础。某些类型的工艺设备使用的压力更低。例如,ECR 需要一个低工作压力。工作压力越低,基本压力就要越低。这是由于必须用基本压力来保证有一个清洁的初始腔室。要获得低的基本压力,通常是取决于泵的能力、尺寸、型号和真空腔室中的漏气率。上个世纪就可以测定压力了,而且目前的测定能力已经有了很大的改善。然而,必须重视的一点是,在大多数刻蚀工艺中所用的化学成分会腐蚀最新的压力传感器,会影响其测量能力。同样,用来调节传送一定量气体到腔室中的质量流量计(MFC),在使用时也受到有害气体的侵害。这是因为这些 MFC 虽然是由高质量的材料制成,但仍然很容易遭受工艺中化学成分像 Cl_2 的腐蚀。

• p. 300 •

对于压力流量传感器的退化没有直接的对策。然而,在传感器性能复原时使用一些简单的技术和有用的校准系统可以使它得到明显的改善。要再次指出,在错误的地方进行测量,会危害整个测量过程。例如,可以设定 MFC 来控制气体流量,这是以流量的测定和该类型气体的转换系数为基础的。这种测量工艺不给出有关 MFC 工作状态的信息。由电化学阀的开与关来准许气体通过 MFC。

通过简单测量这个 MFC 电化学阀驱动电流,就可以监视它失效前的剩余时间,并且在它失效前恰当地制定更换计划。由于工艺中许多化学成分属于腐蚀性的,所以实际上 MFC 并不能拿下来校准。因此,当前普遍使用容量分析技术来检查和校准 MFC。流量校

准技术是基于假设压力传感器是不变化的。但无论怎样，通常压力传感器不可能总是不变的。这个问题，商业上利用一种便于维护的 NIST 可跟踪电容压力计(Chapman)就可以很好地解决。在调试中，这个校准系统的转换标准被安置在刻蚀机上，并用来显示与被维修的压力计和刻蚀机传感器相关的转换功能。像这样简单而且有效的技术可以改善整个真空的恢复性能和气体处理系统。

磁学测量

许多先进的“高密度”刻蚀系统都利用磁场吸持技术来产生和维持一定的等离子特征。在某些机器上产生的表面模型响应表明，磁场是一个主要的独立变量，对刻蚀参数有很大的影响，因此，影响均匀性是很容易理解的。图 6-9 说明建立的漂移矢量是由电和磁场($\boldsymbol{D}=\boldsymbol{E}\times\boldsymbol{B}$)的相互作用而产生的。因为，漂移现象影响所有的带电粒子，刻蚀剂在离开硅片表面的位置形成，所以能够控制刻蚀率的均匀性。刻蚀剂生成物散布的结果是刻蚀剂沿轴的径向扩散到整个硅片以便使中心处暴露的薄膜挥发掉。下面将更仔细描述 $\boldsymbol{E}\times\boldsymbol{B}$ 漂移现象。

• p. 301 •

一般讲，磁场是由电磁线圈产生的而不是由永久磁铁产生的。像这样的设备通常把测量磁场强度建立在测量线圈输入电流的模型基础上。不管怎样，试图调节模型中腔室的导磁率和场散度，如果说不是不可能，那也是很困难的。因此，利用简单的 Hall 效应探头或精确磁力纤维光学传感器可以提供与一个最重要设备参数有关的有价值的信息。当前，在实际应用中没有使用这些技术。可以给腔室提供一个入口，进行简单的测量，容易地得到所产生的信息。

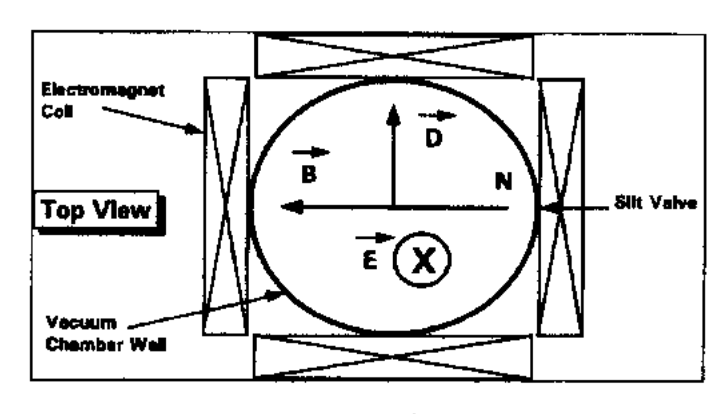


图 6-9 在 MERIE 设备中产生的 $\boldsymbol{E}\times\boldsymbol{B}$ 迁移场

热学测量

所有的刻蚀机以某种方式使用热能。在刻蚀过程中，温度的调整范围在低温冷却腔到高于环境温度加热腔的宽范围内变化。对于不同的情况需要采用特定温度，用以帮助或抑制某些刻蚀特性。在整个工艺控制过程中，硅片自身温度是重要的相关信息。例如，仅仅用 Cl_2 刻蚀一定的薄膜时，如果知道硅片自身温度，就可以改变它各向异性刻蚀程度。测定硅片的温度有许多方法。已经逐渐成熟的接触硅片背面磷触点探针能测量点温度。单触点高温计广泛地使用在薄膜沉积工艺中，也应用于刻蚀中。点或单一位置的测量做得很好，并且是已被验证了的技术，然而，这些测量方法同激光干涉终点检测一样缺乏表面均匀性信息。

最近已经有了关于利用两维 CCD 检查仪进行实时温度测量的分析报道(Turner,1991b)。根据来自表面 IR 线辐射,这些 CCD 器件显示出硅片表面的实时图像。当硅片被刻蚀的时候,薄膜顶部的辐射系数产生变化。这使得测定绝对温度变得几乎不可能了。然而这样的效果产生两个特殊的作用:首先是建立了一个整片终点监测器;第二是温度梯度监测器,此温度梯度是由不均匀的离子轰击或冷却引起的(两者都能导致刻蚀速率梯度)。

6.3.2.2 与工艺相关的测量方法

正如上面谈到的,第二种刻蚀模型测量学是涉及到化学成分和放电动力学特性的测量。尽管实际确定工艺结果的是等离子体,但现在工艺设备很少利用这种测量学。例如,虽然大家知道电子有时迫使某些刻蚀剂形成,但是并不添加备件对电子密度和速率进行常规监测。这说明,设备制造商用以经验为基础来发展刻蚀模型的努力已能满足工业的需要。不管怎样,应用几种简单的等离子体测量工具就可以达到新设备和工艺的试制周期要求,并可以有效地减少成品率的损失。多年来,反对需要等离子体测量的争论是:如果机器的设置点是正确的,产生可重复放电的能力究竟如何。并且,多年来一直提出要有足够范围的放电重复率的要求也支持了这种争论。不管怎样,现在对干法刻蚀的要求是严密地、全面地控制等离子体。例如,因为工艺中整个硅片表面不可能均匀,而硅片的工艺制造费用又不断升高,又不能简单地丢掉硅片边缘的管芯。所以,没有多种等离子测量设备的贡献,就不可能获得各种不均匀信息。因此,要更好地理解和控制工艺,就形成对等离子测量学的需求。

· p. 302 ·

下面几节将详述几种主要的等离子测量设备的能力。像 RF 测量的某些应用,在生产工艺控制环境中是很简单的。其它类型会要求特殊支持,这就使得它们仅仅用于检修或 SPC 类测量。

剩余气体分析

曾经讨论过,用 RGA 作为终点监测器和确定真空气密性。而等离子测量,就可以成功地利用 RGA 提供的独特能力。为了确定某些产生等离子体的化学成分的浓度,最简单的一种 RGA 测量方法是分压强分析。为了确保刻蚀剂的优化产生,可以对中性化合物,像 Cl_2 和 F,在一定周期基础上进行分压强分析。在这种应用中,要求信号应该是已知的(刻蚀剂原子的质量),为了监测这些等离子体的成分,应该有足够的信噪比。RGA 的仪器可以在整个真空系统的各种位置进行分析。然而,对于实际放电,总是推荐尽可能使用四极方法。因为实际上只有中性刻蚀时,与刻蚀剂浓度有关的信息才能对干法刻蚀工艺优化,才能做到可控和故障检测。

光发射谱

暂且不谈做为终点监测器的能力,OES 可以提供放电时化学成分的信息。虽然从 OES 搜集来的信息基本上是线集合,但对于确定较短的平均自由程以及不能进入 RGA 范围内存在的化合物和相对浓度仍然是很有用的。最普通的短寿命成分的例子是薄膜生成物和离子,两者对各向异性刻蚀都是重要的。虽然不是所有离子的发射都处于 OES 工作频带内,但足够数量的离子即可以产生工艺"手印"它可作为"通－断－通"(go－no－go)等离子传感器(Turner,1991c)。

Langmuir 探头

Langmuir 探头大概是最著名的、并且是最老的等离子测量工具，仅次于人的眼睛。这种仪器很简单，评论者描述 Langmuir 探头时只说是插进等离子体中的一条线而已(Manos 和 Dylla，1989a)。以前大量的评论和已发表的文章这里不再重复(Smits，1960～62；Langmuir，1929；Langmuir 和 Blodhett，1923，1924；Langmuir 和 Mott-Smith，1923，1924，1926)。对于在等离子刻蚀工艺里一般可以找到的那些分子的研究表明，产生刻蚀剂的分解是由电子特性激励的(Phelps 和 Van Brunt，1988)。分解与刻蚀剂之间的关系是由电子激励横截面与电子能量的依赖关系所产生的。用已知的空间分辨率把探针头架在可移动的平台上，它可以产生电子能量和密度的径向剖面图。

• p. 303 •

因为电子推动刻蚀化学反应，为了完成工艺流程并改善它的控制，与电子性能有关的信息是重要。图 6-10 包括了对 Langmuir 探针的示意图说明。图 6-11 表示了探针 I-V 特性随空间变化。图 6-11 中，位置 1 是 150mm 硅片边缘处，位置 2 是 75mm 处，位置 3 是在中心。当使用探针测量时应确保十分有效的接地。同样，为了避免产生过多的微粒和可能的真空失效，在安装探针中应该避免使用焊接的波纹管。

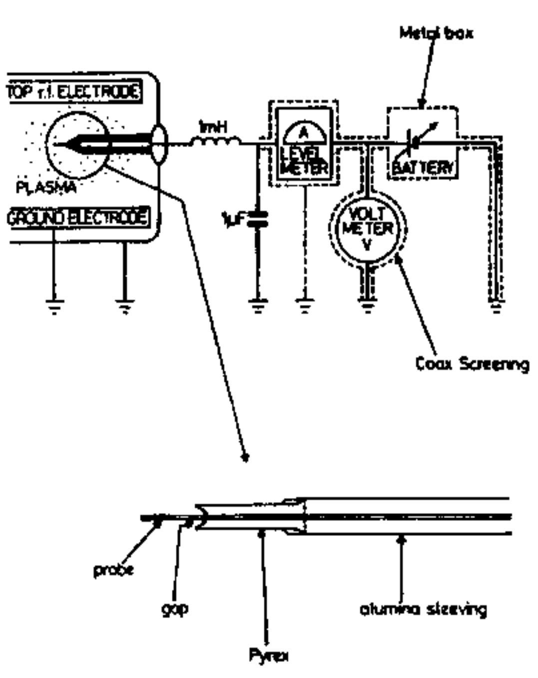


图 6-10 典型的 Langmuir 探针电路示意说明图

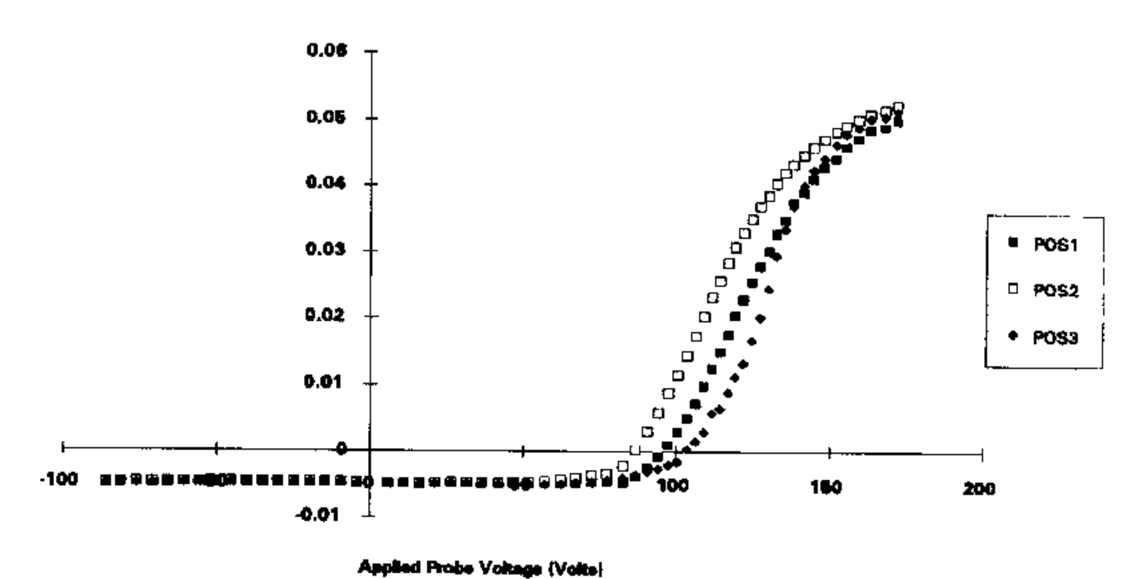


图 6-11 典型的 Langmuir 探头 I-V 特性

6.3.3 控制技术

• p.304 •

早先的等离子刻蚀设备有一点或根本就没有尖端的控制技术。在大多数情况下，操作人员手动调节 RF 电源的开关，以开始或停止工艺，随后立即是压力的控制、质量流量的控制、温度的控制。如上所述，RF 功率总是一个受电源控制的参数，而不是受负载控制。对大多数部件，甚至对 RF，控制方法是简单的比例积分微分(PID)的控制。无论怎样讲，工业进入到 90 年代，随着硅片的尺寸不断增大，价值更昂贵，工艺更复杂，有时要求使用更复杂的刻蚀设备，越来越明显的问题是必须改进机器的控制。下部分将从目前机器控制的状况和为满足未来需要可能采用的解决方法等方面加以讨论。

6.3.3.1 目前的控制策略

目前的控制策略是由多种独立的 PID 环路控制刻蚀工艺。为了调整一个阀门或其它机电元件的驱动信号，每个环路是以某种测量学(经常被用错地方)和一种简单的算法为基础的。在压力 PID 中可以看到这种控制形式的典型例子。如果 Cl_2 的 MFC 发生腐蚀和关闭失效会发生什么结果，下面的一连串的事件是有代表性的例子。传感器产生一个与腔室的压力成比例的电压值，把这个电压值送到控制器并作为输入信号来判断。假设确认压力是低的，然后控制器就依次送这个信号到节流阀并指示它关闭，结果引起压力升高。如果没有某种等离子的测量或改进的质量流量测量方法，使用者直到硅片加工完后的检查工序才能发现是废品，这时问题已经形成。现有的独立的 PID 工作环路恰好会产生这样的问题。

形成这个问题是由于目前缺少等离子测量方法造成的。因为当前几乎没有产生任何与放电特性有关的信息，等离子实质上是开环运行的。这种情况很自然会产生批次到批次的变化。

6.3.3.2 必要条件是什么?

这个问题最明显的答案是改善测量学。从它对刻蚀工艺作出的贡献看，充分利用系统中正确位置产生的良好信号和关键工艺参数，像 RF 电压、电流、相位及电子特性有关的信号，必将有很好的效果。图 6-12 阐述的是当前和未来不同的控制策略。应该指出的是，到目前为止，由于在批量材料处理期间不能检查到失控情况，所以单片工艺设备的使用还没有得到优化。适当的加强测量学的研究将使得单片刻蚀设备充满希望。对某些设备而言，即使这不是一次飞跃，也是向前走了一大步。无论怎样，这样的努力得到的回报是，能很容易用节省资金或增加硅片产量来衡量，并发现回报是非常快的。典型的 4Mb DRAM 的单班生产就足以偿还 $ 50k 的测量设备的投资。

• p.305 •

第二，用压力控制 PID 去解决 MFC 存在的问题并做为相关校正信息是上面未提到的例子。另一个有意义的改进是用真实的多元输入/多元输出的最优化技术代替现有的 RSM 技术。因为 RSM 只是一个多元输入/单一输出技术，应用于像刻蚀这样多重响应(刻蚀率、均匀性、刻蚀选择比、各向异性和损伤)的问题是很难的。

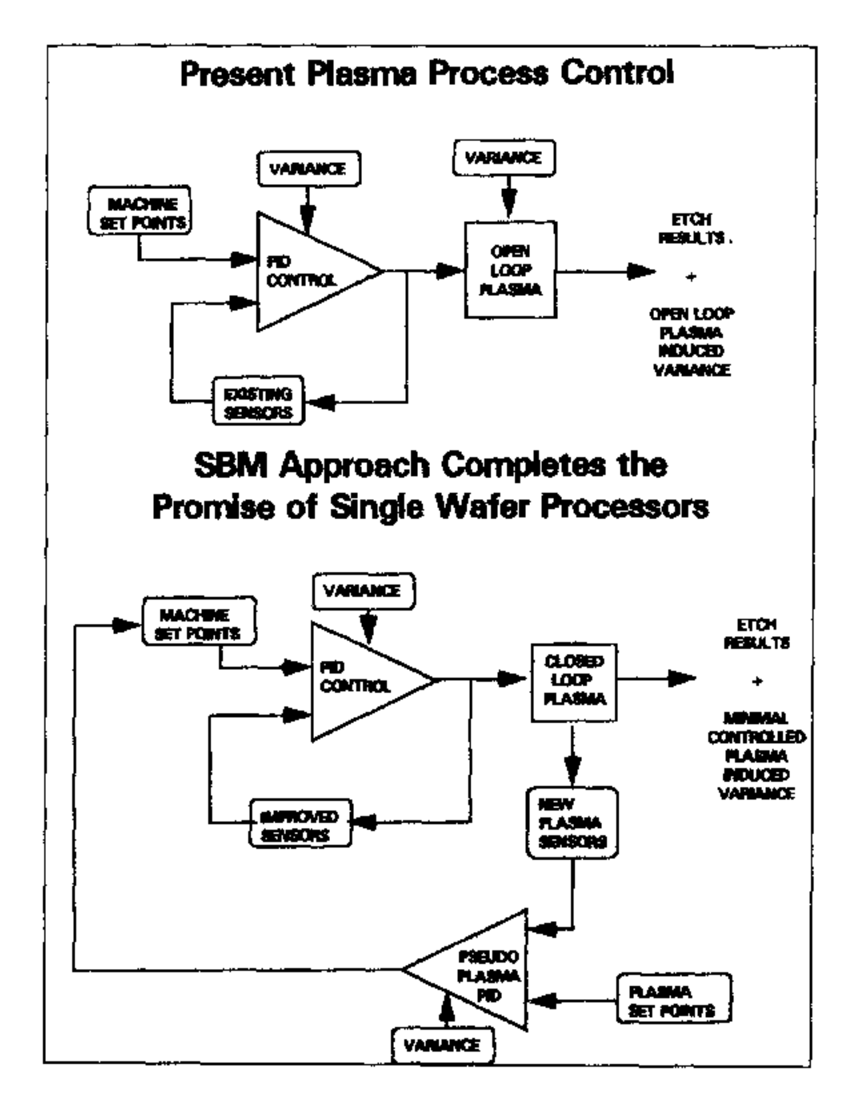


图 6-12　当前和将来的控制策略

6.3.3.3　可能的解决办法

除了加强测量学研究这一显而易见的解决办法外，也必须改善控制策略。利用实时数据，简单地扩展当前工艺控制统计技术(SPC)，能有效地改善探测和纠正失控的能力。这种简单解决办法也能排除上面描写的因 MFC 失效而对硅片做误处理的情况。实时 SPC 程序通常既可以用在机器上(功率、压力、流量……)，也可以用于等离子体信息处理上。

嵌入式控制也可以包含多元优化程序产生的经验模块。对于不同产品的硅片，要求产生特定的等离子特性，因而这些模块必须具有提前纠正机器设置的能力。很可能最后优选的控制包是 PID、SPC 和基础模块的混合物。SPC 包可以检查超出控制条件的情况并且对模块进行通道控制。模块包能确定恰当地响应，并再把这些新的机器设置传输到于系统的 PID 控制器上。目前各个大学及制造商正在努力确定下一代控制系统。预测当前的研究成果是困难的，然而可以预测下一个十年为了满足产品的需求，设计规范和刻蚀设备将有剧烈的变化。

• p. 306 •

6.4 工艺讨论:综合考虑

6.4.1 隔离

正像人们所预料的,对不同的隔离技术,刻蚀工艺都是按不同的工艺要求进行运作。例如,SWAMI(侧墙掩膜隔离)工艺,要求氮化硅、氧化硅各向异性刻蚀,接下来的是刻蚀一定深度的硅,要求控制刻蚀前沿和硅底部轮廓平滑(类似于沟槽刻蚀的要求)。SILO(密封界面局部氧化)隔离需要更复杂结构和氮化物-氧化物-薄氮化物结构的自对准刻蚀,接下来是凹进场区氧化层的硅刻蚀。为了控制场氧化之后硅应力,需要刻出一个斜坡和圆角的硅底。Parrillo(1986)和 Brassington(1988)已经讨论过在刻蚀工艺中若干问题和它们之间的折衷。

可以从深槽或浅槽隔离角度来描述沟槽隔离。从这个角度看,浅槽隔离是 LOCOS(硅局部氧化)的代替物,它给出更加平坦的隔离。浅槽隔离($<1\mu m$)并不明显改善隔离性能和闸流效应阻抗电阻,但可以认为它是更平坦的 LOCOS 替代物。工艺的代价主要在槽刻蚀(通常用光刻胶掩膜/氮化硅/氧化硅叠层)、掩膜剥离、CVD 氧化物沉积,以及这一氧化层平坦化回刻。为得到合适的平坦表面,可能涉及多重胶层的反刻。

深槽隔离具有潜在消除闸流效应的优点,并且比其它技术使用较少的面积。这种结构制造的复杂性正是它为什么还没有广泛使用在 4Mb 产品上的原因。这里"深"的意思是深于 $3\sim4\mu m$,刻槽步骤本身需要几分钟时间,为了满足工厂产量的要求则需要多个刻蚀腔。刻蚀要求是严格的:必须控制侧墙和底部轮廓刻蚀和必须使该工艺集中于工艺窗口内。因为只有用破坏性的,费时间的 SEM 技术才可以检查这些刻蚀结果。侧墙必须保留无损伤,并且还必须在其上能够生长一层高质量的热氧化膜(首先可使用牺牲氧化层)。典型的刻蚀深槽用氯气或氟溴化物为基的化合物,这样的刻蚀要求掩膜是坚硬的。Tachi 和 Okudaira(1986)已经测定了用 F^+,Cl^+,Br^+ 与硅的反应率,并示出三者的反应率结果,Br^+ 刻蚀硅依赖于离子能量是最强烈的。表 6-5 总结了刻蚀工艺中与不同化学物相关的几何尺寸范围,使用含溴气体有许多优点,最显著的是对氧化膜有较高的选择比且增加了刻蚀深面窄特征尺寸的能力。图 6-13 显示了使用溴化物在硅上刻蚀出纵横比为 21:1 的深槽。用这种化学物质获得高选择比的同时也意味着要小心避免形成黑硅。

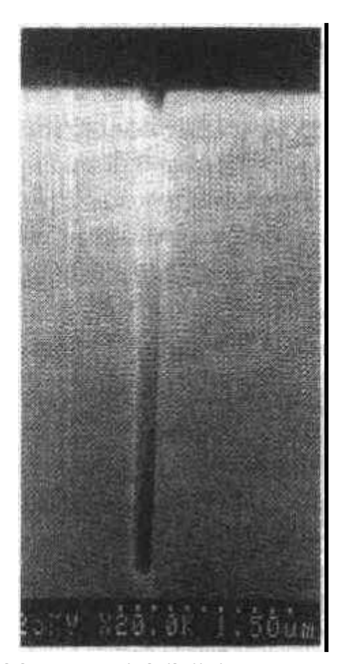


图 6-13 用溴化物刻蚀槽:刻蚀 $0.2\mu m\times4.2\mu m$ 的槽表明溴化物对刻蚀高纵横比槽的有效性

• p. 307 •

表 6-5　用于不同几何尺寸深槽刻蚀化学物

化学反应	氟化物处理	氯化物处理	溴化物处理
掩膜	光刻胶	氧化膜	氧化膜/氮化膜
刻蚀深度(1μm 掩膜)	3μm	10—15μm	>20μm
刻蚀轮廓	依赖于掩膜轮廓	总是垂直	总是垂直

槽被刻蚀后，必须进行填充，可用填平或至少是回刻的方法。隔离结构通常用 LOCOS 氧化覆盖。槽填平工艺通常是使用多晶硅，这是因为它很容易被氧化而盖住槽(Silvestri，1986)并能填满沟槽不留空隙。在文献中可以找到刻蚀工艺细节：Sato 和 Arita(1984)讨论了离子能量和离子散射对侧墙剖面的影响。Hirobe 和 Nojiri(1987)，和 Oehrlein 等(1990)发表了侧墙和机理分析。

6.4.2　栅的确定

确定栅刻蚀的公差，需要制定严格的规范，诸如控制、速率、均匀性、颗粒控制以及栅氧的完整性和侧墙剖面的控制。而且，现在栅电极是由掺杂多晶硅层组成的，其上常常使用难溶金属硅化物覆盖，用以减少电极电阻。对于小于(<2μm)的栅通常用 LDD 轻掺杂漏区的结构控制热载流子效应，这就要求限制任一多晶硅线上会存在的斜坡。这对于比阵列末端多晶硅线更为密集的区域上的多晶硅线来说尤其重要。最后，通常要求氧化层选择比大于 30∶1，以满足对于电路中的多晶硅 100%的过刻蚀的需要，这些多晶硅线要横跨过由某些隔离技术产生的具有陡的凹凸不平形貌的表面。在图 6-14 中可以看到这样结构的例子，图中多晶线跨过厚而且垂直的台阶，此时必须用长时间的、各异性的、高选择比的过刻蚀去掉多晶硅布线之间的多余多晶硅。

· p. 308 ·

在多晶硅栅极上需要高分辨率的图形转换，这一要求导致了对低温低压刻蚀工艺的

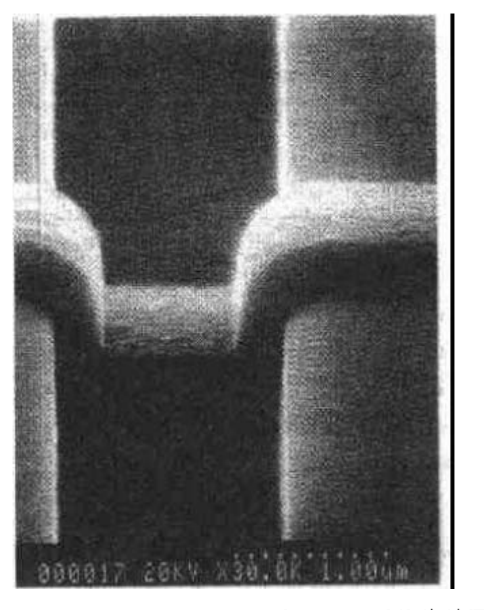
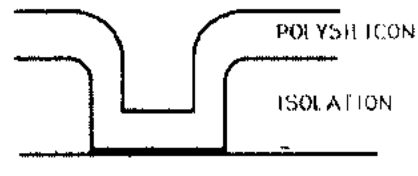



图 6-14　覆盖陡峭图形的多晶硅线

研究。通常低温工作的概念是:抑制产生横向刻蚀的中性反应。同时,生成物从侧壁的缓慢解吸中会保护侧壁免受横向刻蚀。当然,离子轰击过的表面仍将被刻蚀。下一代多晶硅刻蚀机可能有能力在低温下刻蚀硅片。以 13.56MHz 用 Cl_2 在低于 0℃下刻蚀表明,低温有助于 $SiCl_x$ 刻蚀产物沉积在裸露的 SiO_2 表面并保护 SiO_2 不被刻蚀,这形成了掺杂多晶硅和 SiO_2 之间的对温度敏感的选择比(Sekine 等,1988)。Tsujimoto 等(1988)作了类似的工作,支持他们使用低温阻止原子团反应并有助于反应物不离开侧墙(防止横向刻蚀)的主张。他们在 −150℃和 30℃之间刻蚀了单晶硅、多晶硅、WSi_2 和钨。Nakamura 等(1988)在 0～90℃温度下使用 HBr 在 RIE 设备刻蚀多晶硅来控制侧面斜坡角度。

总之,可通过几个方面来讨论多晶硅刻蚀的需求:(i)用 SEM 能测量什么(侧墙剖面与残留物),(ii)电学上能测量什么(l_{eff}分布,栅氧层的完整性),(iii)后刻蚀处理结果,这是为 LDD 注入工序所必须的。对氧化层的高选择比的要求导致了许多工艺被加进工作条件,其结果形成一种类似氧化物的物质沉积在光刻胶侧墙和多晶硅侧墙上,这个沉积物在注入前和侧墙沉积氧化物前必须完全去掉。清洗步骤必须保护薄栅氧,而刻蚀步骤要对栅氧化层进行保护是很难的。

· p. 309 ·

6.4.3 硅化物

在多晶硅互连线中使用硅化物减少 RC 时间延迟,是在 4Mb 生产中普遍被接受的技术,典型的硅化物将薄层电阻从 20Ω/□大约减少到 5Ω/□。

早期讨论硅化物刻蚀总是集中在薄膜化学计量和掺磷的浓度的影响方面(Coe 和 Rogers,1982)。早期硅化物特性的评论性文章(Murarka,1980,1983,1985;Sinha 等,1980,Geipel 等,1980;Mohammadi,1981)讨论了为什么宁愿使用硅化物而不使用难熔金属的问题,并提出了大部分的特殊硅化物和可能使用的自对准金属硅化物现有工艺的考虑。d'Heurle 和 Gas(1986)提出了详细的关于硅化物形成的反应动力学。

对刻蚀硅化物叠层的要求类似于刻蚀多晶硅栅的要求。例如,硅化物对氧化物的刻蚀具有很高选择比(很少获得),刻蚀垂直侧墙,硅化物对多晶硅具有较高的选择比(可能),随后的多晶硅刻蚀步骤不能横向刻蚀,不能形成凹槽,也不能使硅化物侧墙变坏。图 6-15

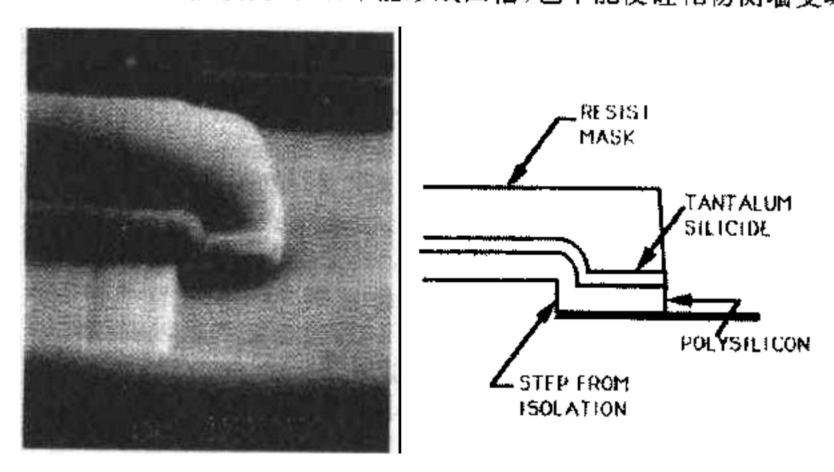


图 6-15 钽硅化物刻蚀硅化物表面下 3000Å 垂直台阶

示出一个典型的结果是 3000Å 钽硅化物-多晶硅叠层的垂直台阶截面，用过刻蚀去掉硅化物线条间的连条，并且不影响侧墙。刻蚀硅化物的问题是硅化物对氧化物的选择比，它许多其它成功的硅化物刻蚀工艺的主要限制。由于大多数难熔金属氯化物的蒸气压低，故要求在这个刻蚀步骤中使用氟化物。一般说来，用氟化物刻蚀硅下方的多晶硅，它的刻蚀速率类似于硅化物的刻蚀速率。因此，在既不暴露栅氧化层同时，又要过刻蚀硅化物来刻净硅化物线条间连条是困难的。假定测试结构比测试器件实际的损伤更敏感更有效，则用测试结构的方法可使刻蚀损伤的问题定量化。这样做的理由是，在刻蚀设备寿命周期内，小的成品率损失实际上能造成大量的利润损失，而小的成品率损失（小于 1%）在实际生产中也许是不可能测到的，其结果则要求使用很多更敏感的测试结构。对于栅氧刻蚀有两种最普遍使用的测试结构是大电容（$10mm^2$ 面积）覆盖栅氧化层和 104：1 天线比率的天线结构。对这些典型结构的要求是在刻蚀栅的时候这种结构不能有栅断（或在比生产需要更具“侵蚀性”的刻蚀条件下）。

6.4.4 接触孔的刻蚀

接触孔和通孔刻蚀就是在介质薄膜中进行高纵横比的孔刻蚀使介质膜上下导电材料相互连接。一般说来，接触孔尺寸比随后刻的通孔尺寸小，而且接触孔刻蚀步骤停止在源/漏区及多晶硅线上。因此，接触孔刻蚀的主要问题是：

• p. 310 •

——电学的：晶体或栅氧化层的损伤和接触电阻的控制

——对掺杂硅的选择比（包括选择比随特征尺寸变化）

——剖面的控制

——刻蚀速率和均匀性（包括速率随特征尺寸的变化）

——对掩膜的选择比

——颗粒污染控制

在这种刻蚀工艺中，对设备选择和工艺开发的驱动因素是有些不同的。选择设备的类型主要是考虑损伤为主，而选择工艺主要集中在选择比和剖面的结果。除了硅化合物外、所有刻蚀的终点是硅（这里硅化物是在多晶上及在氧化层沉积之前的源漏区上形成的）。在第一层金属沉积时，沉积金属阻挡层。随后的工艺处理中的损伤包括：栅氧化层完整性、晶格损伤、结特性退化及接触电阻等问题。

在刻蚀期间栅氧层完整性也受到穿过栅介质层电场的影响。这些电场可以把电荷注入到栅氧中，并减少栅的寿命（最好情况）或引起栅击穿（最坏情况）。注入电荷形成的陷阱可与固定电荷一起在栅氧上造成阈值电压漂移。人们也许会惊讶，在接触孔刻蚀中会引起栅氧化层被损坏，其原因是，由于二氧化硅刻蚀中刻蚀是由物理机理支配的。在大功率密度下工作是量产的需要，使用大功率刻蚀而产生的较大电场和较高离子电流给栅氧化层完整性带来一个潜在的问题。一般来说，减小工艺中的功率，就使工艺中的静电损伤变得不太重要了。遗憾的是，这一结果将使刻蚀设备减少产量，这是不能接受的。关键的问题是要找到设备及其刻蚀条件，以得到可接受的产量，这也能使制造器件的损伤程度得到控制。

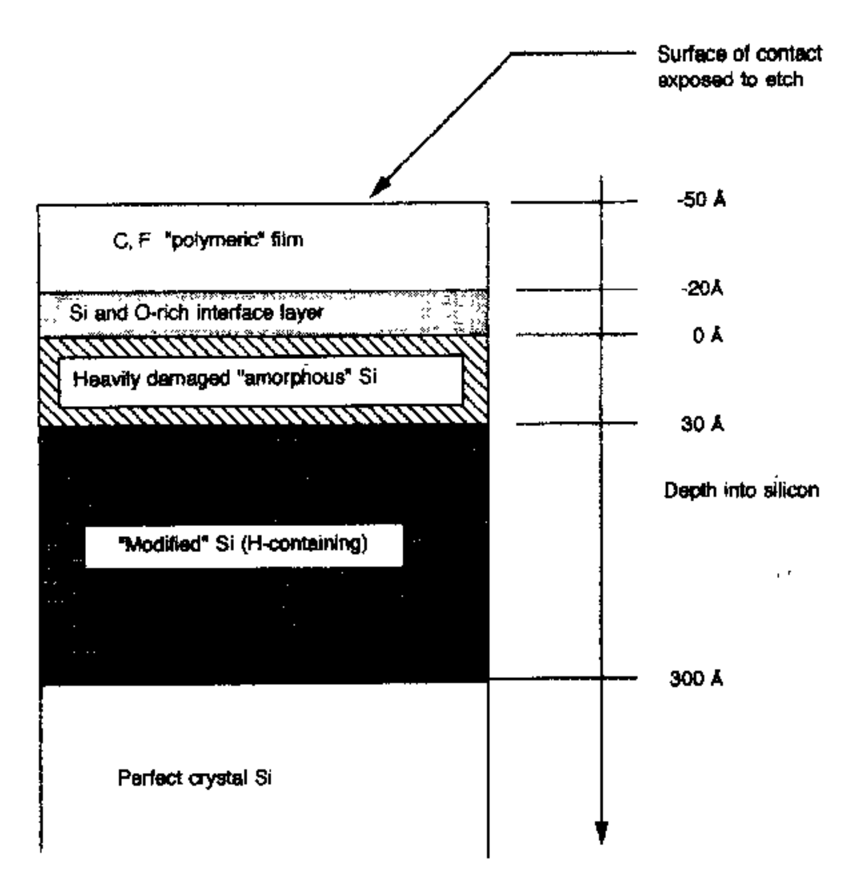


图 6-16　干法刻蚀工艺中被暴露的硅片表面区域的损伤图

Oehrilein 等(1985)已经详细地阐述了接触孔所暴露的硅片的表面特征。他们描述了表面被刻蚀的情况(见图 6-16):表面包含了一个碳氟化合物聚合膜的沉积层(选择性刻蚀的结果),下面是富氧和无碳界面层,这是聚合物和硅重损伤层之间的过渡层,损伤层下是富氢单晶硅层,它是最后的被损伤区。使用这种结构可以解释大多数的氧化刻蚀工艺的刻蚀性能,及接触孔刻蚀后为获得较好的接触性能所要求的清洗步骤。Mu 等(1986)已经研究了用 CF_4 和 CF_4/H_2 在 RIE 上刻蚀硅的结构性损伤。他们证实,当氢存在时增加了硅结构上的损伤并讨论了去掉损伤的退火方法。已发表的由 RIE 刻蚀接触孔所引起的掺杂剂去激活模型是与掺杂剂的氢钝化模型相一致的。Mu 等(1988)证实,p^+/n 结的漏电流随着硅刻蚀深度的增加而大大增加,面对 n^+/p 结刻蚀到 400Å 不影响漏电流。他们使用了 1600—1800Å 结深。Liu 等(1988)研究了结的漏电机理。使用清洗的方法去掉碳氟化合物表面膜和硅的损伤已由 Hills 等(1989)研究过,他们刻蚀出掺杂硅结的接触孔,并使用 NF_3 低功率清洗步骤。表 6-6 显示出在不同的暴露条件下清洗步骤去掉不同数量的硅后,硅接触孔上 SIMS 测量的结果。留在结中全部掺杂剂量的 SIMS 分析表明,去掉厚达 100 Å 的硅并不改变结中砷或硼的含量。这个证据说明在高选择比的接触孔刻蚀以后再使用清洗步骤可很好地恢复接触孔的特性。

表 6-6　接触电阻-硅片清洗 SIMS 的结果(atom/cm²)

(初始剂量～1－1.5×10¹⁵/cm²;As:180keV;B:30keV)

硅损耗(Å)	As	B	As	B
0	1.4×10^{14}	$(3-4)\times10^{14}$	3×10^{14}	7×10^{14}
50			3×10^{14}	8×10^{14}
100	1.7×10^{14}	$(3-5)\times10^{14}$	3×10^{14}	5×10^{14}
200				2×10^{14}
氧化物对硅选择比	11∶1		20∶1	

· p. 312 ·

当通过平坦的层间介质层(ILD)刻蚀接触孔时,所遇到的相对高的纵横比抑制了刻蚀速率随特征尺寸可能的变化。这种微负载效应(有时不确切地叫近程效应)阐明在图 6-17 中。这张扫描电镜(SME)照片显示了 0.6μm 和大特征尺寸。小特征尺寸的刻蚀速率是大特征尺寸刻蚀速率的 95%。大多数介质刻蚀工艺表明,对于特征尺寸在小于 0.8μm 到 1μm 情况下,刻蚀速率减少,这种结果导致较大特征尺寸的过刻蚀。而且,由于光刻工艺的变化会引起特征尺寸的变化,这意味着缺少工艺控制。真正的全平面工艺对厚的 BPSG 膜使用 CMP(化学机械抛光),导致要求刻蚀直径 1μm、深为 3μm 的接触孔。超厚的氧化层可用于平坦化某些表面形貌,例如叠层电容结构。

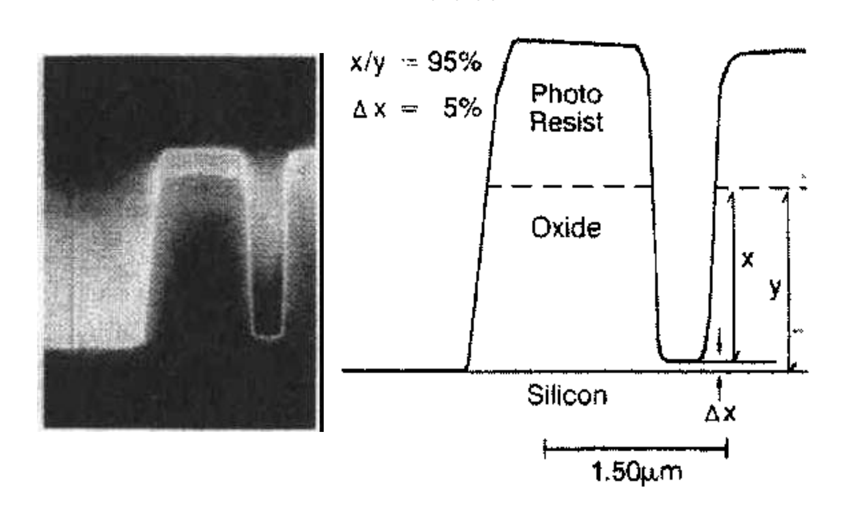


图 6-17　微负载效应:0.5μm 特征尺寸的刻蚀率比大特征尺寸的刻蚀率低 5%

能影响接触孔性能的接触孔刻蚀的最后一个工艺问题是,当接触孔下面材料已露出时刻蚀面的平整度。理论上,应该产生一个完美的均匀的刻蚀平面(确实,这是停止于不同薄膜上的所有刻蚀工艺希望的)。无论怎样讲,实际的刻蚀面可能是环状的(较快的刻蚀速率在中心)或"槽"状的(较快的刻蚀速率在边缘)。图 6-18 显示了这样槽状的特征,其原因是过量的物理溅射和离子从特定的侧墙反射从而产生在图中看到的槽状的特性。为了达到平坦刻蚀剖面的要求,要确保在各种特征尺寸刻蚀中部分过刻蚀是恒定的以及整片刻蚀是均匀的。

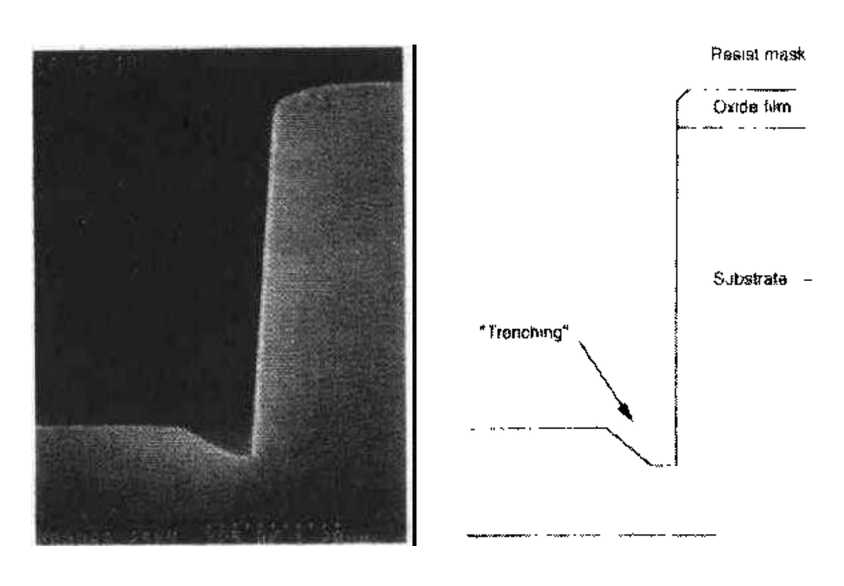


图 6-18 当刻蚀工艺有过量物理溅射时产生了"槽"

6.4.5 平坦化刻蚀步骤

介质平坦化的目的有两个：(i)为金属沉积和金属刻蚀步骤提供平滑的表面形貌，(ii)为了容易满足光刻设备聚焦深度的要求，消除或减少表面平整度的变化幅度。想法是简单的，但是许多细节使得平坦化成为一个很难的生产工艺。

• p. 313 •

平坦化表面技术可以影响全部或局部平面。全部平的表面是整个几何学的平面，而局部平坦表面是有不同的平坦程度，它取决于被平坦化的表面形貌。平坦化的成本是与它的附加工艺复杂程度及芯片平面化的顶部与非平坦化的底部之间的通孔深度变化相联系的。较深的通孔或接触孔必须刻蚀干净，这样使终点将更难确定，面较浅的通孔或接触孔会承受很大的过刻蚀。最后，在同一单元或同一芯片上有深孔和相对浅的孔的结构上，将产生填充的问题。这个有关平坦化接触孔刻蚀问题的例子由图 6-19 表示，从图显见，如果刻出了源漏接触孔，多晶硅线上接触孔将过刻蚀。

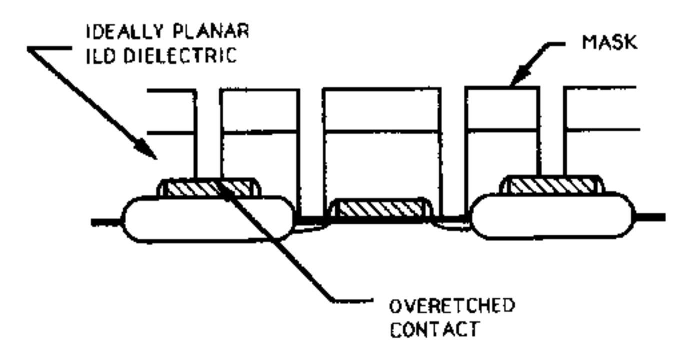


图 6-19 平坦化 ILD 膜要求接触孔显著地过刻蚀

使用相对简单的平坦化技术，旋转涂敷一个牺牲层如光刻胶或 SOG(旋涂 SiO_2)以获得一个平滑的表面，然后在相同刻蚀速率条件下对旋涂层和下面的介质层进行回刻。有一

种例子是，回刻 SOG 和等离子沉积的氧化层以达到平坦化：这里 SOG 留在沉积氧化层时所留下的间隙中。光刻胶旋转回刻技术以后未能普遍使用，这是因为要让光刻胶和将被平坦化的在小特征尺寸里的玻璃的刻蚀速率相匹配是困难的。

• p. 314 •

另一种平坦化技术是使用依次沉积-溅射、刻蚀-沉积交替的方法来集成沉积平坦化工艺。溅射刻蚀步骤通过在特征尺寸的边缘处刻蚀小介质平面获得局部平坦化，这样对于下一步沉积减少了缝隙填充的问题，并形成更平坦的无空隙介质。文章中已描述这种方法，而且，这是在生产中普遍采用的。图 6-20 表示一个这样"沉积-刻蚀工序"，用刻小平面(它是物理刻蚀-溅射占主导特征的)使沉积氧化层边缘形成斜坡，而使用另外的 CVD 沉积步骤既提供改善间隙填充也使氧化膜平坦化。使用 TEOS 氧化膜来增加沉积-刻蚀工艺的能力以便使小几何尺寸容易平坦(见 Perchard 等，1990)。

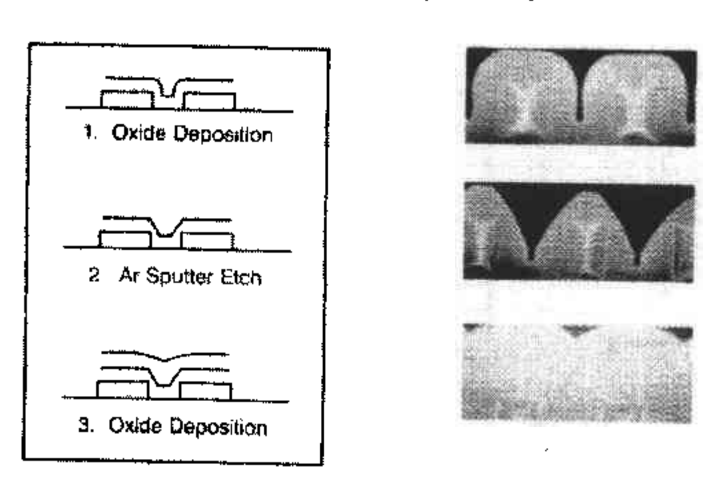


图 6-20 用沉积-刻蚀-沉积集成工艺实现平坦化

6.4.6 连通孔刻蚀

现在大多数生产 4Mb DRAM 的厂商都使用单一金属结构，所以不用连通孔刻蚀。下面的讨论与刻蚀钝化膜压焊块有关的，但也包含通孔刻蚀讨论，这是由于在多层金属技术中使用通孔刻蚀。

在许多方面，金属间介质(IMD)层刻蚀是按较简单的接触孔(ILD)刻蚀方法描述的。原因是通孔通常是较大尺寸的，对下层(金属或第二层多晶硅)选择比不像开接触孔那样重要。然而，主要的刻蚀通孔技术并不简单，因为随后的工艺要求依赖于已完成的通孔刻蚀状况。

通孔刻蚀暴露后进行的金属溅射，对随后的金属沉积所要求清洗的好坏影响很大。在通孔过刻蚀期间发生溅射，溅射下的材料沉积在通孔边墙上和光刻胶掩膜的侧墙上，垂直侧墙情况尤为如此。胶剥离后，像篱笆一样的多余溅射物说明溅射过度了。因为平坦化后的介质总是需要较长时间的过刻蚀，所以这种溅射总是问题。注意，铝的溅射阈值是低于 15eV，因为所有的 RIE 刻蚀的等离子体具有的势能比这个值高，所以总是发生一定的溅射。伴随离子能量增加(见 Vossen 和 Kern，1978)，溅射效率增加，造成了设备里产生过度的溅射，它要用大的离子能量刻蚀掉。成功的通孔刻蚀工艺要求某种程度上在光刻胶的侧

墙上不要再沉积溅射的金属，以免要增加工艺步骤去掉多余溅射物。

• p. 315 •

对通孔刻蚀的要求经常包括需要的锥形刻蚀，锥形容易满足使金属填满的需要。典型的是用光刻胶回刻或用湿法 干法依次刻蚀。由于要求锥形光刻胶轮廓，大多数 VLSI 中光刻胶回刻蚀技术未被使用。用通常的工艺流程是很难产生锥形轮廓的，而且在刻蚀期间各向同性的光刻胶刻蚀步骤是不方便的。对于接触孔刻蚀，已经报道了一种全干法刻蚀方法(Jillie 等，1987)，但是这种工艺应用的光刻胶腐蚀方法会产生过刻蚀，造成接触孔大小变化。湿法-干法的刻蚀技术经常使用，它在生产中主要问题是要确认在湿法刻蚀中是否首先保证 100%通孔已被湿润了。如果通孔尺寸小于 1μm 左右，湿法腐蚀就不容易取得完美的结果。

6.4.7 金属刻蚀

直到近期，金属刻蚀常常意味着使用光刻胶掩膜对合金铝进行刻蚀，并且刻蚀停止于氧化层上。使用阻挡金属和抗反射涂层已经改变了这种工作定义，因为现在的图形转换必须通过一些重叠薄膜而产生，所以对金属刻蚀要求更严格。新的冶金学也需要新的工艺。例如，钨塞填充技术要求整个平面均匀回刻，而其微负载要求类似于沟槽填充后的多晶回刻。如果钨这个材料被用于第一层导体，则钨也需要刻蚀图形。虽然还不完美，但是为达到铝合金刻蚀的生产水平的技术障碍已经慢慢地解决了。总而言之，已经限定的化学气体是 BCl_3 或 $SiCl_4$，用添加氯化物和(通常)氟化物以增加刻蚀速率和侧墙剖面控制。用 RIE 去掉残留物，尤其是铜。全部用干法刻蚀工艺控制腐蚀的努力已取得不同程度的成果。刻蚀中使用无机的化学气体(代替像 CCl_4 那样的氯化物，见 Hess 和 Bruce)和低压工作条件有助于金属刻蚀设备控制颗粒的功能。

Bruce 和 Malafsky(1983)阐述了氯气自发腐蚀铝的情况，还有，Smith 和 Bruce(1982)阐述了铝刻蚀速率不依赖于离子轰击能量。他们用 Cl_2 在 500m Torr 下进行刻蚀，还提出主要的刻蚀产物是 $AlCl_4$(或是它的二聚物)。一旦表面的氧化层被去掉，氯气自然会腐蚀铝，这个现象让工作者把注意力集中在侧墙的钝化和用等离子体去除残留物工艺。最后，刻蚀 TiW，TiN 和其它阻挡层和抗反射涂层被集成于金属线刻蚀工艺。典型的工艺问题包括抗反射涂层-金属界面下凹和阻挡层斜坡(或“爪”)。最近使用的集成刻蚀系统可以结合刻蚀和剥离工艺，它推动了提供腐蚀控制和干法剥离膜的发展工作。在金属刻蚀中，对腐蚀的保护仍然是主要问题。当前 4Mb 生产中刻蚀工艺的其它问题是颗粒特性，较好的均匀刻蚀速率，较好的光刻胶选择比，不依赖于局部负载或间隔效应的剖面。

• p. 316 •

在历史上，利用装载联锁系统是控制上的突破(Winkler，等 1981；Donohoe，1981)：原先这种不可重复生产的工艺是要克服的头等工艺障碍之一。无负载联锁的筒式反应器同样也消除了由于使用 BCl_3 产生湿气的问题。早期的文献描述金属刻蚀使用不同的刻蚀剂有：CCl_4，O_2，BCl_3，BCl_3-O_2，Cl_2，$SiCl_4$，$CHCl_3$(见 Coburn，1982)，这些气体代表了曾使用过的大多数气体。这些气体同 Cl_2 的混合物增加了刻蚀速率，与不同的氟化物混合一起使用将防止横向刻蚀，而且也有助于排除刻蚀后造成的腐蚀。RIE 设备的刻蚀条件从 50mTorr(能很好地刻蚀铜膜)到的高压 1Torr 的宽范围内变化，这在生产应用中对含铜量高于

0.5%金属膜是不太好用的。

因为在氯气下铝刻蚀是自然形成的(Bruce 和 Malafsky,1983),等离子体的作用是控制各向异性,提供可控制的刻蚀激励,并帮助从刻蚀膜上去掉其它元素。硅和铜是主要的杂质,而为了去掉铜又产生了很多工艺优化问题。因为铜必须用物理工艺方法去掉(在刻蚀所达到的温度下,铜的氯化物是不太挥发的(见 Broydo 的讨论,1983)。这里,必须在物理的和化学的刻蚀之间进行折衷平衡,或从硅片层次来看,是光刻胶选择比和残留物控制之间的平衡。综合这些相互作用就需要不断地去除一些会形成侧墙的光刻胶。如果放电功率密度减少,会增加光刻胶选择比,同时将看到横向刻蚀的产生(如果使用坚硬的掩膜可以看到同样结果;用光刻胶掩膜能刻蚀得到很好的各向异性的工作条件下,用硬氧化膜刻蚀,掩膜将得到各向同性)。

一般情况下,工艺优化方法为:先增加功率(或减少压力)直到残留物密度达到可以接受水平,然后,改变化学气体(例如,BCl_3 对 Cl_2,对 CF_4,或 N_2 的比例)去精调硅片有关的剖面控制结果。大多数刻蚀含铜薄膜的生产工艺,工作在大特征尺寸上能得到 2—2.5 的光刻胶选择比(刻蚀工艺中光刻胶损失/膜厚),由于在特征尺寸边缘的凸起,所以实际的光刻胶损失较大。薄膜中铜(和其他杂质)的垂直分布,可起着易刻蚀而没有残留物的奥妙作用(见 Hara 等 1986,掺杂分布的讨论)。改善光刻胶的选择比的尝试一直集中在改变化学气体上,$SiCl_4$ 一直用来“覆盖”光刻胶以改善选择比。这种改善的代价是一个阻力,它对干法剥离胶是不可能的,而且要在普通有机酸中湿法剥离也是困难的。加一些溴化物气体,胶的选择比惊人地增加,包括减少特征边缘的凸起(Nakamura 等,1981;Levy 和 Donohoe,1990;Krough,1988)。图 6-21(Sawai 等,1989)表示了这种工艺化学组分(及磁场)对光刻胶和 Al-Si-0.5%Cu 之间选择比的影响。溴化物的高选择比的能力是很明显的。有一种对六面体电极加入 BBr_3 的研究也报道了很好的工艺结果(Bell 等,1988)。

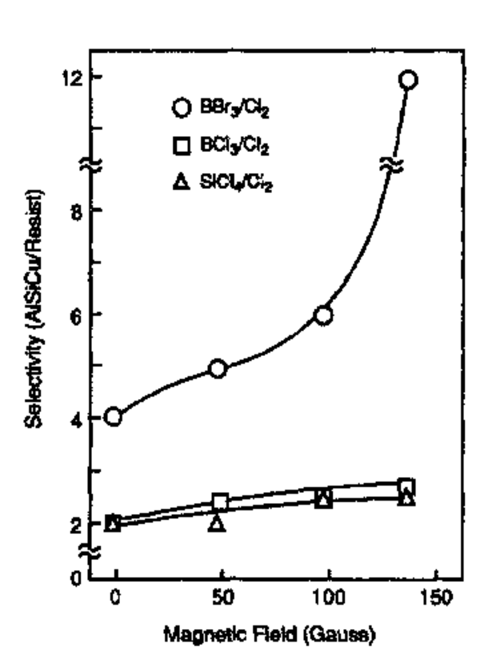


图 6-21 用溴化物和氯化物刻蚀金属的胶对金属的选择比

• p.317 •

大多数 4Mb 产品金属刻蚀的生产设备使用 RIE 和微波等离子来完成刻蚀。直到目前(1989),制造商才能提供集成的刻蚀剥离系统但仍未广泛地使用。制造团体的要求是显而易见的。金属线刻蚀后必须控制腐蚀的需要驱动了集成剥离系统的开发。一般讲,使腐蚀增加的因素为:1)使用像 TiW 的阻挡层,2)在铝中加铜以增加浓度,3)减少线条/线条间距。普遍认为,腐蚀是由金属边缘残留的氯化物引起,缺少保护氧化层肯定是涉及腐蚀控制的另一个问题[见 Lee 等(1981)详细讨论的刻蚀后氧化技术和它们对腐蚀的影响]。

6.5 4Mb 动态存储器刻蚀工艺

这一节对用于IC工艺中每一重要的刻蚀步骤的细节进行描述。4Mb DRAM 工艺流程表用以讨论某些结构。自然，每一个器件的制造商使用不同的工艺步骤，且其中许多是机密。下面的流程表由SEMATECH发布，在适当的时候，讨论将脱离具体的流程而进行概括。描述的设备是制造工艺中的实际使用的设备。

工艺流程表示于表6-7。该流程描述了使用槽式电容器的一个双阱三层多晶及单层金属工艺。164个工艺步骤有17步干法刻蚀，23步胶剥离及21步湿法清洗/湿法刻蚀。当全面研究工艺时，我们将着重研究刻蚀工艺，并描述有关的工艺结果。

6.5.1 硅片准备

必须用化学清洗的方法去掉因激光刻标留在硅片上的残余物。在湿法清洗槽内进行清洗，接下来是标准的旋转冲洗/甩干。

6.5.2 N-阱

用来确定N-阱注入掩膜的各向异性氮化硅刻蚀必须停在500Å的氧化物基底上，该氧化物是在第二步中生长的。

这条生产线中使用一种单片等离子刻蚀机，采用高压氟化物化学工艺。由发射物决定终点。CD(特征尺寸)控制实际上是完好的。当用各向异性工艺刻蚀500Å薄膜时这种控制是很容易获得的。需要用等离子刻蚀剥离光刻胶，这是由于经过离子注入的光刻胶用湿法剥离是很困难的。在第一步剥离中使用气流向下的去胶机，接下来是H_2SO_4-H_2O_2槽式清洗和去离子水冲洗甩干。显微镜检查(第10步)光刻问题和氮化物残留问题。

• p. 318 •

• p. 319 •

表6-7 4Mb DRAM工艺流程实例

步骤	光刻版	工艺设备	步骤	光刻版	工艺设备
硅片准备：			14		氮化硅剥离
1		起始材料P-型非外延〈100〉150mm	15		P阱注入(硼)[10E 14 50keV]
		2—10Ωcm	16		氧化层去除(湿法)
2		生长初始氧化层500Å	17		硫酸清洗
3		氮化硅沉积500Å	18		N阱及P阱注入推进和生长缓冲氧化层
4		激光刻标			400Å
5		化学清洗	隔离光刻：		
N阱：			19		多晶硅沉积1000Å
6	1	N阱光刻	20		氮化硅沉积2500Å
7		N阱氮化硅刻蚀	21	2	隔离光刻
8		N阱注入(磷)[10E12 150keV]	22		隔离掩膜刻蚀(刻氮化硅停止在多晶硅上)
9		光刻胶剥离	23		光刻胶剥离
10		镜检	24		最后镜检和CD
P阱场注入：			连接器光刻：		
11		超声波清洗	25	3	P阱场注入光刻
12		阱区氧化4000Å	26		P阱场注入(硼)[10E13 30keV]
13		湿法HF刻蚀，氮化硅预剥离	27		光刻胶剥离

续表

步骤	光刻版	工艺设备
28		最后镜检
29		硫酸清洗
30		场区氧化 4000Å
31		氧化层剥离(湿法)
32		氮化硅剥离
33		氧化层剥离(湿法)
34		Koi 氧化 400Å
35		氧化层剥离(湿法)
36		屏蔽氧化 200Å
37	4	连接器光刻
38		连接器注入(砷)
39		去胶
40		最后检查
41		场注入退火推进并热氧化 400Å
槽式电容器：		
42		氮化硅沉积 1000Å
43		氧化硅沉积 4000Å
44	5	槽式电容器光刻
45		槽式电容器掩膜刻蚀(氧化膜和氮化膜)
46		光刻胶剥离
47		刻蚀硅槽
48		旋转湿法刻蚀硅槽
49		沉积砷玻璃
50		As 在 1000℃退火推进 1 小时
51		剥离砷玻璃(湿法)
52		热生长牺牲“弧形氧化硅”500Å
53		HF 腐蚀
54		氮化硅剥离
55		剥离牺牲氧化层(湿法)
56		超声波清洗
57		热生长槽氧化 200Å
58		薄氮化硅沉积 200Å
59		氧化 50Å
60		多晶硅 1 沉积/掺杂
61		涂光刻胶
62		背面刻蚀
63		去胶
电容板光刻：		
64	6	槽式电容板光刻
65		槽式电容板掩膜刻蚀
66		光刻胶剥离
67		最后镜检和 CD 检查
N 阱开启调整：		
68		热氧化 500Å
69	7	Vt N 阱光刻
70		Vt N 阱注入(硼)
71		去胶
72		最后镜检
P 阱开启调整：		
73		整片 Vt P 阱注入(硼)
74		超声波清洗
75		退火
互连多晶氧化层光刻：		
76	8	互连多晶氧化层光刻
77		氧化硅刻蚀
78		去胶
79		最后镜检和 CD
栅光刻：		
80		超声波清洗
81		栅氧化层生长 200Å
82		多晶硅 2 沉积 3500Å
83		涂胶
84		背面刻蚀
85		去胶
86		多晶硅 2 掺杂(POCl3)
87	9	多晶硅 2 光刻
88		多晶硅 2 刻蚀
89		去胶
90		最后镜检和 CD
N 沟 S/D1：		
91		薄多晶硅氧化
92	10	N 沟 S/D 光刻 1
93		N 注入(磷)[低剂量 10E13 低能量]
94		去胶
95		最后镜检
P 沟 S/D1：		
96	11	P 沟 S/D 光刻 1
97		P 注入(硼)[10E15 低能量]
98		去胶
99		最后镜检
N 沟 S/D2：		
100		超声波清洗
101		LDD 侧墙氧化硅沉积 2500Å
102		致密
103		LDD 侧墙氧化硅刻蚀
104		再氧化 100Å
105	12	N 阱 S/D 光刻
106		N^+注入(砷)[10E15 低能量]
107		去胶
108		最后镜检
P 沟 S/D2：		
109	13	P 阱 S/D 光刻
110		P^+注入(BF2)
111		去胶
接触孔光刻 1：		
112		最后镜检
113		S/D 激活推进和氧化 500Å
114		不掺杂 CVD 氧化沉积
115		BPSGILD 沉积
116		致密和回流
117	14	接触孔光刻 1
118		接触孔 1 刻蚀
119		去胶
120		最后镜检和 CD
多晶硅 3 光刻：		
121		硫酸清洗
122		多晶硅 3 沉积
123		多晶硅 3 注入[10E14]
124		注入退火
125		沉积 $MoSi_2$
126	15	多晶硅 3 光刻
127		$MoSi_2$ 连线刻蚀
128		去胶
129		最后镜检和 CD
130		涂胶
131		背面刻蚀
132		去胶

续表

步骤	光刻版	工艺设备
接触孔光刻 2：		
133		多晶硅湿氧氧化 1500 Å
134		不掺杂 CVD 氧化硅沉积
135		BPSG 通孔沉积 1
136		PSG 沉积
137		回流
138		背面刻蚀
139	16	接触孔光刻 2
140		接触孔 2 刻蚀(湿法/干法)
141		去胶
142		最后镜检和 CD
金属 1 光刻：		
143		金属 1 沉积(TiN/Al-Cu0.5%/TiN)
144	17	金属 1 光刻
145		金属 1 刻蚀
146		去胶
147		最后镜检和 CD
钝化压焊块光刻：		
148		LTO 沉积
149		氮化硅沉积
150		合金
151	18	压焊区光刻
152		压焊区刻蚀
153		去胶
154		最后镜检
聚酰亚胺光刻：		
155		聚酰亚胺沉积
156	19	聚酰亚胺光刻
157		聚酰亚胺刻蚀
158		去胶
159		最后镜检
E 测试：		
160		参数测试
161		E 测试及冗余修正
162		涂胶
163		背面研磨减薄
164		去胶

• p. 320 •

6.5.3 P-阱场注入

这个注入确定电路的 N 沟区域。这一部分中的第一步刻蚀是 HF 浸泡以从氮化硅表面去掉氧化层，且准备好硅片，可放在热磷酸中进行氮化硅剥离。这个氮化硅剥离对氧化层有高的选择比，因为氧化层厚度是重要的，它控制着 P-阱注入边界的 CD 变化。

6.5.4 隔离光刻

这一工艺模块确定硅片上的隔离区域。这里用多晶硅缓冲 LOCOS 来减少鸟嘴的尺寸。这个技术中，用氧化硅-多晶硅-氮化硅叠层代替氧化硅-氮化硅叠层。使用多晶硅缓冲层 LOCOS 有鸟嘴较小的优点。这是因为使用了较薄的氧化层基底；见 Ghezzo 等(1989)对使用多晶硅基底来改善 LOCOS 的讨论。

形成隔离掩膜使用的刻蚀设备必须实施各向异性刻蚀并停止在薄的多晶硅薄膜上(1000 Å)。使用一种 RIE 反应离子刻蚀机来刻蚀氮化硅并停止在多晶硅上。用这种刻蚀方法关键的控制问题是多晶硅损失控制、均匀性和 CD 控制。多晶硅的厚度变化会导致多晶硅对减少鸟嘴尺寸作用的变化。

6.5.5 连接器光刻

这一部分包括了 P 阱场注入、场氧化、隔离掩膜的剥离。此掩膜确定场区的面积和连接器掩膜刻蚀。这里刻蚀 200 Å 的氧化膜是相对简单的。这一节中所有步骤除了胶剥离用微波去胶机以外，全部用槽式湿法化学腐蚀进行。

6.5.6 槽式电容器

这一步骤形成槽式存储电容器。刻蚀次序为：沟槽刻蚀在硬掩膜上开出孔，进行沟槽本身刻蚀，形成圆角的湿法刻蚀，并用某些浸蚀清洗以便进一步改善槽的断面和硅片表面

清洁度。用单片等离子刻蚀机完成硬表面掩膜孔的刻蚀，除了不需要较高的胶选择比以外，这一步类似于接触孔的刻蚀。的确，黑硅形成的可能性要求裸露的硅不应该有残余的氧化物及聚合物沉积(这类聚合物相对于氧化物刻蚀有高的选择比)。不考虑这个通过4000Å的CVD氧化膜和1000Å的氮化硅刻蚀的特殊需要。一般来说，全部刻蚀区域比光发射监测到的区域大百分之几，所以可使用光发射来监测终点。这是一个较高刻蚀速率的工艺(3000Å/min)，并且以15∶1对硅的选择比运作。胶的选择比不存在问题并运作在3∶1的范围内。

· p. 321 ·

用微波剥离设备进行胶剥离，随后是湿法清洗。这一步在硅表面生长了一层薄的氧化层(用氧气进行等离子剥离时加少量的氮气，以增加剥离速率)。湿法清洗去掉在光刻胶剥离后留下来的残留的沾污(例如从胶中来的钠离子)。

最后使用MERIE单片刻蚀设备完成槽刻蚀。这个刻蚀使用溴化物与氟化物的混合气体(见表6-5)并要求有硬掩膜。典型的刻蚀速度是5000Å/min，对掩膜的选择比是15∶1，槽深的均匀性是百分之几。

用磁场增强性RIE以相对低的离子能量刻蚀，能使硅的损伤最小化(硅损伤会形成电容器中低品质氧化层)。在侧墙上沉积的侧墙钝化材料是非理想配比的氧化膜(SiO_x的$x<2$)(Vasquez等，1989)。刻蚀步骤的控制问题是黑硅的形成(这个具有突破性的工序可避免黑硅形成)、刻蚀深度控制(用大特征尺寸表面的轮廓来监测)和槽剖面控制(用非直接测量掩膜的选择比和用有破坏性又花时间的SEM评价来监视)。一般来说，为了控制颗粒的污染，每片刻蚀后要清洗。

槽形成后的湿法步骤有助于形成槽底圆角和从侧墙去掉损伤层。它们也形成有点圆形的槽顶，这个圆角改善了槽边缘上的氮氧化合物介质膜的电学完整性。使用湿法刻蚀首先得到圆角槽。然后，侧墙掺砷，砷玻璃用HF剥离并最后热生长牺牲氧化膜和剥离，以便为生长高质量的栅热氧化膜作准备。

侧墙上形成高质量的栅热氧化SiO_2是复杂的，必须去掉硅表面的氮化硅。牺牲氧化层保护硅侧墙免受干法氮化硅剥离的影响，用化学性干法刻蚀(相对低的损伤及无污染)剥离代替热磷酸湿法腐蚀氮化硅或可用RIE刻蚀轰击槽的底部。使用气流向下剥离刻蚀机，它在晶片表面实际上具有零离子能量，其刻蚀化学品是氟基化合物，并且维持对氧化层有好的选择比。因为氮化硅只有1000Å所以这种刻蚀具有高的产量。

在这一序列中，最后步骤是从硅片背面去掉掺杂多晶硅(它是用以填充槽并形成槽式电容器的电极对)。这个步骤也是使用气流向下化学干法刻蚀工艺，使用氟的化学反应迅速地去掉背面的多晶硅(3500Å)。硅片是倒置处理加工，而且硅片的正面用光刻胶保护。

6.5.7 互连多晶硅氧化层光刻

这一步刻出在V_t注入中为保护硅而覆盖的有源区。这一步是湿法刻蚀，在刻蚀薄氧化物(500Å)后，湿法刻蚀停止在硅有源区上。

· p. 322 ·

6.5.8 栅光刻

形成栅电极是工艺中要求最高的刻蚀工艺之一。其理由是对该工序有许多严格要求，

包括:CD 控制和侧墙剖面的要求、栅氧化选择比的要求,以及电路对这一阶段制造工艺中的污染和栅氧化层损伤的敏感性。以下所讨论的工艺是相当厚的栅氧化层(200Å)和由多晶硅组成的栅电极,不包含多晶硅化合物叠层。这就相当简化了刻蚀要求。工艺步骤为:沉积多晶硅,使用上面已讨论过的微波化学干法刻蚀工艺进行背面多晶剥离、掺杂,形成图案以及在单片 RIE 刻蚀机上刻蚀多晶硅。刻蚀的化学品是 $HBr\text{-}Cl_2$。

多晶硅刻蚀后进行的胶剥离要求保护源/漏区薄氧化层不能被金属沾污,和栅氧层自己不受到损伤。因为超高温度会使钠离子和其它金属进入源漏,所以硅片的温度控制是很重要的。这个工艺的成功与否主要取决于剥离工艺条件的选择,反应器的选择是次要的。使用气流向下微波剥离设备和湿法清洗。

6.5.9 LDD 边墙刻蚀

N 沟及 P 沟分别注入磷和硼,形成轻掺杂漏区(LDD)后,LDD 的边墙隔离层是用刻蚀整片沉积层制成的,然后完成砷和硼的源/漏注入。用单片 RIE 设备对 2500Å 的致密 CVD 氧化层进行边墙隔离层刻蚀。这个刻蚀使用典型的氟碳化合物进行氧化层刻蚀。关键的问题是控制不能过刻蚀边墙,因为这样将改变轻掺杂漏区自身的几何尺寸并把源漏暴露于等离子体。在有些金属硅化物的方案中,边墙过刻蚀可能导致栅漏短路,这样的栅漏短路是在金属与硅反应生成硅化物期间形成的。

在类似于为平坦化进行整片回刻所要求的工艺体系中,进行边墙的刻蚀。在这工艺体系中不存在光刻胶,整个硅片内的均匀性是关键。各向异性也是一个边墙刻蚀的要求,但这对使用 RIE 或等离子刻蚀设备不成问题。

6.5.10 接触孔刻蚀

层间介质(ILD)接触孔的确定有剖面控制、胶选择比和均匀性总体要求。隔离和 ILD 方案对刻透栅电极上相对薄的氧化层和源漏上比较厚的氧化层所要求的刻蚀量有重大的影响。上面简要提到过的这种情况,在图 6-19 中加以说明。这里 ILD 平坦化的成本是显而易见的,对处于隔离层高处的栅材料刻蚀步骤必须有一个大的选择比。而且氧化层和源漏硅之间必须有一个更高的选择比,这是因为要求更多的过刻蚀以确保在厚玻璃层上开出接触孔。

• p. 323 •

这里,ILD 是由薄热氧化层、不掺杂的 CVD 氧化膜和接触孔刻蚀前经过回流平坦化过的致密的硼磷硅玻璃(BPSG)三明治夹层组成的。在筒式 RIE 设备中使用氟碳化学物质完成接触孔刻蚀(见图 6-3c)。为了保护结,要求对硅的选择比是 12∶1。如果接触孔是过刻蚀的,请参照上述关于源漏区中掺杂物损失的讨论。因为刻蚀是在对硅有相对高的选择比下进行的,所以这个工艺遇到的困难问题是终点确定(常用时间)和腔室清洁度。

6.5.11 多晶 3 多晶硅化物刻蚀

用第三层多晶硅作为互连线,并使用 $MoSi_2$ 减少互连线的电阻。接触孔刻蚀之前 BPSG 回流导致局部表面平坦化,所以对这样形貌的表面进行刻蚀不是太困难。

6.5.12 接触孔光刻 2

这部分包括会影响到后面刻蚀步骤面需要的某些平坦化步骤。要刻蚀的介质膜是由

阻挡氧化硅(不掺杂CVD氧化硅),及经过平坦化回流的BPSG和PSG组成的叠层。为了减少器件上整个氧化层重叠层的厚度,采用单片等离子刻蚀设备来完成整个表面回刻。接触孔自身的刻蚀是湿法和干法刻蚀相结合,以产生锥形剖面,它比各向同性刻蚀容易填充。湿法刻蚀之后是在筒式RIE设备中使用氟化物的化学方法进行各向异性的干法刻蚀。

最后,在湿法/干法(微波)剥离顺序中完成胶的剥离。在功率密度和腔室清洁度得到控制情况下,应用刻蚀和剥离设备有可能控制接触孔的损伤。

6.5.13 金属1光刻

在多片型RIE设备中完成金属刻蚀用的化学物质是BCl_3/Cl_2。这种化学物质同样也用来刻蚀TiN抗反射涂层(ACR)和TiN阻挡层(实际上使用这些刻蚀金属的化学物质,刻蚀停留在阻挡层上是不可能的)。用相当于30%过刻蚀的光发射谱来决定刻蚀终点。使用过刻蚀有几个原因:表面形貌要求使用某种程度过刻蚀;片内和一批中片与片之间刻蚀速率的均匀性需要另一个10%~15%的过刻蚀;而且对氧化硅有相当高选择比(8:1)可允许较长的过刻蚀。光刻胶的损失的确是控制过刻蚀的一个限制因素。一般讲,金属过刻蚀的要求可接受,部分是由于金属刻蚀后残留物相对容易检查,在金属刻蚀后是容易看到刻蚀残留物的。而且,如果该残留物是金属,会引起短路;如果它们是硅或是铜的颗粒,则能够使随后的CVD氧化膜成核。在金属刻蚀中光刻胶剥离是重要的,因为它有助于消除刻蚀后的腐蚀。一般讲,就所有金属刻蚀工艺而言,还没有找到一个单一工艺可以排除对所有金属膜的腐蚀。这里,RIE包含一个抗腐蚀步骤,它包括在主要的刻蚀步骤中使用CF_4,并且在真空破坏前进行刻蚀后氟化。

金属掩膜胶剥离所用的化学品不能有硫酸。所以,典型的是使用有机酸去掉胶的残留物和侧墙上的经氧化的含铝(由去胶步骤生成)残留物。

· p. 324 ·

6.5.14 压焊区光刻/聚酰亚胺光刻

在氮化硅的钝化层上刻出压焊区是比较容易的,因为压焊区面积比氮化物的厚度大得多。所以,CD和颗粒的控制都不是关键。然而,这一步骤也产生某些问题,最后必须做到的是要获得压焊区与用来连接芯片和载体的引线之间有良好的粘合力。聚酰亚胺膜光刻是用来改善钝化的密封性,这次光刻是对准在氮化硅中刚刻蚀出的压焊区孔,只是窗口稍微小一点,所以,与压焊块交界的不是氮化物面是聚酰亚胺膜。

6.6 总　　结

已经仔细地描述了普遍用在硅片制造中的几种类型的等离子刻蚀设备。目前投入使用的各种刻蚀设备之间的最重要的区别是,对刻蚀工艺的物理过程和化学过程的相对控制。最精确的图形转换工艺需要低压RIE设备来控制刻蚀特征剖面和关键的刻蚀特征尺寸。有了以切合现行制造要求的计量方法和工艺控制后,讨论了不同的工艺步骤之间重要的相互影响。用4Mb DRAM工艺流程为例讨论了VLSI生产中使用的重要刻蚀步骤。

6.7 参 考 文 献

Bell, H. B., Anderson, H. M., Light, R. W. (1988), *J. Electrochem. Soc. 135*, 1184.

Bondur, J., Turner, T. R. (Eds.) (1991), *Advanced Techniques for Integrated Circuit Processing, Proc. SPIE*, p. 1392.

Brassington, M., Razouk, R., Hu, C. (1988), *IEEE Trans. Electron Devices 35*, 96.

Broydo, S. (1983), *Solid State Technol. 26*, 159.

Bruce, R. H., Malafsky, G. P. (1983), *J. Electrochem. Soc. 130*, 1369.

Buchanan, D. A., Fortuno-Wiltshire, G. (1991), *J. Vac. Sci. Technol. A9*, 804.

Chapman, B., private conversation on Lucas Labs Vacuum Diagnostic System.

Coburn, J. W. (1982), *Plasma Chem. Processing 2*, 1.

Coburn, J. W., Kay, E. (1972), *J. Appl. Phys. 43*, 4965.

Coburn, J. W., Gottscho, R. A., Hess, D. W. (1986), *Plasma Processing, Mater. Res. Soc. Symp. Proc.*, Palo Alto, CA.

Coe, M., Rogers, S. H. (1982), *Solid State Technol. 25*, 79, 97.

Cook, J. (1991), private communication.

Current, M., Donohoe, K., Hanley, P. R. (1989), "*An Overview of Damage Resulting from Ion Etching and Ion Implantation*", Semicon Mtg., Osaka, Japan.

d'Heurle, F. M., Gas, P. (1986), *J. Mater. Res. 1*, 205.

Deal, B., McNeilly, A., Ko, D. B., deLaurios, J. (1990), *Solid State Technol. 33*, 73.

Donnelly, V. M. (1989), in: *Plasma Diagnostics*, Vol. 1. London: Academic Press, pp. 36–37.

Donohoe, K. G. (1981), *Single Wafer Plasma Symp. Plasma Chem.*, Edinburgh, Scotland, pp. 310–317.

Flamm, D., Herb, G. K. (1989) in: *Plasma Etching*. London: Academic Press, pp. 2–87.

Fonash, S. J. (1985), *Solid State Technol. 28*, 150.

Geipel, H., Hsieh, N., Ishaq, M., Koburger, C., White, F. (1980), *IEEE Trans. Electron Devices ED-27*, 1417.

Ghezzo, M., Kaminsky, Y., Nissan-Cohen, Y., Frank, P., Saia, R. (1989), *J. Electrochem. Soc. 136*, 1992.

Hara, T., Ohtsuka, N., Takeda, T., Yoshimi, T. (1986), *J. Electrochem. Sco. 133*, 1489.

Hess, D. W., Bruce, R. H. (1984), *Plasma Assisted Etching of Aluminum and Aluminum Alloys in Dry Etching for Microelectronics:* Powell, R. A. (Ed.). Amsterdam: North-Holland.

Hills, G., Jha, N., van den Hoeg, W. (1989), unpublished results.

Hirobe, K., Nojiri, K. (1987) *J. Vac. Sci. Technol. B 5*, 594.

Irving, S. (1971), *Solid State Technol. 14*, 47.

Jillie, D., Freiberger, P., Blaisdell, T., Multani, J. (1987), *J. Electrochem. Soc. 134*, 1988.

Kalter, H., Van de Ven, E. P. G. T. (1979), "*Plasma Etching in IC Technology*", *Phillips Tech. Rev. 38 (7/8)*, 200.

Kern, W. (1990), *J. Electrochem Soc. 137*, 1887.

Kohler, K., Coburn, J. W., Kay, E., Keller, J. H. (1985), *J. Appl. Phys. 57*, 59.

Krough, O. (1988), "*Bromine Based Aluminum Etching*", *Semiconductor Int.* 276.

Langmuir, I. (1929), *Phys. Rev. 33*, 954.

Langmuir, I., Blodgett, K. B. (1923), *Phys. Rev. 22*, 347.

Langmuir, I., Blodgett, K. B. (1924), *Phys. Rev. 24*, 49.

Langmuir, I., Mott-Smith, H. M. (1923), *Gen. Electric Rev. 26*, 731.

Langmuir, I., Mott-Smith, H. M. (1924), *Gen. Electric Rev. 27*, 449, 583, 616, 726, 810.

Langmuir, I., Mott-Smith, H. M. (1926), *Phys. Rev. 28*, 727.

Lee, W.-Y., Eldridge, J. M., Schwartz, G. C. (1981), *J. Appl. Phys. 52*, 2994.

Levy, K. L., Donohoe, K. G. (1990), "*Magnetically Enhanced Reactive Ion Etch Characterization of Aluminum Alloys Using Bromine and Chlorine Chemistries*", *Proc. ECS Symp.*, Montreal, Vol. 90-1, pp. 188–189.

Liu, R. D., Williams, S., Lynch, W. (1988), *Appl. Phys. Lett. 63*, 1990.

Manos, D. M., Dylla, H. F. (1989a) in: *Plasma Etching*. London: Academic Press, pp. 261–272.

Manos, D. M., Dylla, H. F. (1989b) in: *Plasma Etching*. London: Academic Press, pp. 305–312.

Miki, N., Kikuyama, H., Kawanabe, I., Miyashita, M., Ohmi, T. (1990), *IEEE Trans. Electron Devices 37*, 107.

Mohammadi, F. (1981), *Solid State Technol. 24*, 65, 92.

Mu, X. C., Fonash, S. J., Rohatgi, A., Rieger, J. (1986), *Appl. Phys. Lett. 48*, 1147.

Murarka, S. P. (1980), *J. Vac. Sci. Technol. 17*, 775.

Murarka, S. P. (1983), *Silicide for VLSI Applications*. New York: Academic Press.

Murarka, S. P. (1995), *Intermetallics 3*, 173.

Nakamura, M, Itoga, M., Ban, Y. (1981), "*Investigation of Aluminum Plasma Etching by Some Halogenated Gases*", *Proc. Symp. Plasma Etching and Deposition*, Vol. 81-1: Frieser, R., Mogab, C. (Eds.). Pennington, NJ: Electrochemical Society.

Nakamura, M., Iizuka, K., Yano, H. (1988), "*Variable Profile Poly-Si Etching with Low Temperature RIE and HBr Gas*", *Proc. Symp. Dry Process*, Tokyo, Japan, pp. 58–63.

Oehrlein, G., Tromp, R., Tsang, J., Lee, Y., Petrillo, E. (1985), *J. Electrochem. Soc. 132*, 1441.

Oehrlein, G. S., Rembetski, J. F., Payne, E. H. (1990), *J. Vac. Sci. Technol. B 8*, 1199.

Parillo, L. C. (1986), *Tech. Digit IEDM*, 244.

Perchard, J., Smith, H., O'Connor, R., Olsen, J., Law, K. (1990), *Characterization of a Multi-Step In-Situ Plasma Enhanced Chemical Vapor Deposition (PECVD) Tetraethylorthosilicate (TEOS) Planarization Scheme for Submicron Manufacturing*

Multi Chamber and In-Situ Processing of Electronic Materials: Freund, R. (Ed.), *Proc. SPIE 1188,* pp. 75–85.

Phelps, A. V., Van Brunt, R. J. (1988), *J. Appl. Phys. 64,* 4269.

Powell, R. A., Downey, D. F. (1984), in: *Dry Etching for Microelectronics:* Powell, R. A. (Ed.). Amsterdam: North Holland Physics Publ., p. 113.

Sato, M., Arita, Y. (1984), *Proc. Dry Process Symp.,* Tokyo, Japan, pp. 109–114.

Sawai, H., Fujiwara, N., Ogawa, T., Yoneda, M., Nishioka, K. (1989), *"Reaction Mechanism of Highly Selective Etching of AlSiCu Using Brominated Gas Plasma, Proc. Dry Process Symp.",* Tokyo, Japan, pp. 45–50.

Sekine, M., Horioka, K., Arikado, T., Maraguchi, Y., Okano, H. (1988), *"Highly Selective Etching of Phosphorous Doped Polycrystalline Silicon at Low Wafer Temperature Employing Magnetron Plasma",* *Proc. Dry Process Symp.,* Tokyo, Japan, pp. 54–57.

Silvestri, V. J. (1986), *J. Electrochem. Soc. 133,* 2374.

Sinha, A., Lindenberger, S., Fraser, D., Murarka, S., Fuls, E. N. (1980), *IEEE Trans. Electron Devices, ED-27 (8),* 1425.

Smith, D., Bruce, R. H. (1982), *J. Electrochem. Soc. 129,* 2045.

Smits, C. G. (Ed.) (1960–62), *The Collected Works of Irving Langmuir.* New York: Pergamon Press.

Tachi, S., Okudaira, S. (1986), *J. Vac. Sci. Technol. B 4(2),* 459.

Tsujimoto, K, Tachi, S., Arai, S., Kawakami, H., Okudaira, S. (1988), *"Low-Temperature Microwave Plasma Etching", Proc. Dry Process Symp.,* Tokyo, Japan, pp. 42 49.

Turner, T. R. (1991 a), *"Correlations of Real Time Monitored Process Module Parameters and Wafer Results", Proc. SPIE,* p. 1392.

Turner, T. R. (1991 b), *Sensor Feasibility Study,* SEMATECH Technology Transfer Document.

Turner, T. R. (1991 c), PRSC Final Report, SEMATECH Technology Transfer Document.

Van den Meerakker, J., Van den Straten, (1990), *J. Electrochem. Soc. 137,* 679.

Vasile, M. J., Dylla, H. F. (1989), in: *Plasma Diagnostics,* Vol. 1. London: Academic Press, pp. 185- 232.

Vasquez, B., Tompkins, H., Fejes, P., Lee, T., Smith, L. (1989), *"Characterizations of Sidewall Passivation Material Deposited During Trench Etch", SPIE Conf.,* Santa Clara, CA, paper 1185-14.

Vossen, J., Kern, W. (Eds.) (1978), *Thin Film Processes.* New York: Academic Press, Secs. V-1, V-2.

Winkler, U., Schmidt, F., Hoffman, N. (1981), *The Influence of Humidity on the Reproducibility of Aluminum Etching in Plasma Processing:* Frieser, R. G., Mogab, C. J. (Eds.). Pennington, NJ: Electrochemical Society, pp. 253–255.

Wu, I., Street, R., Mikkelsen, J., Jr. (1988), *Appl. Phys. Lett. 63,* 1628.

7　硅器件结构

Chun-Yen Chang and Simon M. Sze
National Chiao Tung University, Hsinchu, Taiwan, R.O.C.
（许　军 译　刘志弘 校）

目录

符号与缩语表

符号	含义
A	截面积
b	掺杂区厚度
C	电容
d	厚度,维数
D	扩散常量
E	能量
$\mathscr{E}$	电场强度
ΔE	发射区与基区间能带差
ΔE_v	价带偏移
E_F	费米能级
f	频率
f_{max}	最高振荡频率
f_T	截止频率
g	跨导
$h,\hbar$	普朗克常量[$\hbar=h/(2\pi)$]
h_{fe}	电流增益
I	电流
I_g	产生电流
I_r	复合电流
j	电流密度
k	玻尔兹曼常量
$\boldsymbol{k}$	波矢
L	长度
L_z	角动量的 z 分量
m	有效质量
n	浓度
N	掺杂浓度
p	动量
q	电荷

Q	电荷面密度
r_j	结深
R	电阻
S	亚阈区斜率
t_{Si}	耗尽硅膜厚度
T	绝对温度，传输系数
V	电压
V_B	击穿电压
$V_k^{(d)}$	k 空间体积
W	表面耗尽区宽度
W_s, W_d, W_{sub}	源、漏及硅衬底耗尽层宽度
Z	总状态数
α	电流增益之和
γ	共振态的寿命宽度
δ	无穷小的厚度
ε	电容率(介电常量)
$\varepsilon_s, \varepsilon_m$	硅和金属的介质电容率
η	发射效率
λ	波长，穿透深度
λ_c	截止波长
μ	电子迁移率
ξ	价带简并度
ρ	电荷密度
τ	寿命
$\Delta\phi$	势垒降低
ϕ_M	金属功函数
$\Delta\phi_M$	静电势变化
ϕ_B	异质结势垒
ϕ_n	金属中电子势垒高度，肖特基势垒
χ	电子亲和势
BARITT	势垒注入渡越时间
BICFET	双极型反型沟道场效应晶体管
BICMOS	双极型互补金属-氧化物-半导体
CCD	电荷耦合器件
CMOS	互补金属-氧化物-半导体
CTE	电荷传输效率

CVD　化学气相沉积

CW　连续波

DBQW　双势垒量子阱

DBRTD　双势垒共振隧道二极管

2DEG　二维电子气

2DHG　二维空穴气

DOS　态密度

EEPROM　电可擦可编程只读存储器

EPROM　可擦可编程只读存储器

FAMOS　浮栅雪崩注入金属-氧化物-半导体

FIPOS　多孔氧化硅全隔离

HBT　异质结双极型晶体管

HET　热电子晶体管

HIPOX　高压氧化

IBT　感应基区晶体管

IGBT　绝缘栅双极型晶闸管

IMPATT　碰撞离化雪崩渡越时间

JFET　结型场效应晶体管

LDD　轻掺杂漏

LRP　限制反应过程

LT　低温

MBE　分子束外延

MESFET　金属-半导体场效应晶体管

MIOS　金属-绝缘层-氧化物-半导体

MOCVD　金属有机化合物化学气相淀积

MODFET　调制掺杂场效应晶体管

MOS　金属-氧化物-半导体

MOSFET　金属-氧化物-半导体场效应晶体管

MQW　多量子阱

NDR　负微分电阻

PBT　可渗透基区晶体管

PDB　平面掺杂势垒

PECVD　等离子增强化学气相淀积

QW　量子阱

RTA　快速热退火

SIMOX　注氧隔离

SOI　绝缘层上硅

TFT　薄膜晶体管

UHV　超高真空

ULSI	特大规模集成
VLSI	超大规模集成
ZMR	区熔再结晶

· p. 331 ·

7.1 引　言

硅是应用于电子工业的一种最重要的半导体材料。目前基于硅材料的器件在全世界销售的半导体器件中占 95%以上。硅材料能具有这样的优势要归因于其禁带宽度、优质的自然氧化层、优越的机械特性以及在自然界中的丰富含量。

室温下硅的禁带宽度为 1.12eV,这个数值对于降低由热载流子产生而引起的漏电流来说已足够大。硅的不可替代性在于其可形成优质的二氧化硅(SiO_2)自然介质层,它具有击穿强度高(~10MV/cm)、界面陷阱密度低($10^9/cm^2$)的优点。硅的硬度极高,其努氏硬度为 1150kg/mm²(是不锈钢的两倍),抗屈强度为 7×10^{10}dyn/cm²(是钨的 1.8 倍)。以硅土和硅酸盐形态存在的硅占地壳总成分的 28%,其丰富程度仅次于氧,居第二位。

图 7-1 所示为全世界的抛光单晶硅晶片和Ⅲ-Ⅴ族化合物半导体晶片年总产量的对照。显而易见,由于硅在众多分立器件以及超大规模集成电路(VLSI)应用中的突出地位,硅晶片的年总产量也遥遥领先。

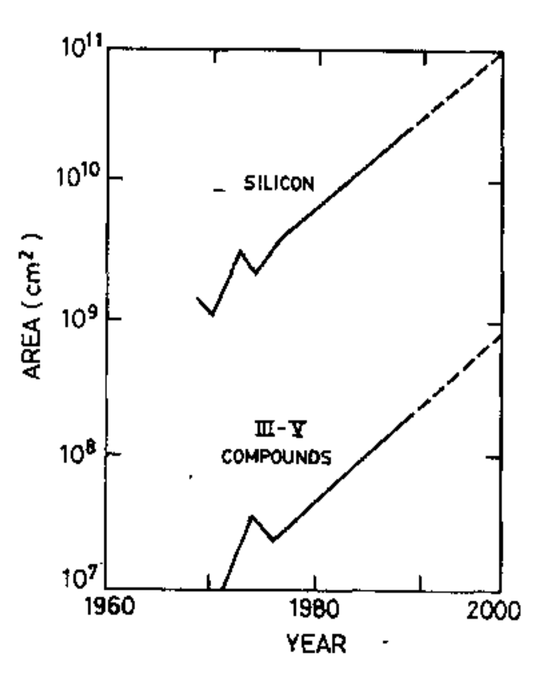


图 7-1　全世界单晶硅与Ⅲ-Ⅴ族化合物半导体的年总产量(Pearce,1988;Meindl,1984)

预计这种趋势还将继续下去,到 2000 年硅晶片的总面积将达到 10 平方千米(大约相当于两亿片直径为 250mm 的硅晶片),与之相比,Ⅲ-Ⅴ族化合物半导体晶片的总面积大约要低两个数量级(Pearce,1988;Meindl,1984)。

半导体器件可以大致划分为三大类:势效应器件、场效应器件以及量子效应器件。势效应器件是电流控制型的,将在 7.2 节中讨论,其控制电极阻性耦合到器件的有源工作区域,器件内部荷电载流子是靠能级势垒分隔开的。势效应器件包括经典的双极型晶体管和异质结双极型晶体管。场效应器件是电压控制型的,将在 7.3 节中讨论,其控制电极容性耦合到器件的有源工作区域,器件内部荷电载流子是靠绝缘层或耗尽层分隔开的。场效应器件包括 MOSFET,MESFET 和 MODFET。7.4 节中讨论的量子效应器件则是利用共振隧道效应实现受控输运,在此类器件中,载流子的有效工作尺度可与其德布罗意波长($\lambda=h/p$,其中 h 为普朗克常量,p 是动量)相比拟,在室温下大约为 200Å。比起传统的势效应器件和场效应器件,量子效应器件能获得更高的工作速度,此外许多量子效应器件都是功能型器件,即它们能以最少的元件数实现特定的电子功能。

· p. 332 ·

7.5 节中包括硅微波二极管和光电二极管,这些器件的工作大多基于势效应原理。微波二极管是一种能够产生、放大和检测微波信号(1—1000GHz)的二端器件,本章中将要

讨论的硅微波二极管为碰撞离化雪崩渡越时间(IMPATT)二极管和势垒注入渡越时间(BARITT)二极管。硅光子器件包括光探测器和光电池，前者能将光信号转化为电信号，后者则能将光的辐射能转化为电能。

在可以预计的将来，硅基器件在电子应用领域内仍将占据主导地位，在7.6节中我们将对于各种新型硅器件结构的发展前景给出展望。

7.2 势效应器件

7.2.1 n^+-i-n^+二极管

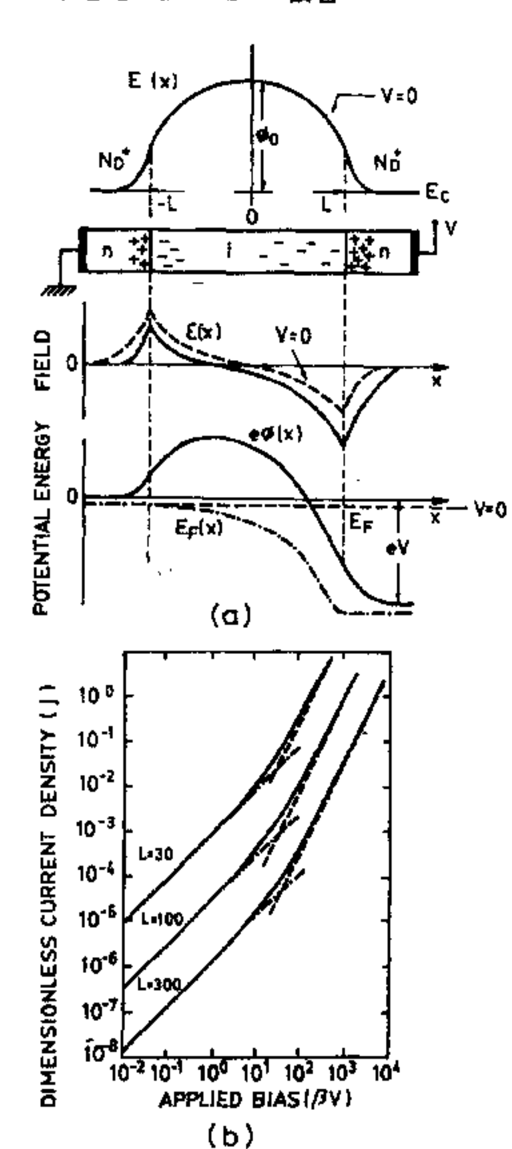


图7-2 有外加偏置电压时的n-i-n二极管示意图。(a)器件内部电场及静电势能分布图，图中同时给出了费米能级$E_F(x)$的分布(虚线所示)。(b)计算得到的器件电流-电压特性(Luryi,1990)

如图7-2(a)所示，n^+-i-n^+二极管是一种多数载流子器件(即在n^+-i-n^+结构中是电子导电，在p^+-i-p^+结构中是空穴导电)，在其两端重掺杂电极之间形成的是一半圆形电势分布，形成这一势垒的原因在于i层中的电子浓度满足：

$$n = N_c \exp\left(-\frac{E_C(x) - E_F}{kT}\right) \quad (7\text{-}1)$$

这正构成了泊松方程中的电荷密度ρ。

图7-2(b)所示为这种器件的I-V特性，在高电压范围区可表示为

$$j = \frac{9\varepsilon_s \mu V^2}{8L^3} \quad (7\text{-}2)$$

• p. 333 •

其中j是电流密度，L是i层的厚度，ε_s是电容率，μ是电子迁移率，方程(7-2)与描述空间电荷限制电流的经典的Mott-Gurney定律(Luryi,1990)是完全等同的；在低电压范围区，器件的I-V关系表现为：

$$j = qn(0)\mu\frac{V}{L} \quad (7\text{-}3)$$

这是一种线性变化规律，$n(0)$是$x=0$处的载流子浓度。

n^+-i-n^+二极管和p^+-i-p^+二极管都是各种新型电子器件的众多组成要素之一。

7.2.2 平面掺杂势垒

平面掺杂势垒(PDB)整流结构最初是在砷化镓(GaAs)分子束外延(MBE)生长的样品中得到证实的(Malik等,1980)，它代表了

驼峰二极管结构的一种扩展形式(在极限的情形下),我们将首先回顾一下这种重要结构的整流及电荷注入理论(Kazarinov 和 Luryi,1982)。

如图 7-3(a)所示,在 PDB[n-i-δ(p⁺)-i-n]结构中,两层低电阻率的 n 型层之间,夹有一层厚度为 L 的近乎本征的 i 层。在这种结构的外延生长过程中,i 层中还同时形成了一层掺杂浓度为 N_A、厚度为无限小量 $\delta(\delta \ll L)$ 的 p^+ 薄层。这层 p^+ 薄层中的受主杂质已完全离化,即其中的空穴已全部耗尽,由此形成的一层面电荷密度为 $Q=qN_A\delta$ 的负电荷层将导致一个三角形的势垒,该势垒两边的底部宽度分别为 L_1,L_2,势垒的高度 ϕ 可由下式近似给出:

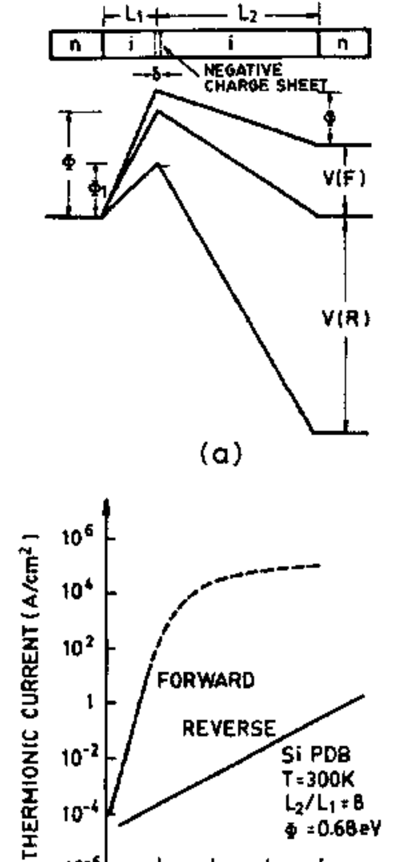
$$\phi \approx -Q\frac{L_1L_2}{\varepsilon_s L} \tag{7-4}$$

上式对应的是一种电容模型,即固定电荷 Q 仅在 i 层两侧外边缘处 n 型掺杂接触区的一个极薄层中感生出电荷。若两边接触区中掺杂浓度相等,则平衡时势垒两侧的高度也相同。当外加偏置电压 V 时,发射极的势垒高度将下降 VL_1/L(不失一般性,我们假定发射极势垒对应于 L_1 一侧),因面通过势垒的电流将按指数规律增长,即

· p. 334 ·

$$I \propto e^{\beta VL_1/L_2} \tag{7-5}$$

其中 $\beta \equiv q/(kT)$。



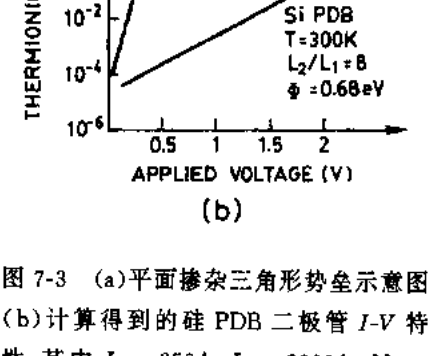


图 7-3 (a)平面掺杂三角形势垒示意图 (b)计算得到的硅 PDB 二极管 I-V 特性,其中 $L_1=250\text{A}$,$L_2=2000\text{A}$,$N_D=10^{19}\text{cm}^{-3}$,$Q/q=2\times10^{12}$(Luryi,1990)

图 7-3(a)所示为平衡($V=0$)及非平衡[正向偏置电压 $V(F)$或反向偏置电压 $V(R)$]条件下,平面掺杂二极管的能带图。由此图可见,在外加反向偏置电压时,左边的势垒高度降低 V_1,面右边的势垒高度则升高 V_2,这与 npn 晶体管中 E-B 结及 B-C 结的势垒是很相似的。

图 7-3(b)给出了当 L_1 和 L_2 长度不相同时($L_1/L_2=8$)硅 PDB 的 I-V 特性,从图中可见该器件具有整流特性。

平面掺杂势垒是对“三角形势垒”的又一种叫法,它还可以在 Si/Ge,Si/SiC(Jew 和 Chang,1986)以及 GaAS/AlGaAs(Allyn 等,1980)等异质结中形成,即通过缓变材料组分以缓变禁带宽度,从而形成三角形的导带或价带结构。

平面掺杂势垒与肖特基二极管属于同一类型器件,其优点在于它的势垒高度可以通过材料的组分、掺杂浓度,以及 L_1 和 L_2 长度的改变来加以调节。

7.2.3 pn 结

pn 结最重要的特性在于它的整流能力,即它只允许电流沿一个方向流动。当外加正

向偏置电压时，流过pn结的电流随外加电压的增大而迅速增大；而当外加反向偏置电压时，pn结中最初基本上无电流流过，只有当反向偏压不断增加，达到某一临界电压时，电流才突然增大，此时就叫做pn结击穿。外加的正向偏压通常低于1V，而反向临界电压(亦即击穿电压)则取决于掺杂浓度以及器件的其它参数，可以在几伏至几千伏之间变化。

pn结既是组成双极型晶体管和晶闸管的基本要素，也是组成JFET和MOSFET的基本要素，在适当的偏置条件或光照条件下，pn结还可以用作微波或光电器件。

图7-4(a)给出了pn结的截面图、少数载流子浓度分布以及流过耗尽层中的电流变化。当外加偏压V时，耗尽层位于冶金结附近[图7-4(a)中左图对应于正向偏置，右图对应于反向偏置]。图7-4(b)所示为能带图，电子和空穴的准费米能级E_{Fn}，E_{Fp}发生分离，分开的距离与qV值相等，因此非平衡时耗尽层边缘处的少数载流子浓度分别与E_{Fn}在p区中的位置以及E_{Fp}在n区中的位置有关，如图所示，在正向偏置时，$n_p(0)=n_{p0}\exp[qV/(kT)]$，$p_n(0)=p_{n0}\exp[qV/(kT)]$，其中$n_{p0}$和$p_{n0}$分别是平衡时($V=0$)的少数载流子浓度，

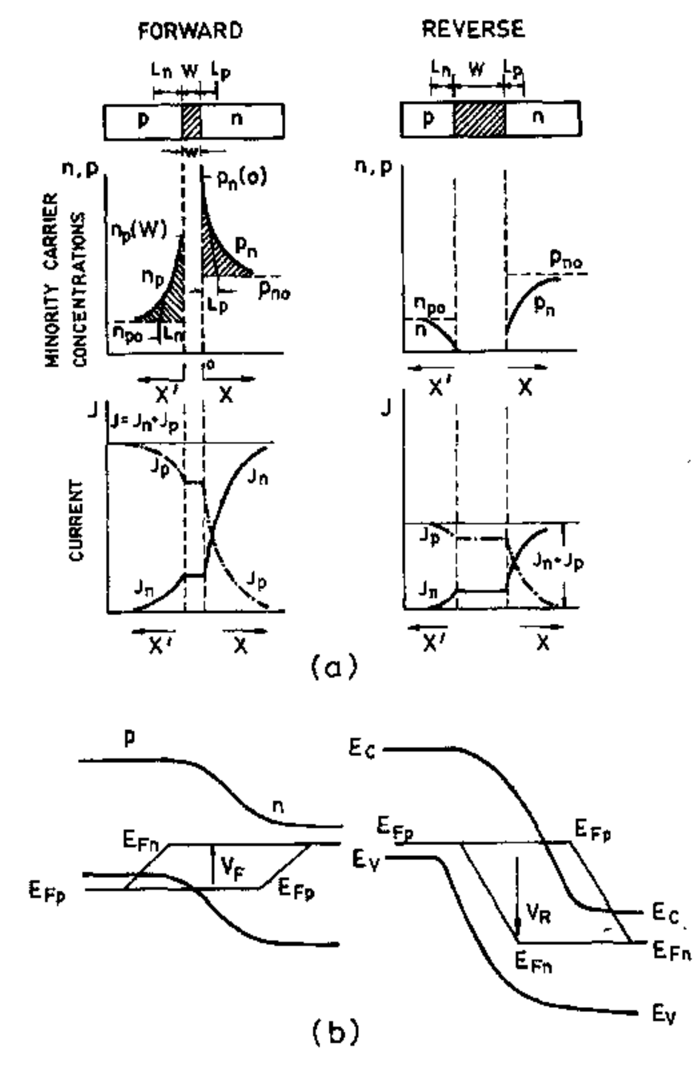


图7-4 (a)正向与反向偏置条件下pn结中注入的少数载流子浓度分布及电子与空穴的扩散电流，(b)pn结中能带图及准费米能级E_{Fn}，E_{Fp}

电子和空穴的扩散电流正是通过这些少数载流子浓度分布的斜率得到体现的，

$$J = qD_i \frac{dC_i}{dx} = \frac{D_i C_{i0}}{L_i}(e^{qV/(kT)} - 1) \quad (7\text{-}6)$$

• p. 335 •

其中 i=n 或 p，$C_n=n$，$C_p=p$，D_i 为扩散系数，扩散长度 $L_i=\sqrt{D_i\tau_i}$，τ_i 为载流子寿命，总的扩散电流可表示为

$$I_d - qA\left(\frac{D_n}{L_n}n_{p0} + \frac{D_p}{L_p}p_{n0}\right)(e^{qV/(kT)} - 1) \quad (7\text{-}7)$$

其中 A 为结面积。

耗尽层中还有一股来自载流子产生-复合过程的电流。在正向偏置状态下表现为净复合电流，而在反向偏置状态下则表现为净产生电流(Sze，1981，1985)。

复合电流为

$$I_r = Aq\frac{n_i}{2\tau_0}e^{qV/(2kT)} \quad (7\text{-}8)$$

产生电流为

$$I_g = Aq\frac{n_i}{2\tau_0}W \quad (7\text{-}9)$$

其中 W 为耗尽层宽度。

图 7-5 所示为一个典型的硅 pn 结分别在正偏(a)和反偏(b)条件下的 I-V 特性。在低正偏条件下，$\exp[qV/(2kT)]$因子起主要作用；而在高正偏条件下，则是$\exp[qV/(kT)]$因子起主要作用。反向电流 I_R 随反偏电压 V 的增大而增大则是主要起因子耗尽层宽度的展宽。

• p. 336 •

对于给定的衬底掺杂浓度来说，pn 结的反向击穿电压 V_B 可以通过最大耗尽层宽度 W_m 以及最大临界电场强度 E_m 而求得，$E_m=qN_BW_m/\varepsilon_s$，反向击穿电压 V_B 为：

$$V_B = \frac{\varepsilon_s E_m^2}{2q}N_B^{-1} \quad (7\text{-}10)$$

图 7-6 给出了 300K 时硅单边突变 pn 结的击穿电压 V_B、最大电场 E_m 以及发生击穿时的最大耗尽层宽度 W_m 随 N_B 的变化关系。

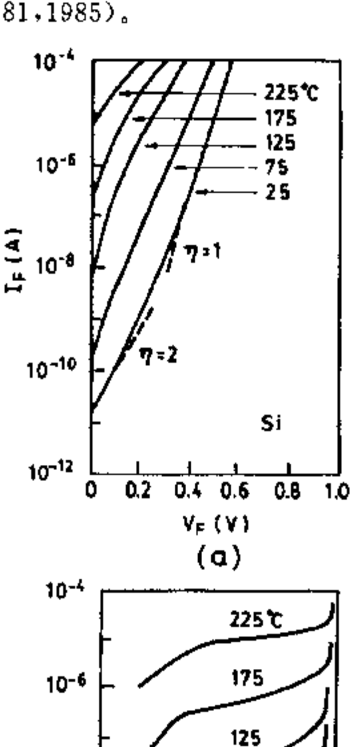


图 7-5 不同温度下硅 pn 结二极管的电流-电压特性。(a)正向偏置，(b)反向偏置

7.2.4 双极型晶体管

双极型晶体管是由一个 np 结和一个 pn 结通过共用中间一个很窄的 p 型层(基区)而构成的一种三端有源器件，这是一种 npn 型晶体管，其互补型的器件为 pnp 型晶体管。

• p. 337 •

图 7-7(a)所示为一个 npn 型双极晶体管的能带图，

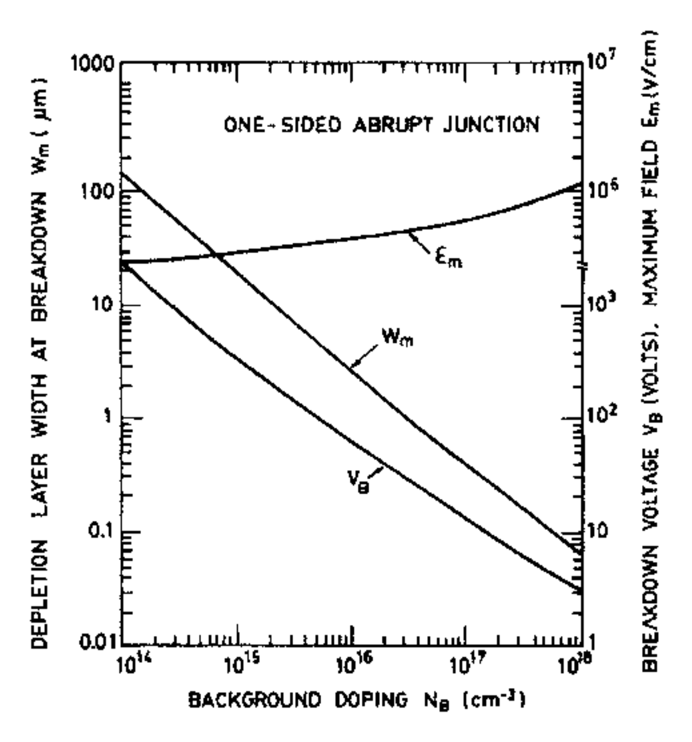


图 7-6 单边突变硅 pn 结的耗尽层宽度(W_m)、最大击穿电场(E_m)及击穿电压(V_B)(Sze 和 Gibbons,1966)

其中实线部分和虚线部分所示分别为正常偏置条件下(即 E-B 发射结正偏而 B-C 收集结反偏)以及热平衡条件下的能带图。图 7-7(b)给出了正常偏置条件下器件内部不同区域的少数载流子浓度分布,注意到由于 B-C 收集结外加反向偏置而 E-B 发射结外加正向偏置,因此 $n_p(x_B)\approx 0$,而 $n_p(0)=n_{p0}\exp[qV_{EB}/(kT)]$,根据前面在 7.2.3 节中已讨论过的基本理论,不难导出器件各区域中的电流。另外如图 7-7(b)所示,在发射结和收集结中还分别有一股复合电流 I_r 和产生电流 I_G。

从图 7-7(c)中可见,由发射区通过 E-B 结发射的电子电流 I_{nE}在扩散通过基区时部分地与基区中的空穴相复合,形成基区复合电流 I_{nB},其余部分 I_{nC}被收集极所收集。

由空穴扩散引起的电流 I_{pE}及 I_r 是由基区流向发射区的,它们对收集极电流没有贡献,因此要获得较高的电流增益,就必须尽量减小这两股电流。

在 B-C 收集结反偏条件下,I_R 和 I_G 分别是由扩散和产生引起的漏电流。

电流增益的倒数 h_{fe}^{-1}可以表示为(Yang,1988):

$$h_{fe}^{-1}=\frac{I_B}{I_C}\approx\frac{I_{pE}}{I_{nE}}+\frac{I_{nE}-I_{nC}}{I_{nE}}+\frac{I_r}{I_{nE}} \tag{7-11}$$

应用 pn 结电流理论,可得

$$h_{fe}^{-1}=\frac{N_{AB}x_B D_{pE}}{N_{AE}x_E D_{nB}}+\frac{x_B^2}{2L_n^2}+\frac{N_A x_B x_{dE}}{2D_{nB}n_i\tau_0}e^{-qV_E/2(kT)} \tag{7-12}$$

其中下标 E,B,C 分别代表发射区、基区和收集区。

由(7-12)式可见,降低基区的掺杂浓度 N_{AB}可使 h_{fe}增大,但是过大的基区扩展电阻 R_{BB}同时也会使器件的高频性能下降。

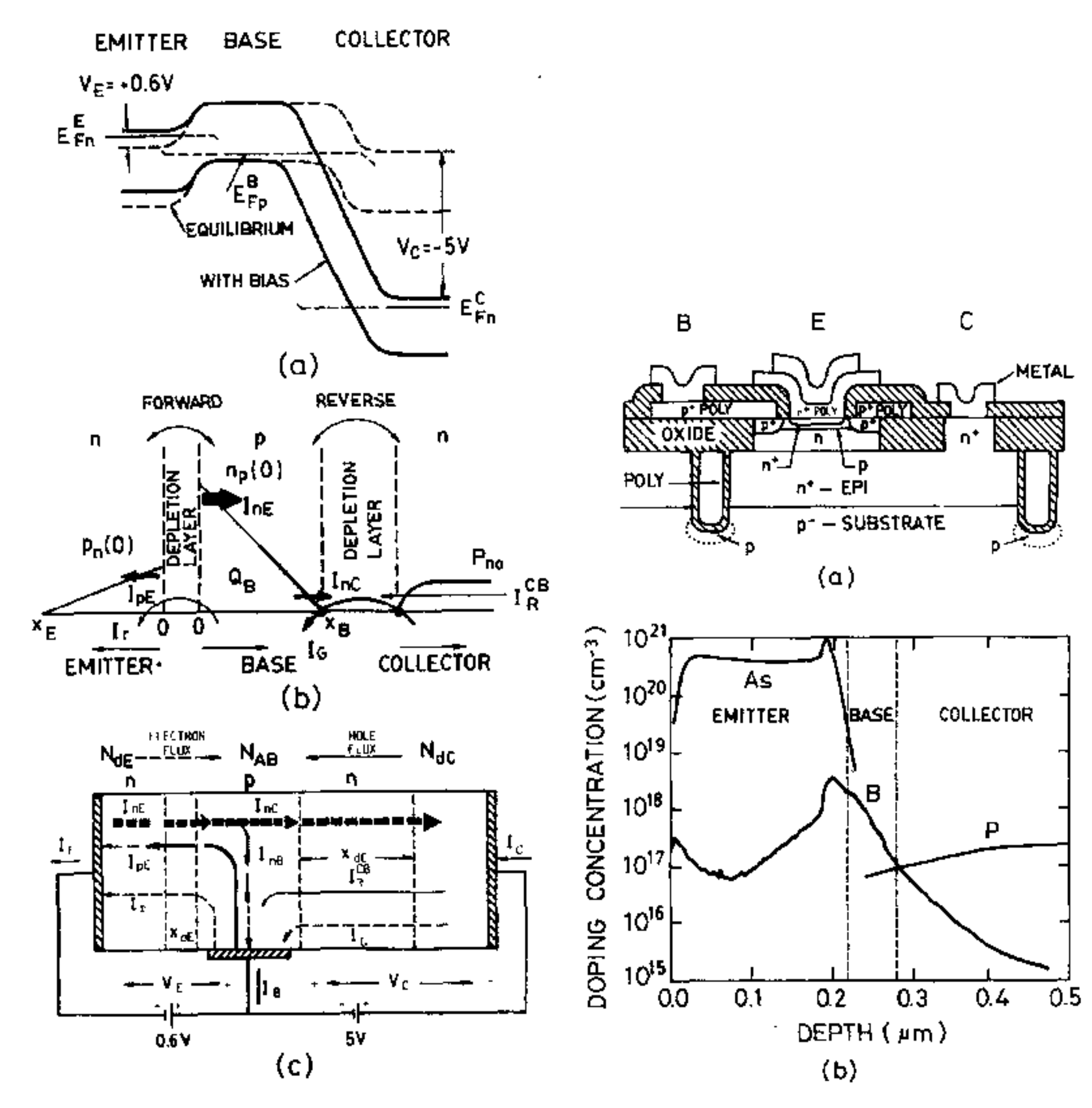


图 7-7 平衡及非平衡状态下的 npn 晶体管。(a)偏置条件下及平衡时器件内部能带图与准费米能级。(b)正常工作偏置条件下器件内部少数载流子浓度分布。(c)不同区域中载流子的流动

图 7-8 自对准多晶硅发射极 npn 双极型晶体管。(a)器件截面示意图。(b)由工艺监测片获得的器件典型的二次离子质谱(SIMS)剖面分布(Chen 等,1989)

器件单位功率增益下的最高频率为(Sze,1990):

$$f_{\max} = \sqrt{\frac{f_\tau}{8\pi R_{BB} C_{BC}}} \tag{7-13}$$

其中 f_τ 是单位电流增益下的截止频率,它是由器件内从发射区到收集区的全部延迟时间和渡越时间所决定的。在异质结双极型晶体管中,由于采用宽禁带材料制作发射区,因此有可能同时获得高电流增益和高频响应,有关这方面的内容将在后面的两节中讨论。

· p. 338 ·

图 7-8 所示为一个现代的掺杂多晶硅发射极双极型晶体管的示意图,该器件是采用双层多晶硅自对准双极工艺(Chen 等,1989)制造而成的,图 7-8(a)为其剖面结构,首先在

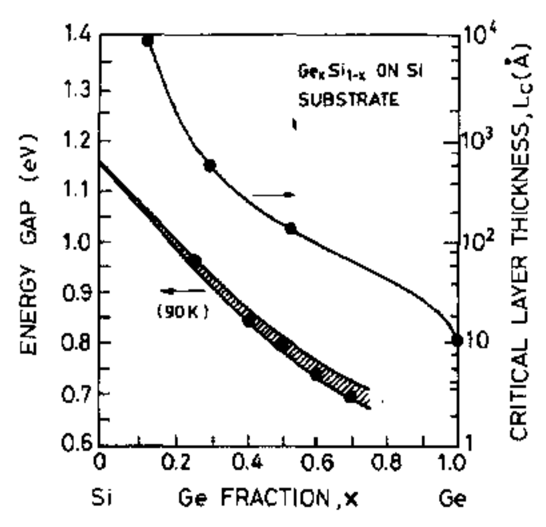


图 7-9　硅衬底上生长 GeSi 应变层的临界厚度及禁带宽度随 Ge 组分的变化(Bean,1978)

7.2.5　异质结

20世纪80年代初，一种新型的材料系统，Si 上外延生长 Ge_xSi_{1-x}结构(Kasper 和 Bean,1989)，出现在异质结构材料领域。Ge 的晶格常量大约比 Si 大4%，对于满足平衡准则的过生长应变层(而不是弛豫层)来说，过生长的厚度不应超过某个临界厚度 L_c，L_c 随 Ge 组分 x 的变化关系如图7-9所示，图中同时给出了禁带宽度随 x 的变化关系，从图中可见，随着 x 的增加，禁带宽度不断减小。

涉及的外延生长技术包括分子束外延(People, 1985)、超高真空化学气相沉积(Meyerson, 1986)以及限制反应过程(Gibbons 等,1985)等工艺技术。

对于不同的 x 来说，Si 上外延 Ge_xSi_{1-x}结构的能带相互关系如图7-10所示，可见能带图上二者导带的不连续性总是小于价带的不连续性。例如，当 $x=0.2$时，$\Delta E_c=0.020$eV，$\Delta E_v=0.15$eV，如图7-10(a)所示；当 $x=0.5$且通过一层非应变的〈001〉晶向的 $Ge_{0.25}Si_{0.75}$作为缓冲层(图中未标出)时，$\Delta E_c=0.15$eV，$\Delta E_v=0.30$eV，如图7-10(b)所示；图7-10(c)给出了 Si 衬底上外延 p^-衬底上生长 n^+/n 型外延层，然后采用多晶回填沟槽工艺形成器件隔离，接下来在 n 型收集区和隔离氧化层的上面生长一层 p 型外延层，确定 p^+多晶硅位置，生长氧化层，在发射区接触窗口淀积 n^+多晶硅，最后采用热炉管退火和快速热退火，形成浅 E-B 发射结。

图7-8(b)所示为一个典型器件的纵向杂质分布，其基区宽度介于63－95nm 之间，发射结深度为25nm 左右。该器件的电流增益在100—200之间，主要取决于基区的注入剂量及由此决定的基区 Cummel 数。在电流密度高于1.0mA/μm^2时，器件的截止频率 f_T 可达51GHz，而 E-C 极之间的击穿电压仍保持为3V，整个器件的渡越时间小于3.0ps。

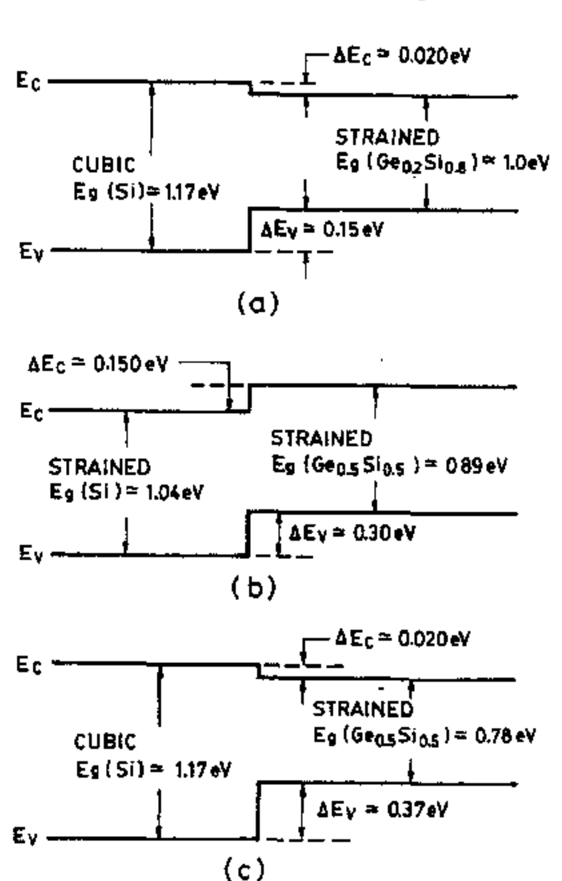


图 7-10　异质结的能带相互关系。(a)〈001〉晶向硅衬底上生长的 $Ge_{0.2}Si_{0.8}$/Si 异质结构，(b)非应变〈001〉晶向 $Ge_{0.25}Si_{0.75}$缓冲层上生长的 $Ge_{0.5}Si_{0.5}$/Si 异质结构，(c)〈001〉晶向硅衬底上生长的 $Ge_{0.5}Si_{0.5}$/Si 异质结构(People 和 Bean,1986)

$Ge_{0.5}Si_{0.5}/Si$ 异质结构[1] 的能带相互关系(People和Bean,1986)。

·p. 339·

异质结构是各种新型 GeSi/Si 器件(例如异质结双极型晶体管、MODFET 以及共振隧道器件等)的组成单元,有关这方面的内容将在下面几节中详细讨论。

7.2.6 异质结双极型晶体管

对于高频和高速应用来说,异质结双极型晶体管(HBT)具有普通同质结双极型晶体管所不具备的诸多优点,这主要得益于 HBT 发射区禁带宽度大于基区禁带宽度所带来的较高的发射极注射效率,这样就可以采用基区高掺杂浓度和发射区低掺杂浓度以减少发射区-基区延迟时间,此外基区组分缓变结构还可以进一步减少基区渡越时间。

图7-11(a)所示为一个 HBT 的能带图,按照(7-12)式的分析,由发射极注射效率所决定的电流增益为:

$$h_{fe}=\frac{N_{AE}x_{E}D_{nB}}{N_{AB}x_{B}D_{pE}}\exp\left(\frac{\Delta E_{g}}{kT}\right) \qquad (7\text{-}14)$$

其中 ΔE_g 是发射区和基区禁带宽度之差。

·p. 340·

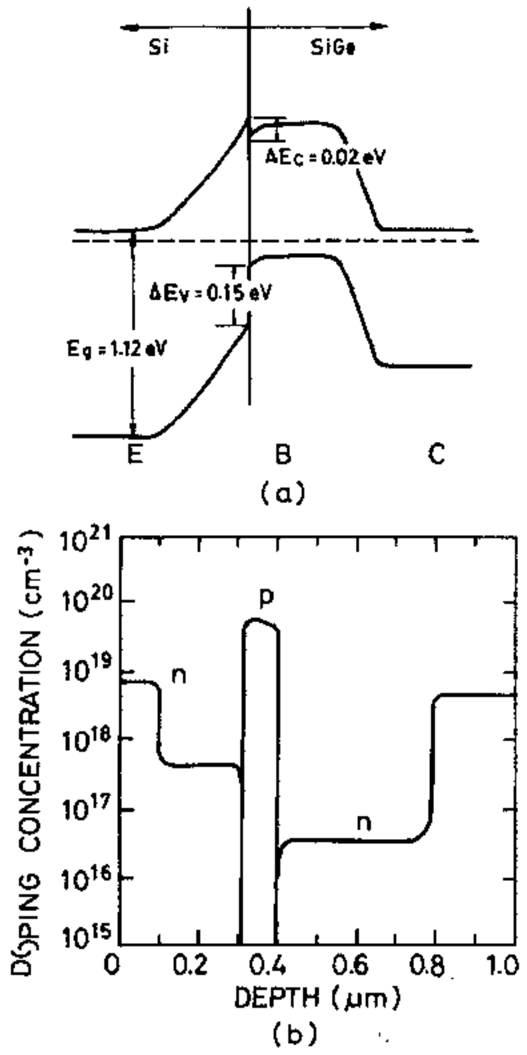


图7-11 HBT 器件的典型能带图(a)及掺杂分布(b)

图7-11(b)所示为一个采用 Si/GeSi 材料系统制作的代表目前器件水平的 HBT 掺杂浓度分布,可以将其与图7-8(b)所示的同质结晶体管杂质分布作一对比。在 HBT 中,基区的掺杂浓度已达$10^{20}cm^{-3}$,因此即使对于基区宽度极窄的器件,其基区电阻也可以大大减小,从而晶体管的 f_{max}能够大大提高[见(7-13)式]。

在最近的研究工作中(Meyerson 等,1990),采用超高真空化学气相沉积方法(UHV/CVD)的低温(550℃)硅外延技术并以标准的多晶硅发射极双极工艺,已经研制出了 Si 及缓变 GeSi 基区的双极型晶体管,实验结果表明采用该方法可获得高质量的 Si/GeSi 异质结,GeSi 材料用于双极型器件设计的优势也能够得到充分发挥,而且该方法还可以与多晶硅发射极双极型集成电路工艺技术完美地结合在一起。

·p. 341·

图7-12(a)给出了上述研究工作中的多晶硅发射极双极型器件的结构示意图,其中发

1) 原文误为 $Ge_{0.75}Si_{0.5}/Si$ 异质结构。——译者注

射区尺寸为1.2μm×2.4μm，最终这个 GeSi 基区晶体管的掺杂分布如图7-12(b)所示，在该器件中，基区 Ge 的含量从0缓变至14%(在中性基区内，大约从6%缓变至13%)，Ge 含量最高点(对应于禁带宽度最窄处)位于 B-C 收集结处。窄禁带基区大大降低了电子注入的势垒，而缓变禁带宽度又引入了一个加速电子渡越中性基区的漂移电场(该电场强度高于15kV/cm)。

如图7-13所示，GeSi 晶体管的最高截止频率由298K 下的75GHz 上升至85K 下收集极电流为28mA 时的94GHz，与之相对应的 Si 同质结器件的峰值截止频率则从52GHz 上升至收集极电流增大一倍时的57GHz。低温下缓变 GeSi 基区晶体管高频特性的大幅度改善主要得益于基区中由于禁带宽度缓变而引入的准电场，该电场在低温下的作用更为显著，它使低温下基区中载流子扩散系数的下降得到补偿(Giabbe 等，1990)。

不难看到，把 ULSI 的高集成密度优势与基于 GeSi 材料 HBT 技术的高速特点相结合，将给未来的电子应用系统带来重大的影响。

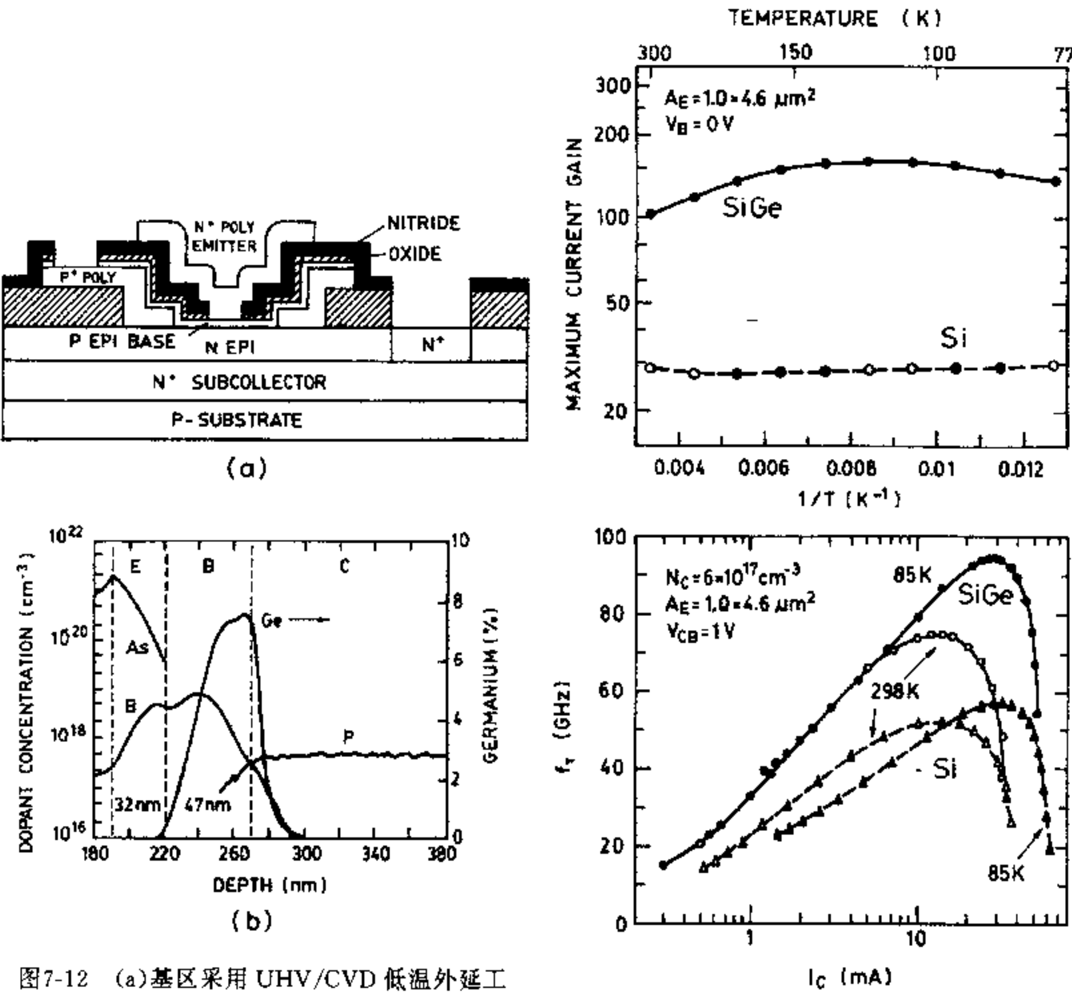


图7-12 (a)基区采用 UHV/CVD 低温外延工艺形成的非自对准双极型器件剖面示意图。(b)75GHz GeSi 基区晶体管 SIMS 剖面杂质分布(图中不包括多晶硅发射极接触区)(Meyerson 等，1990)

图7-13 Si 及 GeSi 器件分别在298K 和85K 时 f_T 对收集极电流的依赖关系，两种器件的峰值 f_T 及对应的收集极电流均随温度的降低而增大(Grabbe 等，1990)

7.2.7 晶闸管

晶闸管是一个具有 npnp 或 pnpn 四层结构的器件，它可以看作是由一个 npn 晶体管和一个 pnp 晶体管串联构成，其示意图见图7-14(a)。在正向导通条件下，p1n1结和 p2n2 结都处于正偏状态，而 n1p2结则处于反偏状态。当两个晶体管的电流增益 α_1,α_2之积[1]达到1时，器件即被开启处于导通状态。

图7-14(b)和(c)分别给出了晶闸管内部的掺杂分布和器件的电流-电压特性(Yang,1988)，从图中可见，该 pnpn 器件基本的电流-电压关系曲线呈现出五个不同的区域：

·p. 342·

0→1：器件处于正向阻塞状态，即关态，对外呈现高阻特性。正向转折点(或开启点)发生在 $dV/dI=0$处，在1点处，我们定义正向转折电压 V_s 和开启电流 I_s。

1→2：器件处于负阻区，即当电压快速下降时，电流却继续上升。

2→3：器件处于正向导通状态，即通态，对外呈现低阻特性。在2点处 $dV/dI=0$，我们定义维持电流 I_h 和维持电压 V_h。

0→4：器件处于反向阻塞状态。

4→5：器件进入反向击穿区域。

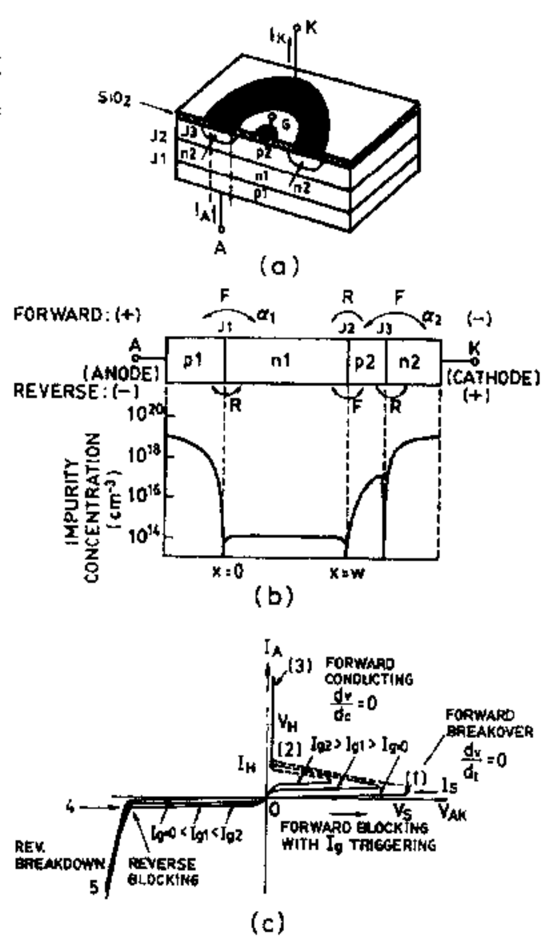


图7-14 (a)平面型三端晶闸管 (b)掺杂分布 (c)不同 I_g(栅偏置电流)触发条件下的 I-V 特性

因此工作在正向区域的 pnpn 二极管是一种双稳态器件，它既能够从高阻低电流的关断状态转变为低阻大电流的导通状态，也可以反过来从导通状态转变为关断状态。

该 pnpn 结构器件还可以工作在三端模式，通过不断增大栅偏置电流 I_g 可以改变其开启特性，使器件在较低的转折电压下进入导通状态。

另一种类型的晶闸管称作绝缘栅双极型晶闸管(IGBT)[2]，能够处理高达1MW 的功率，并能够实现快速的开启和关断，图7-15给出了这种类型器件的结构示意图。从图中可见，该器件由一个 npnp 结构的晶闸管和一个控制器件导通/关断的 MOSFET 所组成。当控制栅上加正向偏压时，沿 SiO_2-Si 界面处的 p 型基区即被反型成为 n 型沟道，从而使器

1) 原文误为电流增益之和。——译者注

2) 原文为 Insulated Gate Bipolar Thyristor，目前更倾向于称 IGBT 为绝缘栅双极型晶体管(Insulated Gate Bipolar Transistor)。——译者注

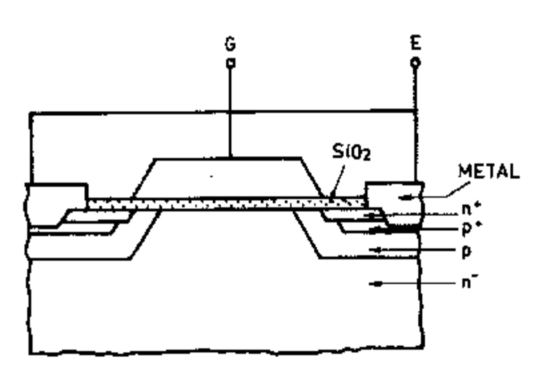


图7-15　2000V 绝缘栅双极型晶闸管(IGBT)，其中栅电极(G)使得其下的 p 型区反型成为 n 型导电沟道，从而使器件进入高度导通状态(Laska 和 Miller，1990)

件迅速进入导通状态。图示的这种器件能够承受高达2000V 的电压，并能够在几个微秒的时间内实现开启，关断的过程更快，在 0.2μs 内即可完成，该器件使用电阻率为 90Ωcm、厚度为350μm 的体硅材料制造，其背面的发射极利用背面浅注入硼形成，没有采用专门的降低载流子寿命的工艺步骤。实际制成的耐压为2000V 的 IGBT 的芯片面积为 6.5mm×6.5mm，在正向导通电流为15A 时的正向导通压降为4.5V。要获得较高的阻塞电压，必须考虑以下两个因素：一是合适的采用多晶硅及铝场板的结终端，另一个就是能够承受2000V 高压的厚度为550μm 的衬底材料。该器件的关断时间为200ns，它能够在20V 的控制栅压作用下将一个短路负载接到1800V 高压上，器件自身的最大极限电流处理能力为160A(570A/cm^2)(Laska 和 Miller，1990)。

•p. 343•

7.2.8　热电子晶体管

热电子晶体管在基本结构上包含以下三个部分：一个利用热电子发射过程向外释放电子的发射极，一个控制发射电流的基极和一个收集由基极通过弹道输运过程发射过来的电流的收集极。

本节将介绍两种热电子晶体管，即双极型反型沟道场效应晶体管(BICFET)和感应基区晶体管(IBT)，这两种器件都可以在硅衬底上通过外延生长 SiGe/Si 层来形成。

非应变层硅和匹配应变层 Ge_xSi_{1-x}之间的能带相互关系决定了 Ge_xSi_{1-x}/Si 材料体系是形成硅基 p 沟道 BICFET 的一种理想材料。由于几乎全部能带偏移量都位于价带处，因而导致在 $x=0.5$时异质结间的 $\Delta E_V=0.37$eV。

图 7-16(a)和(b)分别给出了一个硅基 BICFET 的电荷分布及其纵向的能带结构(Taft 等，1989)，该器件除了一个极窄的区域为 p 型掺杂以外，其余均为 n 型掺杂区。由于 p 型区宽度极窄，因此其所引起的能带弯曲量尚不足以形成一个电中性的空穴导电区，然而负的受主电荷层还是建立了一个热电子发射的势垒，即使在收集极正向偏置时，该势垒也可以避免电子的流动。收集极电流的大小受基区中空穴准费米能级的控制，换句话说，也就是受反型沟道中空穴浓度的控制，它们可以直接影响上述势垒的高度。图7-16(b)还同时给出了器件的掺杂分布和材料组分的变化。

•p. 344•

在窄的 GeSi 层(50—100Å)中尚未产生二维空穴气(2DHG)之前，n^+-i-δp-i-n^+结构首先形成一个如图7-16(a)所示的三角形势垒。当收集极上外加一个相对于发射极为正向偏置的电压时，2DHG 形成同时使负的耗尽层电荷的影响减弱 Δp，由此导致势垒降低 $\Delta\Phi$，并引起发射极发射电子数量的增加。

势垒下降的高度为：

$$\Delta\Phi = L_1 L_2 \Delta p/(L_1 + L_2) \tag{7-15}$$

其中 Δp 即为 V_{EB} 诱发的2DHG 的浓度。流过器件中的电流为：

$$I \propto A^* T^2 \exp[-\Phi_0/(kT)]\exp[\Delta\Phi/(kT)] \tag{7-16}$$

图7-16(c)所示为器件的电流-电压特性，从图中可见，V_{BE} 诱发的势垒降低 $\Delta\Phi$ 的影响是十分明显的。

由于基区中的2DHG 具有较高的导电性，因此这种器件的工作速度较高，电流处理能力也很强。

在 Ge/Si 异质结材料系统上实现感应基区晶体管(IBT)是人们的一个愿望(当然，前提条件是在这类晶格失配的异质结材料系统中必须能够获得高质量的界面)。在这种器件中利用热空穴的注入是有意义的，因为和导带最小值点不同的是，这两种材料的价带最大值点都位于 k 空间同一点(即 $k=0$ 处)。

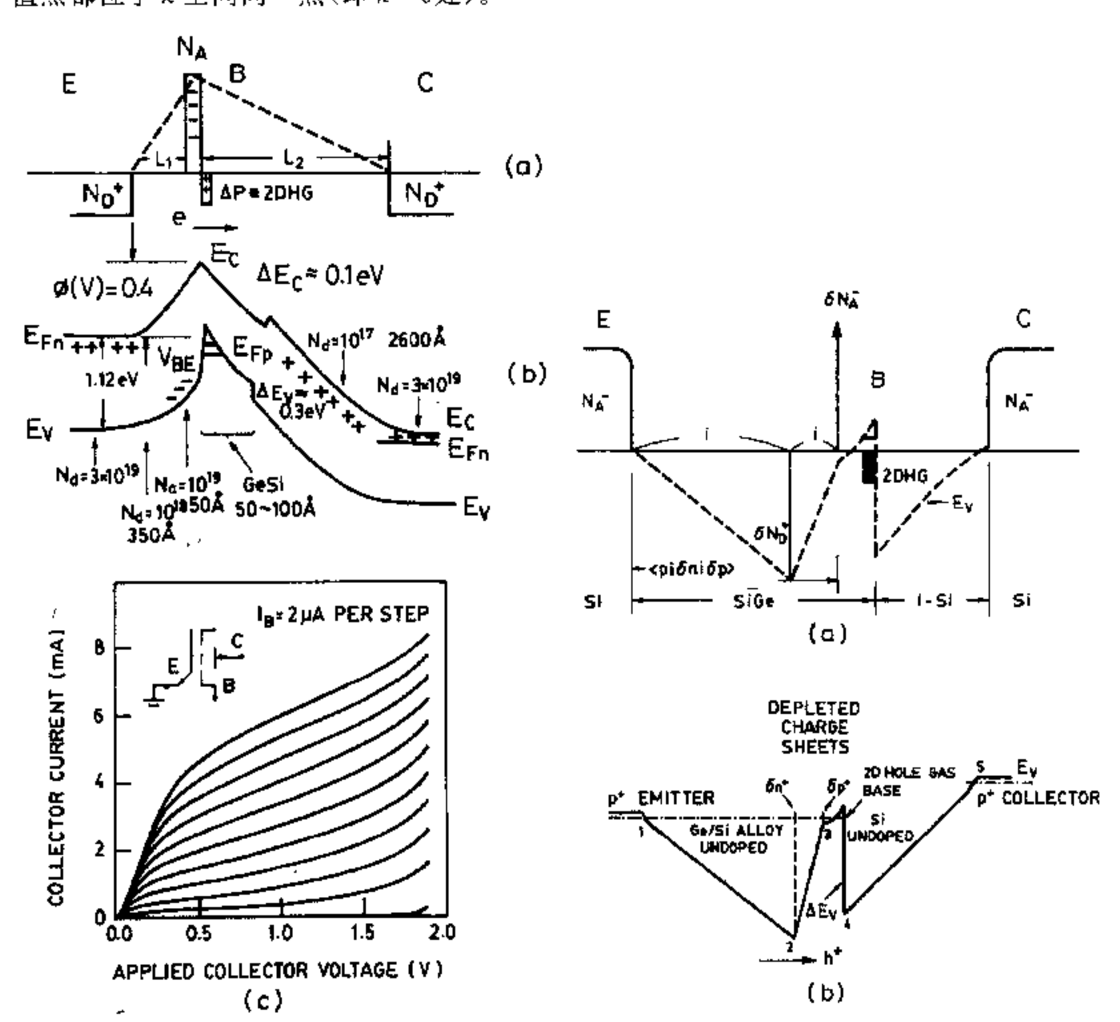


图7-16 双极型反型沟道场效应晶体管(BICFET)。(a)电荷分布，(b)偏置条件下的能带图，(c)I-V 特性，该共发射极特性对应于单一基极接触器件(Taft 等，1989)

图7-17 感应基区晶体管(IBT)。(a)电荷分布，(b)能带图(Luryi，1990)

有关实现 IBT 概念的其它可能途径的讨论，参见 Luryi(1990)和 Chang(1986)。所提出的感应基区晶体管的层次结构及能带图如图7-17所示，其中1～4层为 GeSi 材料，第5层为不掺杂的 Si 层。在 GeSi 材料中，p^+-i-δn^+-i-2DHG 结构形成一个三角形的势垒，在 GeSi-Si 界面处存在能带不连续 ΔE_V。空穴由发射区注入到基区并弹道输运至收集区，2DHG 可引起势垒降低，从而增强空穴的发射。

7.3 场效应器件

7.3.1 金属-硅接触[1]

* ·p. 345·

最早得到系统研究的半导体器件就是金属-半导体接触(1874年由 Braun 完成的)，同时它也恰好是最先获得实用化的一种半导体器件(1904年以点接触型整流器件的形式)。1938年肖特基提出由半导体中固定的空间电荷引起的势垒可导致整流特性，基于这一观点而提出的模型称为肖特基势垒。金属-半导体接触亦可形成非整流特性的接触，即无论外加电压的极性如何，接触电阻的数值均小到足以忽略，这种类型的接触称为欧姆接触。在电子系统中，各种半导体器件及集成电路之间均依靠欧姆接触实现器件之间的互连。

在各类金属-半导体接触系统中，金属-硅接触系统由于其在硅基器件及 VLSI(超大规模集成)电路中所具有的重要性得到了最广泛的研究。

对于工作于室温下的高势垒接触来说，电流输运机理以多数载流子(例如 n 型硅中的电子)越过肖特基势垒的热发射为主；而对于工作于低温下或掺杂浓度较高(杂质原子数 $>10^{18}/cm^3$)的情况，则以场致发射为主。

图7-18 金属硅化物/过渡层/n 型硅系统平衡时的能带图(Sze，1991)

对于经典的金属-硅接触(例如铝-硅接触)来说，金属通常是通过物理(例如蒸发)或化学(例如化学气相沉积)的方式沉积到硅表面的，这种方法存在的一个潜在问题就是金属和硅表面之间的界面处可能会受到沾污。近年来更多地强调采用金属硅化物-硅接触，而不再是传统的金属-硅接触，这类新的接触系统具有下述优点：(1)很多金属硅化物都具有相当低的电阻率；(2)金属硅化物一般形成在原始的硅表面之下，其接触界面处通常没有氧化层、杂质或缺陷的影响。因此金属硅化物-硅接触具有更好的生产可重复性和更高的可靠性。

微观物理研究表明，在金属硅化物和硅接触的界面处存在一个中间过渡层，基于这样的认识已经提出了一个新的金属硅化物-硅接触模型。由硅到金属硅化物之间的逐步转变

1) 有关金属-半导体接触及其它半导体器件的早期研究论文，参见 Sze(1991)。

正是在上述过渡层中完成的。金属硅化物/过渡层/硅三者之间平衡时的能带图如图7-18所示。

金属中电子的势垒高度 Φ_n 即肖特基势垒，由图7-18可得

$$\Phi_n = \Phi_M - \chi/q - (\Delta\Phi)_M - \beta(\Delta\Phi)_M \tag{7-17}$$

其中 Φ_M 为金属的功函数，χ 为电子的亲和能，$(\Delta\Phi)_M$ 为金属表面静电势的变化，β 由下式给出：

$$\beta = (d/\lambda)(\varepsilon_s/\varepsilon_m - 1)^{-1}\ln(\varepsilon_s/\varepsilon_m) \tag{7-18}$$

式中 d 为过渡层的厚度（对 $CrSi_2$/n-Si 接触来说，大约为30Å），λ 为硅化物的穿透深度（对 $CrSi_2$来说为0.5Å），ε_s，ε_m 分别为硅和金属的介质电容率。由于采用了一个与电场相关的势垒高度表达式(7-17)(Sze，1991)，新的接触模型能够解释电流-电压特性的偏置及温度依赖关系。

·p. 346·

7.3.2 同质场效应晶体管

同质场效应晶体管包括 JFET（结型场效应晶体管）、MESFET（金属-半导体场效应晶体管）以及 PBT（可渗透基区晶体管），它们由于采用同质均匀的半导体材料而非异质结材料，从而使得制造工艺简便易行，因为这几种器件对层厚的精确控制和界面状态并没有特别苛刻的要求。JFET 由一个导电沟道和两个欧姆接触组成，它利用反偏 pn 结的耗尽区作为栅电极来调制导电沟道的截面积。MESFET 的工作原理与 JFET 相同，只是 MESFET 采用的是金属-半导体整流接触，而非 pn 结作为栅电极。

硅 JFET 已经广泛应用于多种分立器件和集成电路中，而硅 MESFET 由于很难避免在金属-硅界面处形成自然氧化层，因而制造起来要比硅 MOSFET 困难得多，此外硅 MESFET 未能得到普遍应用，最主要的原因还在于硅 MOSFET 和双极型晶体管已完全可以取而代之了。

硅可渗透基区晶体管（PBT）是一种可在微波频段用来放大模拟信号的高速器件，与 JFET 及 MESFET 等平面型同质场效应晶体管不同的是，PBT 是一种垂直型器件，电流在其内部不是平行于表面流动，而是垂直于硅表面流动。由于硅中电子的有效速度较低，因此硅 PBT 的频率特性要低于其 GaAs 的竞争对手，但是硅 PBT 毕竟还是提供了一种具有先进制造技术和良好热导率的实用化高性能微波器件。

图7-19所示为一个硅 PBT 器件的结构示意图，首先腐蚀出一组深沟槽至 n-Si 层，然后在沟槽之间的横梁上及沟槽底部分别沉积一层金属（例如 Pt），并通过烧结形成硅化物（例如 PtSi）的发射极和基极接触，器件有源区的掺杂及器件之间的隔离采用选择性离子注入来实现。目前沟槽宽度间距周期为0.32μm 的硅 PBT 的最高振荡频率（f_{max}）已高达30GHz，截止频率（f_t）也达到22GHz，

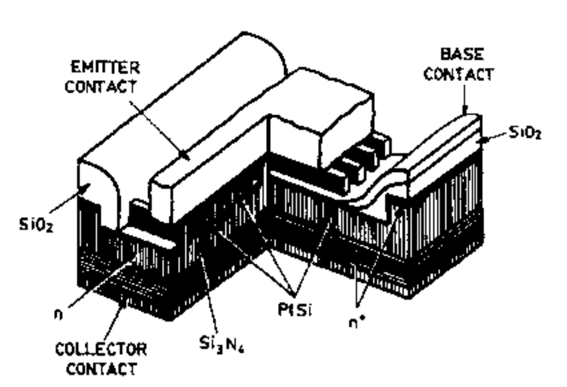


图7-19 硅可渗透基区晶体管（PBT）截面图（Rathman 和 Niblack，1988）

此外硅 PBT 器件的 $1/f$ 噪声较低，应用于低噪声振荡器可获得优异的性能（Rathman 和 Niblack，1988）。

7.3.3 MOS 结构与电荷耦合器件

MOS 二极管是超大规模集成电路（VLSI）中最重要的元件——MOSFET 的核心，同时它在半导体器件物理的研究中亦具有极其重要的地位。近年来，MOS 结构的应用领域更加拓宽，其中的一个应用实例就是用于要求高封装密度和高分辨率的精密机器人系统中的触觉传感器。

·p. 347·

图7-20所示为一个 MOS 结构的传感器单元，其中压敏电容是由下方玻璃衬底上的金属电极和上方两侧薄硅梁支撑起的一个厚的硅中央电极所组成。当有外力施加到中央电极的上表面时，它会引起两侧支撑梁发生弯曲形变，从而改变压敏电容电极间距，进而使电容量发生变化。中央电极上覆盖的介质薄膜可以防止电极短路，并在上极板受到较大外力作用引起两电极相碰时提供内建的过量程保护。

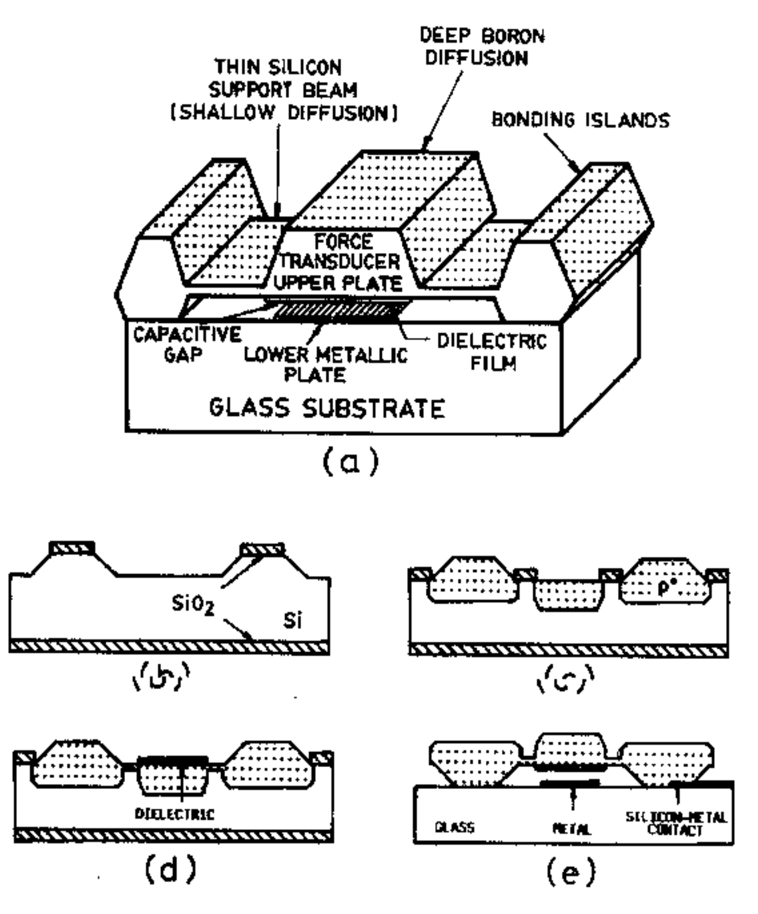


图7-20 MOS 触觉传感器单元的制造工艺：(a)器件剖面示意图，(b)KOH 腐蚀，(c)深硼扩散，(d)浅硼扩散及介质膜沉积，(e)静电压焊键合及最终的晶片腐蚀（Suzuki 等，1990）

上述触觉传感器的制造工艺如图7-20(b)至(e)所示。首先在 p 型〈100〉晶向的硅圆片上生长氧化层，然后沿〈110〉晶向光刻出氧化层掩蔽图形，并利用氢氟酸（HF）腐蚀掉裸露

出的氧化层，再应用 KOH 对硅的各向异性腐蚀特性腐蚀出硅岛，如图7-20(b)所示；接下来热生长一层厚氧化层，并光刻、刻蚀出深硼扩散区，随后进行深硼扩散，扩散的结深即决定了中央电极和键合硅岛的厚度，见图7-20(c)；在除去所有氧化层之后再第三次生长氧化层并光刻、刻蚀出浅硼扩散区，通过浅硼扩散结深确定支撑梁的厚度，最后依次沉积二氧化硅和氮化硅介质薄膜并光刻、刻蚀出保护介质膜，见图7-20(d)。在玻璃衬底上进行金属化并光刻出电极引线，然后将上述硅结构通过静电键合方式倒装压焊在玻璃衬底上，并将整个器件放入 EDP(由乙二胺、邻苯二酚和水组成)腐蚀液中，腐蚀掉低掺杂浓度的硅层后自动终止腐蚀，留下硼掺杂的 p^+ 层，如图7-20(e)所示。

·p. 348·

该 MOS 型触觉传感器结构牢固，对超强外力具有较高的抗损坏阈值。此外，它还具有工作温度范围宽、温度敏感性低(<30ppm/℃)的优点。已经制造出了一个32×32单元的电容性的硅触觉传感器，它的读出速率可以达到每单元15μs，从而使得有效的帧读出速率可达5.1ms(Suzuki 等，1990)。

电荷耦合器件(CCD)从基本结构上讲是一个紧密排列的 MOS 二极管阵列，当外加适当的时钟电压脉冲序列时，MOS 二极管阵列将被偏置于表面深耗尽状态，通过改变阵列上的电势，能够使得势阱中的电荷(代表信息)以受控的方式在硅衬底中得到保存或传输。

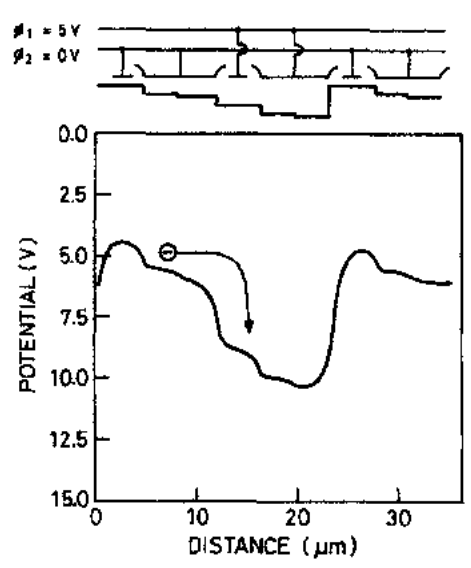


图7-21 阶跃掺杂的电荷耦合器件及计算得到的电势分布，其势垒栅和存储栅的宽度分别为4μm 和7μm(Lattes 等，1991)

通过提高时钟频率、减小时钟电压，已经设计并制造出了具有自建漂移电场的超高速埋沟型 CCD 器件；图7-21为该 CCD 器件的结构示意图及计算得到的其内部电势分布，其势垒栅和存储栅的宽度分别为4μm 和7μm。通过离子注入形成阶跃型掺杂分布可在存储栅下建立起永久性的电势梯度，以改善较高时钟频率下的电荷传输效率(CTE)。该器件首先通过一次均匀的磷注入形成埋沟，然后再进行二次磷注入以获得存储势阱。整个延迟链工作于一个5V 的两相时钟脉冲下，测试结果表明，该 CCD 在高达325MHz 的时钟频率下仍未出现电荷传输效率的下降(CTE>0.99996)，而仅采用均匀掺杂形成存储势阱的相同 CCD 器件，在时钟频率为240MHz 以上时电荷传输效率就开始急剧下降(Lattes 等，1991)。

7.3.4 MOSFET

7.3.4.1 亚微米 MOSFET

金属-氧化物-半导体场效应晶体管(MOSFET)是超大规模集成电路(VLSI，集成度 $>10^5$元件数/cm^2)和特大规模集成电路(ULSI，集成度$>10^7$元件数/cm^2)中最重要的一种器件，它是一个四端器件，如图7-22(a)所示，由 p 型 Si 衬底上的两个 n^+ 区域(源和漏)构

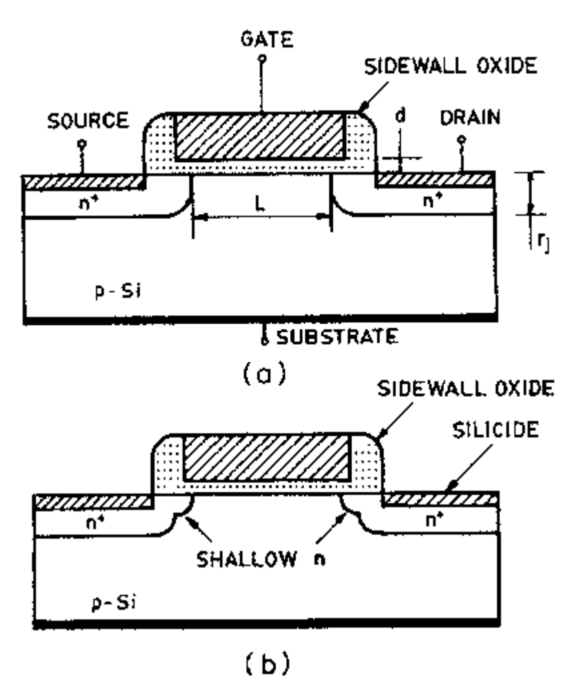


图7-22 (a)具有侧壁间隔层的 MOSFET,(b)具有侧壁间隔层及轻掺杂漏结构的 MOSFET

成(此时称为 n 沟器件;将 n,p 互换后即可得到 p 沟器件),顶部的金属电极称为栅电极,栅电极还可以采用重掺杂的多晶硅或硅化物与多晶硅的复合材料形成。由于在源漏注入时利用栅电极作掩蔽,因此可使源/漏区与栅电极之间形成自对准结构以减小寄生电容。侧壁氧化层的作用是尽可能缩短源漏区欧姆接触与导电沟道的间距同时避免源漏区与栅电极发生短路。

·p. 349·

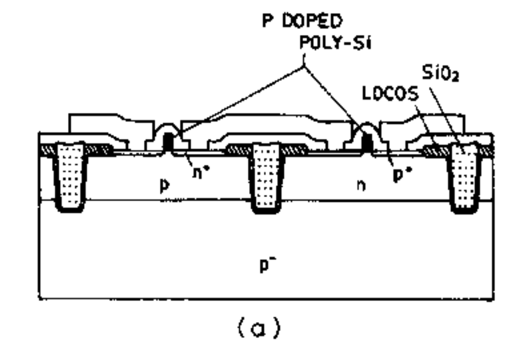
基本的器件参数包括沟道长度 L、栅氧化层厚度 d、pn 结深 r_j 以及衬底掺杂浓度 N。欲使器件沟道长度进一步缩短至亚微米($<1\mu m$)范围,已经提出了很多种方法。下面的经验公式可在 MOSFET 的小型化过程中提供一定的指导作用:

$$L_{min} = 0.4[r_j d(W_s + W_d)^2]^{1/3}(\mu m) \tag{7-19}$$

其中,L_{min}是为保持良好的器件特性所要求的最小沟道长度,W_s 和 W_d 是源漏耗尽区的宽度;式中 W_s,W_d 和 r_j 均以 μm 为单位,d 以 Å 为单位。显而易见,要缩短沟道长度,就必须减小 r_j 和 d 以及耗尽区宽度(Sze,1981)。

当沟道长度进入亚微米领域后,热电子效应又成了一个新的关键问题,即漏端附近获得高能量的电子能够引起器件开启电压的漂移和跨导的退化。为了减弱势电子效应的影响,提出了"漏工程"的概念,其中的一种方法就是采用如图7-22(b)所示的轻掺杂漏(LDD)结构,在该结构中漏区包括一个较浅的轻掺杂 n 型区和一个较深的重掺杂 n^+ 区,通过适当地选取浅 n 型区的掺杂浓度及其延伸长度,可以有效地降低漏区附近的峰值电场,从而减少该处的热载流子的产生(Brews,1990)。

为了能使数以百万计的半导体器件集成在一块 IC 芯片上,还必须使其功耗大大降低。在同一衬底上同时形成 n 沟器件和 p 沟器件的 CMOS(互补 MOS)工艺,以其低功耗的特点已经成为主流技术。图7-23所示为两个亚微米 CMOS 器件的实例。



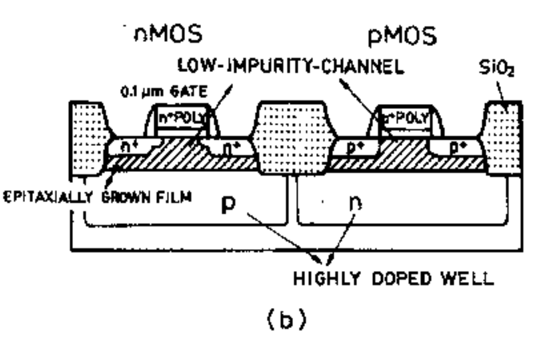


图7-23 (a)亚0.25μm CMOS 器件剖面图(Okazaki 等,1990)。(b)采用低掺杂沟道晶体管的0.1μm CMOS 器件结构(Aoki 等,1990)

图7-23(a)所示器件为p衬底上的双阱结构，两种阱的深度均为2μm，通过高能离子注入形成倒梯度的掺杂分布。采用深2.2μm、宽1μm的沟槽实现不同阱之间的隔离，槽中先利用热氧化工艺生长一层200Å厚的SiO_2，再填充CVD的SiO_2，器件的有源区由硅局部氧化(LOCOS)确定，栅氧化层厚度为35Å。NMOS管采用表面沟型器件而PMOS管则采用埋沟型器件，这样就只需采用单一掺磷的n^+多晶硅栅工艺。倒梯度阱和沟槽隔离技术的引入使得器件抗寄生晶闸管效应的能力大大提高。最后得到的0.22μm栅长MOS器件的跨导分别为450mS/mm(NMOSFET)和330mS/mm(PMOSFET)，2V工作电压下无负载环振电路的门延迟为36ps(Okazaki等，1990)。

·p. 350·

图7-23(b)所示为一个采用低掺杂沟道晶体管的0.1μm CMOS器件工艺，低掺杂沟道区的杂质浓度为10^{16}-$10^{17}cm^{-3}$，比其下高掺杂阱的浓度大约低两个数量级，栅氧化层的厚度为50Å，采用900℃下的快速热退火获得超浅结，结深分别为500Å(NMOS)和1000Å(PMOS)。选择合适的低掺杂层厚度，可以得到较低的开启电压(由于沟道区中低掺杂浓度)和较高的穿通电压(由于阱中高掺杂浓度)。该器件在77K下的亚阈区摆幅因子为40mV/dec(Aoki等，1990)。

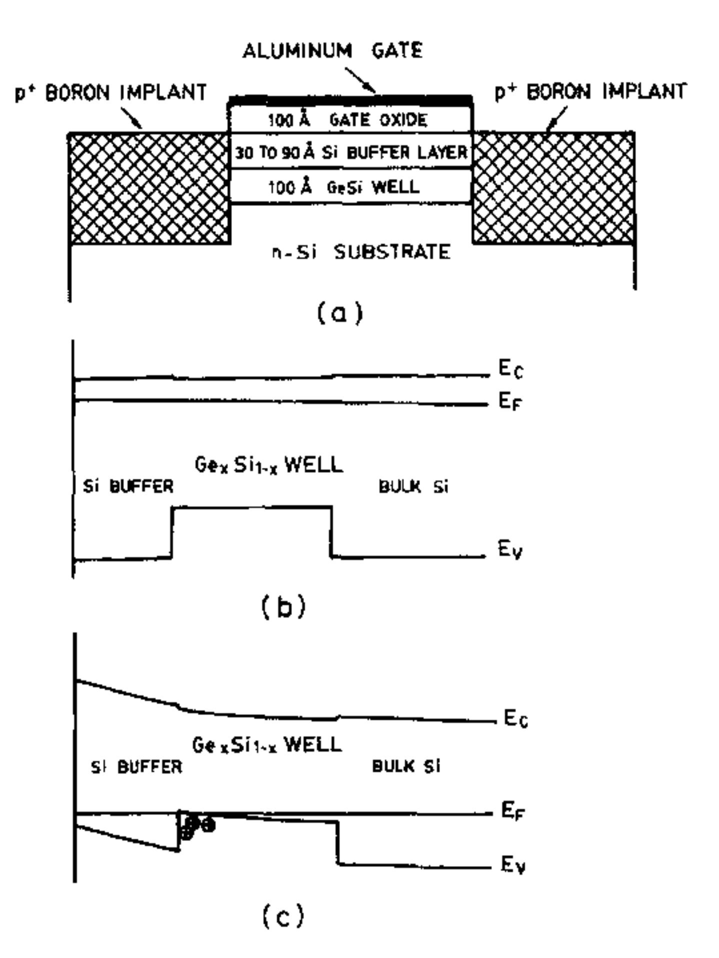


图7-24 (a)具有MOS结构的Ge_xSi_{1-x}器件剖面图。(b)当Si缓冲隔离层厚度为75Å，$Ge_{0.4}Si_{0.6}$量子阱层厚度为100Å时，热平衡状态下器件的能带图。(c)当$Ge_{0.4}Si_{0.6}$量子阱层反型时器件的能带图(Garone等，1990)

CMOS 电路的性能受到其中低跨导的 PMOS 器件的限制，可以通过提高空穴迁移率的办法来改善 PMOS 器件的跨导。一种新的途径就是在 PMOS 器件的栅下形成一个 Ge_xSi_{1-x}埋层，如图7-24(a)所示，先在硅衬底上生长一层100Å的 Ge_xSi_{1-x}层，接着再生长一层30—90Å的硅缓冲层，二者均采用化学气相沉积工艺完成。

图7-24(b)给出了平带条件下硅缓冲隔离层厚度为75Å，$Ge_{0.4}Si_{0.6}$量子阱层厚度为100Å时上述结构的能带图。由于 Si 和 Ge_xSi_{1-x}材料之间能带的不连续性主要体现在价带上，因而形成了一个空穴的量子阱。当栅电极上加负电压时，Ge_xSi_{1-x}层量子阱中就会形成一个反型层，如图7-24(c)所示。数值模拟结果表明，减小 Si 缓冲层厚度，提高 Ge_xSi_{1-x}材料中 Ge 的含量，可使 Ge_xSi_{1-x}层量子阱中空穴的数量达到最大。由于 Ge_xSi_{1-x}材料中空穴的迁移率比 Si 材料高，因此这种 Ge_xSi_{1-x}/Si 异质结构 MOS 器件可望具有较高的跨导，从而改善 CMOS 电路的性能(Garone 等，1990)。

·p. 351·

最近提出了一种将 CMOS 工艺和双极型工艺组合在一起的新颖结构，这种 BiCMOS 工艺能够将二者的优点结合在一起，它既有双极型器件速度快、功率驱动能力强的特点，又具有 MOS 器件工艺简便、集成密度高的优势。图7-25给出了这种具有非重叠结构的超自对准 BiCMOS 器件剖面示意图，双极型晶体管和 MOS 器件的有源区完全相同。该结构允许使用完全硅化物化的多晶硅电极，从而使源、漏以及本征基区的寄生电阻大大减小；MOS 管栅电极和双极型器件的发射区已采取屏蔽保护措施，以避免反应离子刻蚀带来的损伤；所有的浅 pn 结接触均以多晶硅电极的方式形成以减小硅化物诱发的结漏电；采用砷埋层收集区结构减小收集极的串联电阻；以带有多晶硅缓冲层的全凹槽氧化物结构实现低缺陷密度的隔离。由此实现的器件沟道宽长比为10μm/1.1μm 的 CMOS 环振电路的门延迟为128ps，对应的 npn 型双极晶体管的截止频率可达14GHz，双极型器件构成的环振电路的门延迟为87ps。这种 BiCMOS 结构尤其适合于应用在工作频率高达千兆赫兹(GHz)的数字 VLSI 电路中。通过等比例缩小器件尺寸，此类器件的工作速度还可望得到进一步的提高(Chiu 等，1991)。

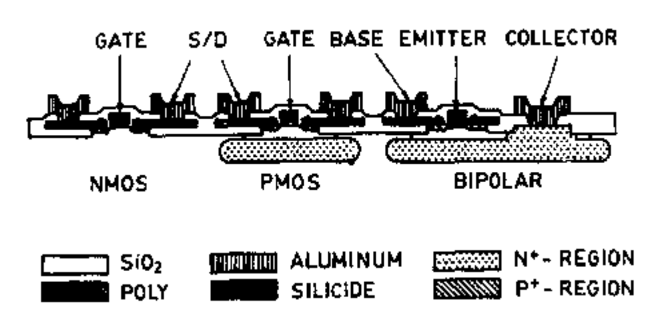


图7-25 具有非重叠结构的超自对准 BiCMOS 器件剖面示意图(Chiu 等，1991)

另一种新颖的组合方式是采用异质外延技术，将硅器件与化合物半导体器件结合起来。然而硅的异质外延目前还存在许多困难，包括晶格失配(GaAs 的晶格常量比 Si 大4%)、热膨胀系数失配(GaAs 比 Si 大2.6倍)以及由于硅表面单原子层递进引起的逆相位无序。已经研究了多种在硅衬底上异质外延生长化合物半导体的方法，同时在硅衬底上制造 GaAs 毫米波集成电路的可行性也得到了证实。

•p. 352•

图7-26给出的硅片剖面结构展示了将GaAs-MESFET和Si-CMOS器件集成在一起的情形。必须先将硅器件制造完毕，因为它们所需的工艺处理温度比起GaAs器件来说要高(Shichijo等，1988)。不难设想，采用异质外延技术将完全有可能在同一硅衬底上实现数字电路和模拟电路、硅器件和非硅器件、电子器件和光电器件的单片集成化，这将创造出一个全新的系统结构，同时也使系统的性能大大增强。

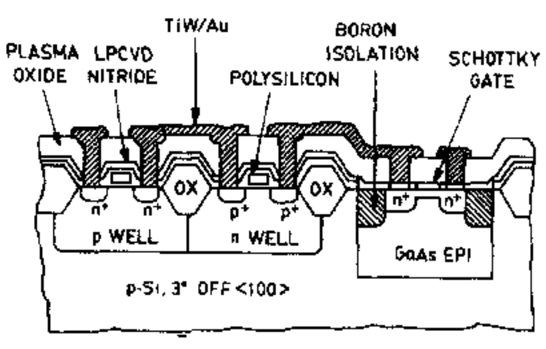


图7-26　将GaAs-MESFET和Si-CMOS器件集成在同一硅晶片上的剖面结构示意图(Shichijo等，1988)

7.3.4.2　SOI器件

当器件尺寸缩小到亚微米范围时，器件之间的间距也必须大大缩小，这样才能真正提高集成度，但是间距太小对器件之间的隔离也提出了更高的要求。对此问题的一种解决办法就是将电路制作在绝缘衬底上。

一种绝缘层上硅(SOI)MOSFET的结构如图7-27所示，其中的MOSFET制作在二氧化硅层之上，因此这种衬底隔离方式就不再需要前面图7-25中所示的n^+埋层了。除此之外，SOI器件还具有很多其它的优点：由于不存在寄生的pnpn结构，因此由SOI器件组成的CMOS电路中不会发生寄生晶闸管效应；SOI器件栅下p型区的体积比常规体硅器件要小得多，在受到高能粒子辐射时产生的电子-空穴对的数量也很有限，因而SOI器件比起常规的MOSFET能够抗得住更高剂量的辐射。

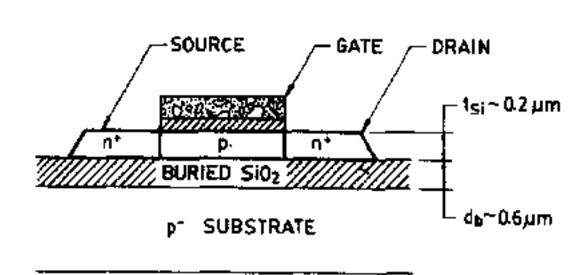


图7-27　制作在绝缘衬底上的MOSFET(Brews，1990)

当硅膜(p型区)完全耗尽时，器件的特性将同时受到上下两面的$Si\text{-}SiO_2$界面的影响，这将降低器件内部的电场，从而使热电子效应和短沟道效应都得到减小。此外，全耗尽还使器件的亚阈区斜率S得到改善，亚阈区斜率S正比于$(1+C_S/C_{OX})$，其中C_S为单位面积硅表面与地之间的电容，C_{OX}为单位面积栅氧化层电容。对体硅或非全耗尽MOSFET来说，

$$C_S = \varepsilon_S / W \tag{7-20}$$

•p. 353•

其中，ε_S为Si的介质电容率，W是表面耗尽区宽度。对于全耗尽器件来说，C_s是三个电容的串联组合：

$$C_S = (t_{Si}/\varepsilon_S + d_b/\varepsilon_{OX} + W_{sub}/\varepsilon_S)^{-1} \tag{7-21}$$

其中，t_{Si}和d_b分别是耗尽硅膜的厚度和底部埋入氧化层的厚度(如图7-27所示)，W_{sub}是底部硅衬底中的耗尽区宽度。如果(7-21)式中的C_S小于(7-20)式中的C_S，则对于相同的C_{OX}来说，SOI器件具有比体硅器件更小的亚阈区斜率S值(Brews，1990)。

SOI 技术存在的主要问题是材料的质量相对较差，原因在于要在绝缘衬底上生长出高质量的硅膜比较困难。制造 SOI 材料的技术包括 ZMR（利用激光束或条状加热器对多晶硅进行区熔再结晶）、FIPOS（多孔氧化硅全隔离）以及 SIMOX（注氧隔离，即向硅中注入氧离子再高温退火形成 SiO_2埋层）。这些技术都还处在发展之中，它们能否获得成功，还取决于其形成的硅膜的质量能否得到进一步的改善。

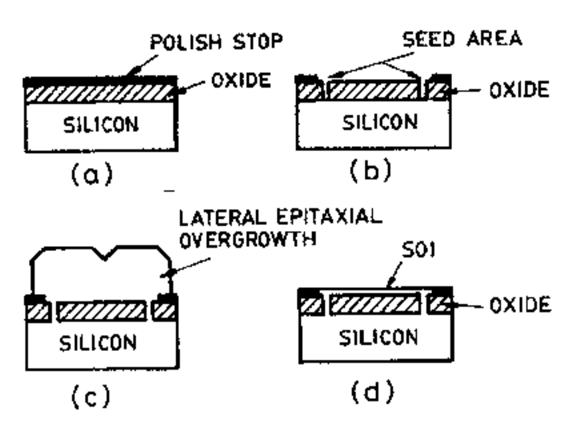


图7-28 采用外延性横向过生长及化学机械抛光技术形成绝缘层上硅（SOI）结构的工艺步骤（Shahidi 等，1990）

已经提出了一种新的制造 SOI 材料的技术，它可以在二氧化硅上形成超薄的、无缺陷的硅膜，该技术应用了硅的外延生长和化学机械抛光两种方法，图7-28给出了其制造过程。首先在硅衬底上热生长一层 SiO_2层（厚度0.3μm），再在其上形成一层抛光终止膜[如图7-28(a)所示]；然后在裸露的氧化层表面开出一些窄缝作为选择性外延生长硅膜的籽晶区[如图7-28(b)所示]；这些窄缝必须沿〈100〉方向以便通过外延及横向过生长获得无缺陷的硅膜，即生长过程由籽晶区域开始垂直向上，同时横向生长覆盖氧化层表面，如图7-28(c)所示；最后采用化学机械抛光工艺减薄硅膜厚度，直至到达抛光终止膜时停止。这种方法可以形成与抛光终止膜厚度相同的 SOI 膜厚[如图7-28(d)所示]。

当 SOI 材料中硅膜的质量与体硅相当时，二者形成的器件特性也基本相同，但由于 SOI 器件具有较好的隔离和更低的寄生电容，因此在 SOI 硅膜上制作的环振比起体硅器件来说，其工作速度有很大改善（例如，对0.5μm 沟长的器件来说，当工作电压为2V 时，其门延迟由120ps 减小为30ps）(Shahidi 等，1990)。

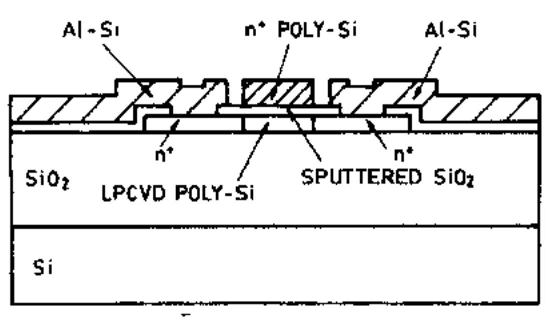
7.3.4.3 **薄膜晶体管**

·p. 354·

薄膜晶体管（TFT）是通过在大面积的玻璃或其它绝缘衬底上淀积非晶或多晶半导体材料而制成的一种 MOSFET，由于其低制造成本的优势，TFT 在有源矩阵液晶显示器、打印头以及图像传感器等方面具有潜在的应用价值。

图7-29给出了一个多晶硅 TFT 的剖面结构，其中的多晶硅膜是采用标准的低压化学气相沉积（LPCVD）技术在绝缘衬底上沉积而成的，这种多晶硅膜中的晶粒直径一般在0.05μm 左右。要增大晶粒尺寸，可以先采用离子沟道技术进行低温籽晶选择，即采用离子注入 Si 的方法使沉积的多晶硅膜无定形化，同时由于离子注入沟道效应的影响，一部分〈110〉晶向的晶粒得以幸存下来；再通过约625℃的退火处理，无定形化的多晶硅膜将从幸存的晶粒处以固相外延方式进行再结晶，由此可以获得尺寸超过1μm 的大晶粒。当 TFT 器件的沟道尺寸缩小到与晶粒尺寸相当时，其特性就会得到显著改善。图7-29(b)给出了小尺寸晶粒和大尺寸晶粒中载流子迁移率的对比，从中可以看到，大晶粒器件的迁移率有明显的增大，尤其是当器件沟道尺寸很小时更是如此。对于2μm 的器件，已经获得了

高达$70cm^2V^{-1}s^{-1}$的迁移率和超过10^8的通态/关态(ON/OFF)电流比(Yamauchi 等，1991)。



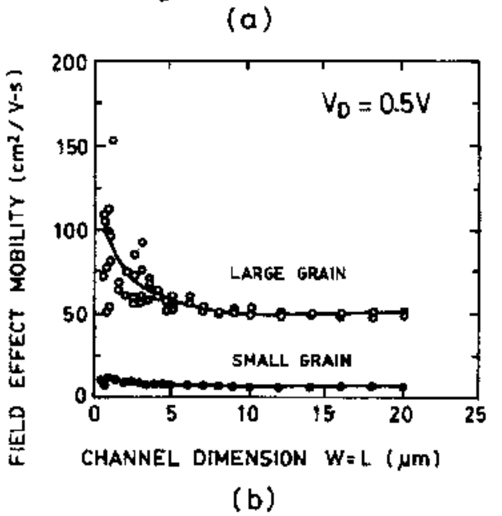


图7-29 (a)多晶硅薄膜晶体管剖面示意图。(b)大晶粒及小晶粒多晶硅膜中场效应迁移率与沟道尺寸的关系(沟道长度=沟道宽度)(Yamauchi 等，1991)

7.3.4.4 非挥发性存储器

非挥发性存储器是一种对栅电极进行了某些特定的改动以使其半永久性地存储电荷的 MOSFET，日前非挥发性存储器(包括可擦可编程只读存储器 EPROM 和电可擦可编程只读存储器 EEPROM)大约占了整个 MOS 集成电路销售量的10%。

最早的非挥发性存储器具有一个夹于两层绝缘层之间的浮栅(即不与外部电压相连接)结构，如图7-30(a)所示，当通过外部的控制栅施加一个高电场时，荷电的载流子就会穿越绝缘层1给浮栅充电，从而引起器件开启电压的变化。由于浮栅上所存储的电荷即使在外加电场撤除之后也很难泄放掉，因此这种器件可以实现非挥发性存储器所要求的双稳态存储特性。

如果浮栅的充电采用雪崩电子注入(在漏端附近)过程实现，我们称之为 FAMOS(浮栅雪崩注入 MOS)非挥发性存储器[如图7-30(b)所示]，由于没有外部的控制栅电极，因此可以通过向器件照射紫外线或 X 射线的方法来使器件恢复到最初的平衡状态。

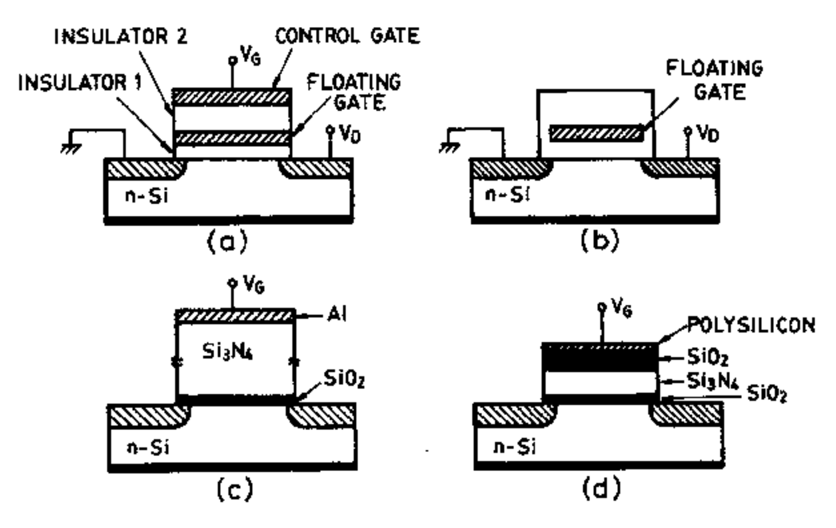


图7-30 非挥发性存储器件。(a)浮栅结构。(b)FAMOS 结构。(c)MIOS 结构。(d)三层介质结构(Libsch 和 White，1990)

·p. 355·

另外一种 MIOS(金属-绝缘层-氧化物-半导体)存储器件具有一种双层介质(Al-Si_3N_4-SiO_2-Si)结构,如图7-30(c)所示,带电载流子可以隧道穿透 SiO_2层后存储于 Si_3N_4-SiO_2界面处。非挥发性存储器目前正朝着进一步增大存储容量、加快存取时间、缩小单元尺寸、降低功耗以及降低工作电压(例如,对微计算机系统来说为5V)的方向发展。已经提出了一种三层介质结构[如图7-30(d)所示],在此结构中,电荷的输运和存储可以采用两种载流子(电子和空穴)同时在体硅衬底和栅电极边界处通过 Fowler-Nordheim 或直接隧道穿透过程的注入来描述。在低电压(±5V)工作条件下,对于隧道 SiO_2层厚度为20 Å、Si_3N_4层厚度为50 Å、顶部的 SiO_2隔离层厚度为35 Å的器件,预期可以获得10年的电荷保存期和10^6的重复擦写次数(Libsch 和 White,1990)

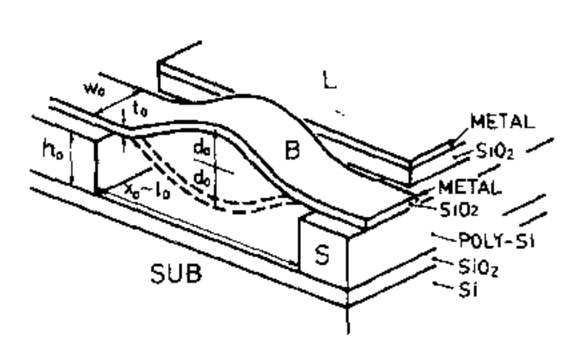


图7-31　由双稳态桥梁(B)、间隔层(S)、衬底(SUB)及横向电极(L)构成的微电子机械类型的非挥发性存储单元示意图(Holg,1990)

还有一种基于微电子机械工作原理的新型非挥发性存储器也已经制造出来。图7-31所示为这种存储单元的结构示意图,该存储单元具有一个桥形微机械结构的导电薄膜,桥形薄膜因受到纵向应力的作用而使桥面发生向上或向下的弯曲,因此该结构是一种机械学意义上的双稳态结构。这种结构可以采用改进的 MOS 工艺制造而成,首先在硅衬底上热生长一层薄的 SiO_2绝缘层并覆盖一层1.5μm 厚的多晶硅间隔层;然后通过光刻掩蔽对多晶硅层进行选择性浓硼注入掺杂,注入掺杂区将被用作后面的腐蚀终止区;通过在多晶硅层上热生长一层 SiO_2后再覆盖一层20 Å的 Cr 金属层形成桥面薄膜材料,并应用光刻、刻蚀工艺制备出桥面结构;最后采用 EDP(由乙二胺、邻苯二酚和水组成)腐蚀液选择性地去除多晶硅间隔层从而形成桥梁间隔,桥下的腐蚀区域由上面提到的硼注入腐蚀终止区确定。

·p. 356·

上述双稳态桥形结构可以完成信息记忆功能,其两种逻辑状态可由桥梁向上或向下弯曲的两种稳定状态决定。信息的写入功能对应于桥梁两种稳定状态之间的转换,这种转换通过在桥梁和衬底或横向电极之间外加电压形成的静电场来实现;信息的读出功能则通过检测桥梁与衬底之间的电容来完成。由上述工作过程可见,这种存储单元是非挥发性的,并且完全不受外部电磁场的影响,其存储的信息可以得到永久性保存。已经获得的状态转换电压为30V 左右,更低的状态转换电压也可望能够实现。由于这种桥梁结构的制造技术与 MOS 器件工艺非常接近,因此这种微机械结构的存储单元有可能与微电子的读/写电路实现单片集成化,从而构成一个完整的存储器件(Holg,1990)。

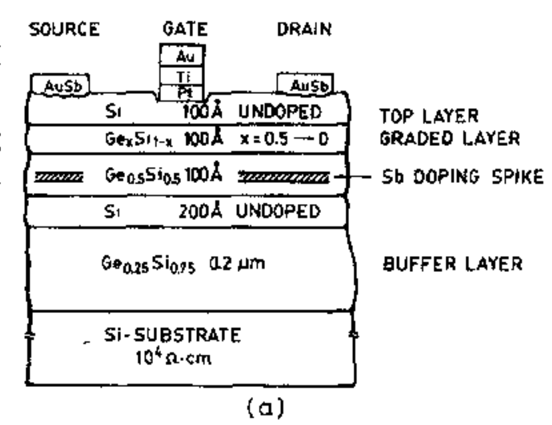
7.3.5 MODFET

在7.2节中我们已经讨论过 Ge_xSi_{1-x}/Si 异质结材料系统,只要当 Ge_xSi_{1-x}层的厚度不超出某个临界厚度(例如,当 $x=0.2$时,临界厚度 L_C 为1600 Å;而当 $x=0.5$时,L_C 则为140 Å)值时,就可以在硅衬底上外延生长出一层无界面失配位错的 Ge_xSi_{1-x}应变层。

我们采用 Ge_xSi_{1-x} 应变层材料结构已经制造出了硅基 MODFET(调制掺杂场效应晶体管),在此器件中二维电子气形成于 GeSi-Si 界面处。该材料结构采用硅 MBE(分子束外延)系统在600℃的外延温度下沿硅衬底(100)晶面生长而成,图7-32(a)给出了这种材料结构的剖面示意图。首先在高电阻率($10^4\Omega cm$)的 p 型硅衬底上沉积一层 $Ge_{0.25}Si_{0.75}$ 缓冲层,随后生长的数层结构中包含一层不掺杂的 Ge_xSi_{1-x} 缓变层,其 x 在100Å的宽度范围内从0.5变化到0,最后在顶部生长一层100Å不掺杂的硅层。采用热蒸发的 AuSb 合金形成源漏欧姆接触电极,栅电极采用电子束蒸发的 Pt/Ti/Au 叠层结构组成,其厚度分别为1000Å/1000Å/1500Å,器件的栅长和栅宽分别为1.6μm 和160μm,源漏之间的间距为5μm。

·p. 357·

这个 n 沟 MODFET 的能带图如图7-32(b)所示,其中的2DEG(二维电子气)形成于和 $Ge_{0.5}Si_{0.5}$ 层相邻的不掺杂 Si 层中。由于采用了 Ge_xSi_{1-x} 缓变过渡层,因而避免了在靠近表面处形成第二个量子阱。该器件表现出了很好的场效应晶体管特性,其跨导为70mS/mm;靠近异质结界面处电子的迁移率为$1550cm^2V^{-1}s^{-1}$;器件的截止频率为2.2GHz。这些性能参数均高于相应的硅 MESFET 器件,表明在 MODFET 中电子的输运特性有所改善。对器件结构参数作进一步的优化之后还有可能获得更高的跨导和截止频率。硅 n 沟 MODFET 还可以与硅 p 沟 MODFET 结合起来,从而构成高性能的硅互补型逻辑电路(Daembkes 等,1986)。



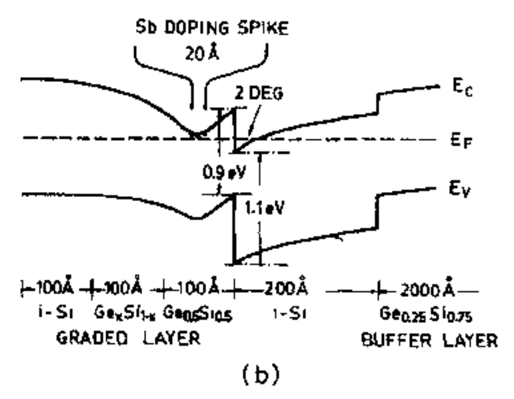


图7-32 (a)GeSi/Si MODFET 剖面结构图。(b)热平衡时 n 沟 MODFET 能带图(Daembkes 等,1986)

采用 MBE 技术还可以制造出一种具有应变层控制 Ge 沟道的 p-$Ge_{0.5}Si_{0.5}$/Ge/$Ge_{0.75}Si_{0.25}$ 结构的 MODFET,该器件的剖面结构如图7-33所示。首先采用 MBE 技术在(100)晶向的 Ge 衬底上外延生长一层厚度为0.5μm 的 $Ge_{0.75}Si_{0.25}$ 缓冲层,随后在这层缓冲层上依次匹配地生长一层 Ge 薄膜(200Å)和一层 $Ge_{0.5}Si_{0.5}$ 薄膜(150Å)。由于掺杂的缘故,Ge 原子被吸收到 $Ge_{0.5}Si_{0.5}$ 层表面。最后沉积一层 $Ge_{0.5}Si_{0.5}$ 薄膜(150Å)。p-$Ge_{0.5}Si_{0.5}$ 和 Ge 之间异质结界面处的应变层受 Ge_xSi_{1-x} 缓冲层的控制,适当选取 x 的值可使异质结界面处

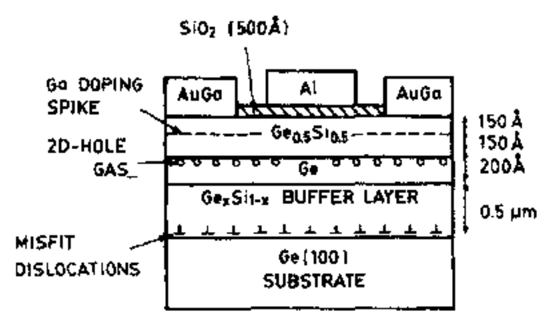


图7-33 应变层控制 Ge 沟道的 MODFET 剖面示意图(Murakami,1991)

价带的突变量达到最大，从而可以聚集充足的二维空穴气。当 x 取为0.75时，可使空穴的迁移率达到最大，已经获得的 p 沟 MODFET 器件在77K 下其空穴迁移率高达 $9000cm^2V^{-1}s^{-1}$（Murakami 等，1991）。

7.3.6 微真空场致发射器件

由散射效应引起的载流子速度饱和是限制高速半导体器件性能的主要因素之一。然而在真空中情况则完全不同，此时载流子的运动速度可以大大提高，仅仅受到相对论效应的限制，因此微真空器件变成了一个重要的研究领域。

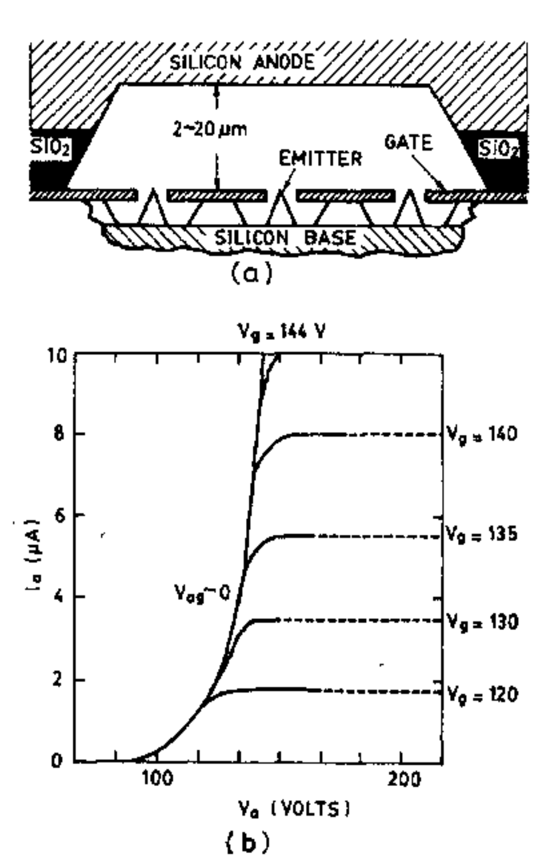


图7-34 (a)具有近间隔硅阳极的微真空三极管。(b)微真空三极管的电流-电压特性(Holland 等，1990)

图7-34(a)所示结构是一个微真空三极管，它是由采用金属钼(Mo)制作的场致发射阴极和与其紧邻的采用微细加工技术形成的硅阳极所共同构成。该阳极采用〈100〉晶向的 p^+ 硅圆片制作，首先热生长一层2μm 厚的氧化层，并以2.5mm 的中心距光刻出一组宽度为1.25mm 的平行于〈111〉平面的线条；然后利用 KOH 对硅的各向异性腐蚀特性将上述图形转换至硅片上，腐蚀的深度为发射极至阳极的间距(可深至20μm)；在进行划片分割之后，将阳极硅芯片安装定位使其上的 SiO_2 层跨立在发射极区域上，阳极依托 SiO_2 层支撑在栅电极上；最后通过硅芯片背面镀敷 TiW 层完成阳极电极的引出。

·p. 358·

图7-34(b)给出了发射极与阳极间距为8μm 的微真空三极管的一组电流-电压特性曲线。对于具有2500个阴极发射尖端的器件，实测的跨导为1μS；每个发射尖端的平均电流为4nA；在60V 电压下器件的渡越时间为4×10^{-12}s。采用硅阳极的优点在于可使阳极与发射极间距较小，从而可以使用较低的阳极电压。然而要进一步改善器件的跨导和发射极电流，还有许多的研究工作需要开展(Holland 等，1990)

图7-35给出了一个硅雪崩冷阴极器件的剖面图。该器件通过在〈100〉晶向的 p^+ 硅衬底上生长一层 p 型外延层(4Ωcm)而形成。发射的电流采用一个不锈钢的阳极电极在距阴极1mm 处测得。采用标准的集成电路工艺技术(包括 B，As，P 离子注入)来制作冷阴极。As 注入的峰值浓度位于硅片表面下120Å 处，其结深为300Å。

·p. 359·

当器件被反向偏置在雪崩击穿状态时，反向电流 I 将线性增加。发射电流 I_D 随着 I_E 的增加也将近似地线性增加。发射效率 η 定义为 $I_E/(I_D+I_E)$。对于一个直径40μm 的阴极

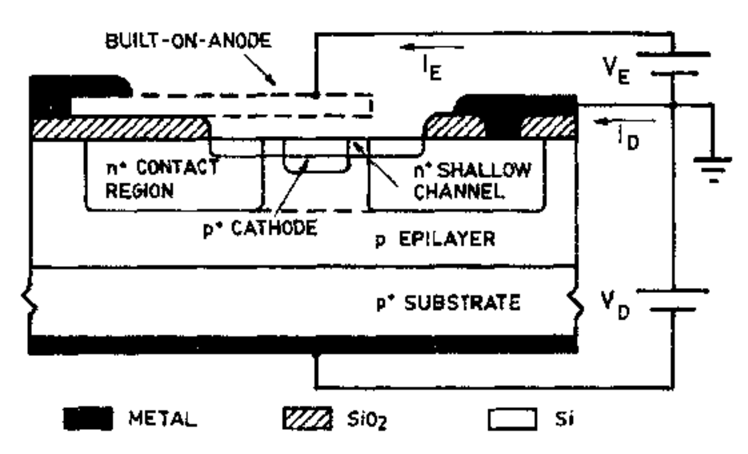


图7-35 硅雪崩冷阴极器件剖面示意图(Ea,1990)

来说,当反偏电压为6.2V、阳极电压为500V时,η为2×10^{-5}。当阳极电极采用多晶硅悬臂结构并使其距发射阴极仅1—2μm时(如图7-35中虚线所示),阳极电压可降低至1V,发射效率也会提高。由于这种多晶硅悬臂结构的阳极面积较小(2μm×20μm),预计其构成的电容只有零点几个皮法拉,因此有可能使器件的渡越时间减小到亚皮秒的数量级(Ea,1990)。

7.4 量子效应器件

7.4.1 引言

场效应晶体管中的量子化效应最初是于1966年在MOSFET中观察到的(Fowler等,1966),NMOSFET中的二维电子气(2DEG)和PMOSFET中的二维空穴气(2DHG)出现在硅中靠近SiO_2-Si界面处的三角形势阱中。

现代的光刻技术已经能够制造出沟道长度和沟道宽度均为0.1μm的MOSFET。如果界面态的密度为$10^{10}/cm^2$,那么我们将会发现,在这种极小尺寸MOSFET的沟道中将仅存在"一个"界面态。最近已经观察到了单电子陷阱的现象。采用量子线作为MOSFET的沟道(例如,当MOSFET的沟道长度为1μm、沟道宽度为10nm时),已经揭示出了许多有趣的物理现象(Pepper,1990)。此外,利用共振隧道现象还可以制造出许多不同的应用结构,诸如有效质量滤波器(Gennser等,1990)、能量滤波器(Gennser等,1990),以及波函数滤波器(Rajakarunanayak,1989)等等。

近来GeSi工艺技术的发展已经可以用来制造出量子阱、量子线甚至量子点器件。例如,已经研制出了共振隧道器件(Takeda等,1990);多量子阱结构器件显示出了很好的红外探测能力(Kesan等,1990);共振热电子晶体管也已研制成功(Rhee等,1989)。所有这些器件都将在下面的几节中给出。

7.4.2 量子阱、线、点

在三维情形下,能量E与波矢$k_\perp$,$k_\parallel$的关系可以表示为:

$$E(k_\perp,k_\parallel)=\hbar^2k_\perp^2/(2m_\perp)+\hbar^2k_\parallel^2/(2m_\parallel) \tag{7-22}$$

其中，$k_\perp$是与 $k_\parallel$相垂直的波矢，$m_\perp$和 $m_\parallel$分别是相应方向的有效质量。

然而在一个量子阱中，一个驻留电子的波函数是确定的，也就是说它的能量沿着与阱平面垂直的方向(即实空间中沿 z 方向或者 k 空间中沿 $k_\parallel$方向)是量子化的。

其波矢 $k_\parallel$可表示为：

$$k_\parallel = l\pi/L_Z \qquad l = 1,2,3,\cdots \tag{7-23}$$

因此其能带(导带或价带)中的 E-k 关系由下式给出：

$$E(k_\perp, l) = \hbar^2 k_\perp^2/(2m_\perp) + \hbar^2 l^2/(m_\parallel L_Z^2) \tag{7-24}$$

对于其它低维系统，上述关系还可以进一步简化为一维或零维形式，此时横向波矢 $k_\perp$也将进一步量子化。

一般而言，d 维空间中的态密度 DOS(Density of states)可以求得。在 k 空间中单位体积的状态数为$(2\pi)^d$，其中 d=维数。k 空间中体积 $V_k^{(d)}$ 内的状态总数为

$$Z = V_k^{(d)}/(2\pi)^d \tag{7-25}$$

·p. 360·

对于各向同性的有效质量 m，E-k 关系可表示为：

$$E = \hbar^2 (k_x^2/m_x + k_y^2/m_y + k_z^2/m_z)/2 = \hbar^2 k^2/(2m)$$

因此单位能量间隔内的态密度(DOS)为：

$$\rho(E) = \mathrm{d}Z/\mathrm{d}E = (\mathrm{d}Z/\mathrm{d}k)/(\mathrm{d}E/\mathrm{d}k) \qquad \text{状态数 /(}k\text{ 空间体积·能量)} \tag{7-26}$$

例如，对于三维(3D)系统，具有与自由电子类似的自旋，因而

$$Z = 2 \times (4/3)\pi k^3/(2\pi)^3$$

$$\mathrm{d}Z/\mathrm{d}k = 8\pi k^2/(2\pi)^3$$

$$\mathrm{d}E/\mathrm{d}k = \hbar^2 k/m$$

$$k = (2mE)^{1/2}/\hbar$$

$$\rho_{3D}(E) = 2^{1/2}m^{3/2}E^{1/2}/(\pi^2\hbar^3) \tag{7-27}$$

由此可见，在三维系统中，态密度(DOS)正比于能量的平方根。

而在二维(2D)系统中，则有

$$Z = 2\pi k_\parallel^2/(2\pi)^2$$

$$\mathrm{d}Z/\mathrm{d}k_\parallel = 4\pi k_\parallel/(2\pi)^2$$

$$E = E_0 + \hbar^2 k_\parallel^2/(2m_\parallel)$$

$$\mathrm{d}E/\mathrm{d}k_\parallel = \hbar^2 k_\parallel/m_\parallel$$

$$\rho_{2D}(E) = [4\pi k_\parallel/(2\pi)^2] \times [m_\parallel/(\hbar^2 k_\parallel)] = m_\parallel/(\pi\hbar^2) \tag{7-28}$$

由上式可见，二维系统中的态密度(DOS)与能量无关。

对于多能谷半导体材料，以 ξ_V 代表能谷简并度，则有

$\rho_{2D}(E) = \xi_V m_\parallel/(\pi\hbar^2)$

$=1.587 \times 10^{11}(\xi_V/2)(m/m_0)/0.19$ (/cm²meV) 对于(100)晶向 Si

$\cong 2.8 \times 10^{10}$ (/cm²meV) 对于 GaAs

在一维(1D)系统中有

$$E = E_0 + \hbar^2 k_\parallel^2/(2m_\parallel)$$

$$Z = 2(2k)/(2\pi)$$

$$dZ/dk = 4/(2\pi)$$

$$\rho_{1D}(E) = 2^{1/2} m^{1/2} E^{-1/2}/(\pi\hbar) \tag{7-29}$$

在一个零维(0D)系统中,态密度变成了位于每一个量子态的 δ 函数。在三维、二维、一维以及零维系统中,态密度分别如图7-36(a),(b),(c),(d)所示。

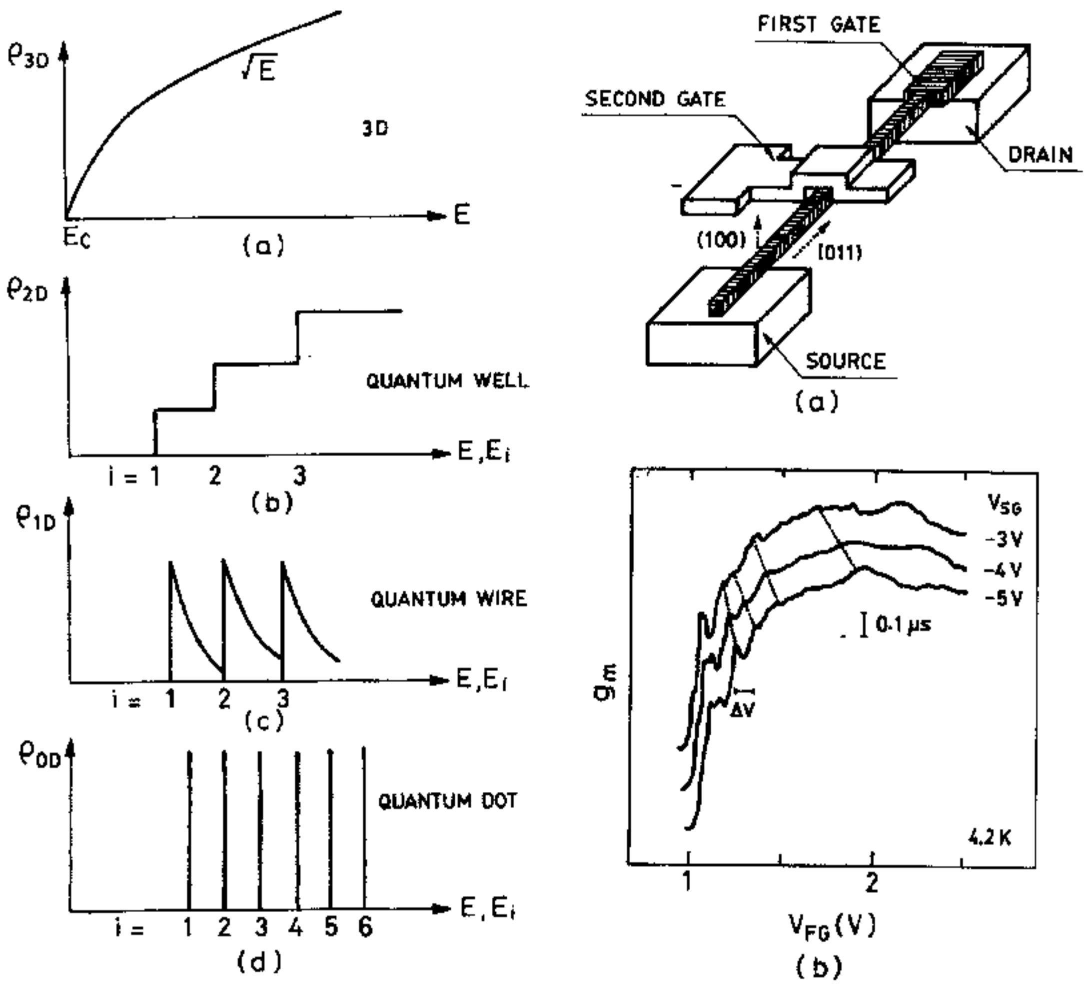


图7-36 (a)零维、(b)一维、(c)二维、(d)三维系统中的态密度

图7-37 量子线沟道 MOSFET:(a)器件结构;(b)硅中窄反型导电层表现出的跨导振荡现象

前面几节中我们已经看到,在硅系统中可以形成二维电子气(2DEG)或二维空穴气(2DHG)。而且如图7-37(a)所示的量子线沟道 MOSFET 也已经制造出来(Takeda 等,1990),该器件具有两个采用电子束光刻形成的栅电极,第一栅极和第二栅极,它们的宽度介于0.1μm 到1.0μm 之间,从源到漏之间的沟道长度为2μm。

在栅氧化层厚度为10nm 的第二栅极作用下形成了很窄的导电沟道。在图7-37(b)中,器件的跨导($g_m = \partial I_{ds}/\partial V_{FG}$)特性曲线表现出了振荡特性和负微分电阻现象,这意味着器件中出现了共振输运现象。

·p. 361·

采用下述工艺步骤可以制造出量子点结构。如图7-38所示,首先采用分子束外延(MBE)或超高真空化学气相沉积(UHV/CVD)技术在硅衬底上交替沉积出 Si 薄膜和

GeSi 薄膜层;腐蚀出台面后,利用低温氧化工艺,例如高压氧化(HIPOX)或等离子增强化学气相沉积(PECVD),在表面形成一层 SiO_2;最后在氧化层上形成窄的栅金属条。如果器件三个方向的长度 L_x,L_y,L_z 都小于德布罗意波长(在300K 温度下约为200Å),就构成了一个量子点结构。

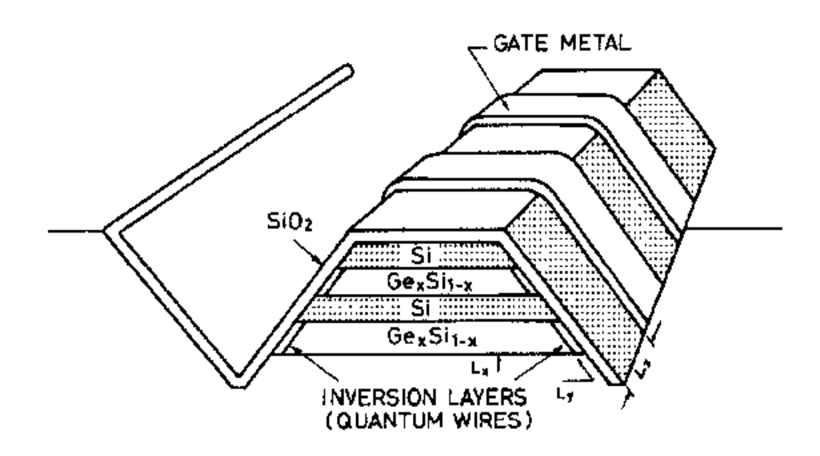


图7-38 一种量子点结构示意图

7.4.3 共振隧道二极管

图7-39所示为一个双势垒量子阱(DBQW)中的量子态,其中的共振现象与光线通过法布里-珀罗(Fabry-Perot)干涉仪的共振传输现象十分类似。在双势垒量子阱中,电子波的行为与光波相似。

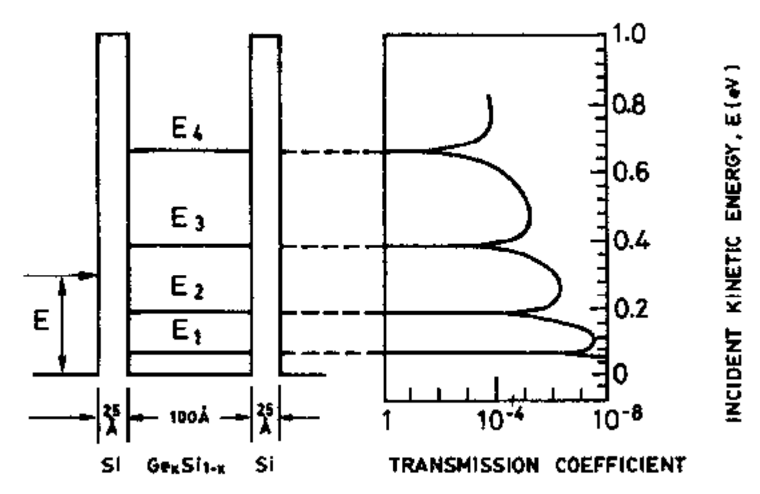


图7-39 双势垒共振隧道二极管(DBRID):(a)量子阱中的量子态;(b)透射系数与能量的关系(Luryi,1990)

•p. 362•

考虑一个能量为 E 的电子入射到一维双势垒量子阱中,当能量 E 与量子阱中的某一能级 E_i 相符合时,由于多次反射的作用,量子阱中电子的德布罗意波的振幅将会增大,电子波在势垒两边的泄漏将会使反射波抵消,同时使传输波增强。在接近共振状态时,有(Luryi,1990)

$$T(E) = 4T_1T_2\gamma^2/\{(T_1 + T_2)^2[(E - E_i)^2 + \gamma^2]\} \quad (7\text{-}30)$$

其中 T_1和 T_2分别是两边势垒在能量 $E=E_i$ 时的透射系数，$\gamma\equiv h/\tau$ 是共振态的寿命宽度[在准经典的情形下，$\gamma\cong E_i(T_1=T_2)$]。在无反射的情形下，具有两个理想势垒($T_1=T_2$)的量子阱系统对于以共振能量入射的电子来说是完全透明的，在透射系数与入射能量的关系图上即表现为一系列的尖峰，如图7-39(b)所示。

已经制造出了 GeSi/Si 双势垒共振隧道二极管(DBRTD)(Rhee 等，1988)，图7-40(a)给出了该器件的价带势垒图，图7-40(b)是其电流-电压特性曲线。由此图可见，在4.2K 和77K 温度下，均可在大约300meV 的位置处清晰地观察到共振隧道峰，该峰起因于通过轻空穴基态能量 $E_{l_{h1}}$ 的隧道穿透(有关高能量情形，图中未给出)。

·p. 363·

由于较大的隧穿有效质量的影响，重空穴的基态 $E_{h_{h1}}$ 只有通过测量 dI/dV 或 d^2I/dV^2特性才能观察到。在较高的偏置条件下，通过测量 dI/dV 特性还可以在900meV 的位置处观察到由于重空穴的第一激发态能量 $E_{h_{h2}}$引起的第二个峰(Rhee 等，1988)。

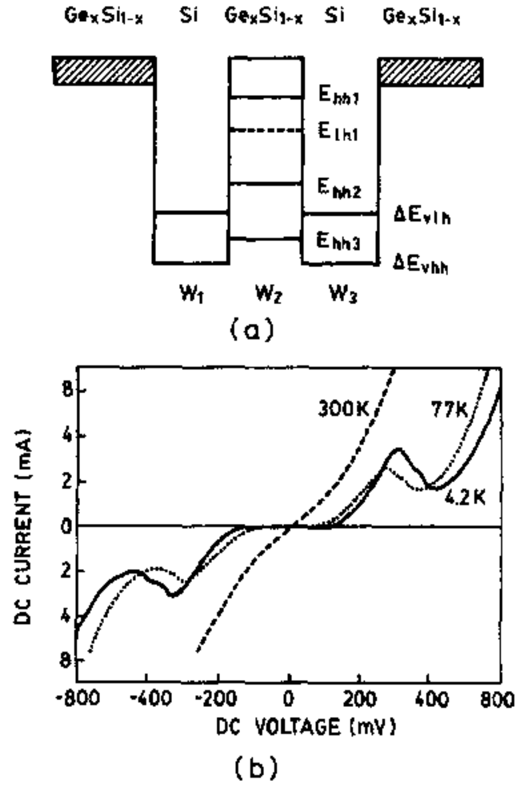


图7-40 (a)双势垒二极管能带示意图，实验中所用器件结构参数为：$W_1=W_3=50$A，$W_2=40$A，$x=0.4$。(b)该器件在三种不同温度下观察到的电流-电压特性

7.4.4 多量子阱探测器

Si-Ge 异质结构的出现使得实现硅基1.3μm 波长的光电探测器成为可能。采用绝缘层上硅(SOI)结构，底部的隐埋氧化层构成了一个低指数的限制区域，从而使得其上的硅层成为有效的光波导层，采用硅横梁作为光波导，如图7-41(a)所示，将一个多量子阱(MQW)层嵌入 p-i-n 结构中，28个周期的40A$Si_{0.4}Ge_{0.6}$/210ASi 超晶格层等效于平均 Ge 组分为10%，室温时该探测器在10V 反偏电压下的量子效率与光波长之间的关系如图7-41(b)所示，从图中可见，在1.1μm 波长位置处可获得50%的内部量子效率，脉冲响应时间为100ps(Kesan 等，1990)。

7.4.5 共振隧道热电子晶体管

·p. 364·

当把一个双势垒共振隧道二极管(DBRTD)嵌入$p^+(Ge_{0.4}Si_{0.6})$-DBRTD-$p^+(Ge_{0.5}Si_{0.5})$基区-i$(Ge_{0.2}Si_{0.8})$-$p^+(Ge_{0.4}Si_{0.6})$结构时，就形成了一个热电子晶体管(HET)。热电子晶体管的电流-电压(I-V)特性曲线上表现出负微分电阻(NDR)的现象(Rhee 等，1989)。

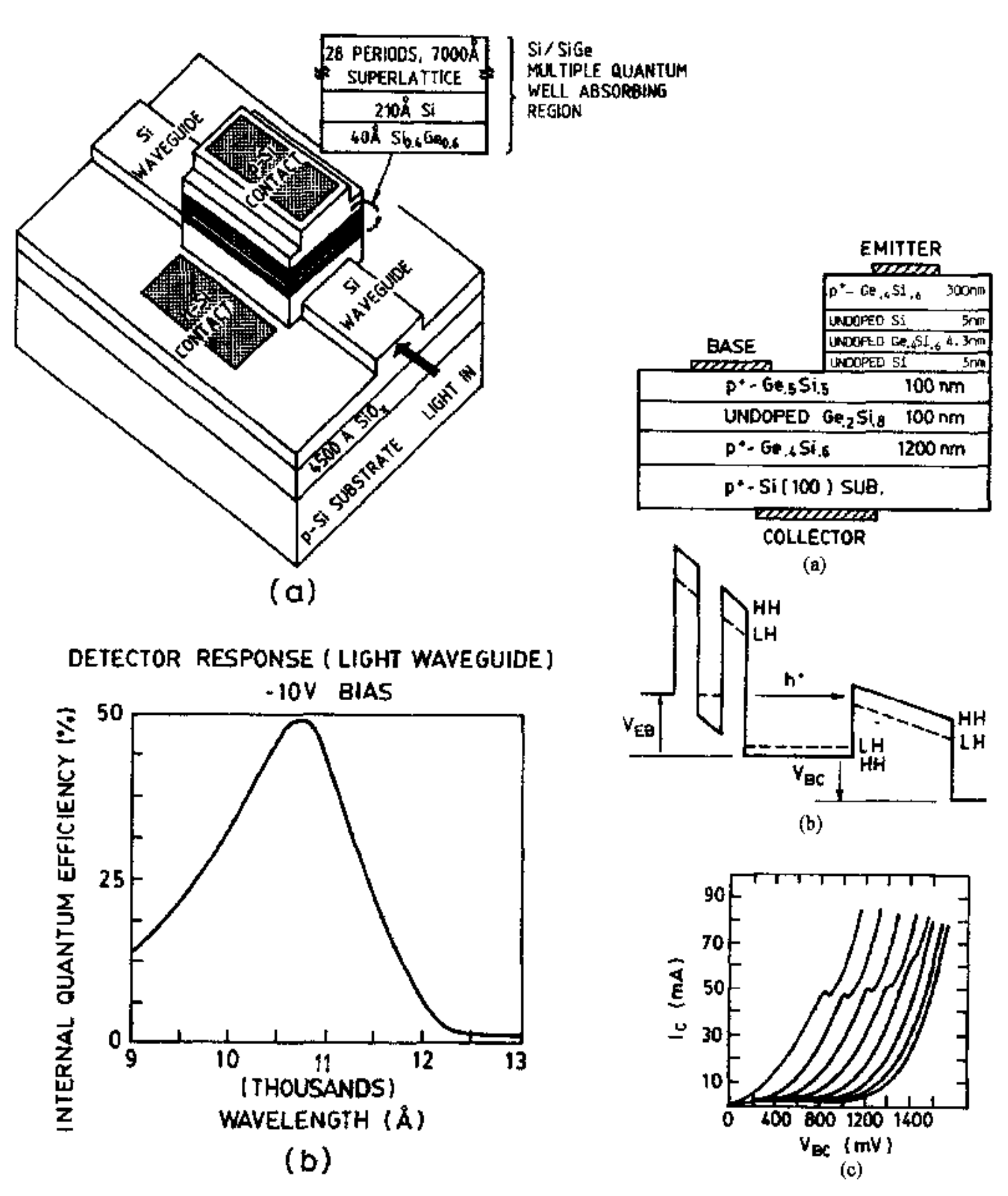


图7-41 (a)将多量子阱(MQW)吸收层嵌入硅横梁光波导 p-i-n 结构中的光探测器几何构造及外延层结构示意图。(b)器件内部量子效率与光波长的关系(Kesan 等,1990)

图7-42 共振隧道热电子晶体管。(a)GeSi 共振隧道热空穴晶体管剖面图,(b)偏置条件下通过量子阱中轻空穴的基态能级发生隧穿效应时器件的能带图,(c)器件的 I-V 特性(Rhee 等,1989)

鉴于其高速的隧穿能力和负微分电阻特性,此类器件若能与硅基集成电路结合在一起,将会在高速数字电路、倍频器、多值逻辑电路以及可调谐振荡器与放大器等领域获得应用。

热电子晶体管材料样品是采用 p 型(100)硅衬底材料在硅分子束外延(MBE)设备的腔体中生长形成的,样品的清洁处理及详细的生长过程可见参考文献(Rhee 等,1990)。图 7-42(a)给出了共振隧道热电子晶体管的结构。由两层50Å的硅层中间夹有一层43Å的

$Ge_{0.4}Si_{0.6}$量子阱构成的双势垒结构组成器件的发射极；一层1.2μm 厚的 $Ge_{0.4}Si_{0.6}$缓冲层用作器件的收集极，收集极势垒由1000Å的 $Ge_{0.2}Si_{0.8}$层形成；由1000Å的 $Ge_{0.5}Si_{0.5}$材料构成的基区则夹在双势垒量子阱发射极与收集极势垒之间。整个器件除了收集极势垒层和双势垒共振隧道结构层中不掺杂以外，其余部分的掺杂浓度均为$1\times10^{18}cm^{-3}$左右。材料生长过程中保持衬底温度在530℃左右。发射极和基极接触采用标准的光刻技术以及选择性湿法腐蚀工艺实现。

·p. 365·

图7-42(b)给出了器件价带偏移量以及量子阱中轻空穴基态束缚能的示意图。为方便起见，空穴的能量取为正值，且各量均以 $Ge_{0.4}Si_{0.6}$非应变层的价带边为参考点。收集极势垒层和发射极共振隧道双势垒层由于受到层面内拉伸应变的影响，引起重空穴的带边高于轻空穴的带边；而在基区中，由于压缩应变的作用，重空穴的带边则要低于轻空穴的带边。在 $Ge_{0.4}Si_{0.6}$非应变层中，轻、重空穴的能带发生简并。轻、重空穴要从收集区运动到基区必须克服的势垒高度分别为106meV 和155meV；反之，从基区向收集区运动的轻、重空穴要克服的势垒高度则分别为137meV 和208meV。由于收集区中轻、重空穴的能带发生简并，而轻空穴的势垒高度又比较低，因此从收集区流向基区的电流绝大多数为轻空穴电流。

轻空穴由收集区进入基区要克服的有效势垒高度为106meV，而重空穴由基区进入收集区要克服的有效势垒高度为208meV。由于势垒高度不等，基极和收集极之间必然会产生非对称的 I-V 特性。在双势垒量子阱发射极中，轻、重空穴的势垒高度分别为211meV 和315meV。量子阱中重空穴有三个束缚能态，而轻空穴则只有一个束缚能态。器件的负微分电阻特性正是由于轻空穴通过其距量子阱底部61meV 处的基态能级的隧穿效应引起的。

图7-42(b)给出了在外加偏置条件下器件的能带图。当发射极相对于基极加上正向偏压时，空穴将通过双势垒共振隧道发射极注入到达基区，并具有比 $Ge_{0.5}Si_{0.5}$基区价带边最高位置还要高的额外能量，于是注入基区的空穴将以近乎弹道输运的方式到达收集区。由1000Å的 $Ge_{0.2}Si_{0.8}$层构成的收集极势垒层一方面避免了当外加 V_{BC}偏置电压时基区价带中的空穴向收集区的注入，另一方面又允许由发射区注入的热空穴能够继续输运至收集极(假定这些热空穴的能量高于收集极势垒的高度)。

图7-42(c)给出了温度为77K 时不同 V_{EB}条件下收集极电流(I_C)与基极-收集极间电压(V_{BC})之间的变化关系，最右边的曲线对应于 $V_{EB}=0$的情形，其余的曲线 V_{EB}依次递增0.2V。当 $V_{EB}=0$时，没有出现负微分电阻的现象，因为此时收集极电流主要来自基极的空穴注入；随着发射极偏置电压的增大，发射极注入电流逐渐成为收集极电流的主要来源，并且负微分电阻现象也越来越明显。

·p. 366·

7.5 微波与光电器件

IMPATT(碰撞离化雪崩渡越时间)二极管和 BARITT(势垒注入渡越时间)二极管是两种最重要的硅微波二极管，它们可在1GHz 以上一直到毫米波频段的范围内提供大

功率、高效率和低噪声的工作特性。尽管已经制造出硅隧道二极管，但鉴于硅器件相对较大的隧穿有效质量，其性能仍比不上GaAs隧道二极管。由于硅导带中的卫星谷高出其导带底1.1eV，这个数值对于电子的谷间转移来说已经太高了，因此目前尚未出现硅材料的转移电子二极管。

硅光电器件主要包括硅光探测器和硅光电池，前者能够检测光信号并将其转变成电信号，后者则可以给人造卫星以及其它空间飞行器提供能源，当然也可以应用于地面环境。由于硅是一种间接带隙半导体材料，因此目前尚无硅发光器件问世。然而可以设想某些硅基材料有可能具有直接带隙结构，从而给研制硅基发光器件提供一线希望(Luryi 和 Sze，1987)。

7.5.1 IMPATT二极管

IMPATT(碰撞离化雪崩渡越时间)二极管是最重要的固体微波功率源之一，它能够在毫米波的频率范围内产生最高功率的连续波(CW)输出信号，因而在这个频段(30—300GHz)获得了广泛的应用。在毫米波频率范围内，硅IMPATT二极管优于砷化镓IMPATT二极管之处在于硅中载流子的能量弛豫时间较短，因而当外加电场时，它对于碰撞离化过程能够产生更快的响应；此外硅材料所具有的高热导率特性也更有利于功率器件的散热。

·p. 367·

IMPATT二极管家族中的基本成员包括单漂移器件和双漂移器件。图7-43所示为几种单漂移IMPATT二极管的示意图，在这类器件中只有一种带电载流子(即电子)流过漂移区。图7-43(a)所示为一个单边突变pn结的掺杂分布及其在雪崩击穿条件下器件内部的电场分布，雪崩倍增过程发生在最高电场点附近介于0到x之间的一个窄区域内。

在图7-43(b)所示的高-低掺杂结构中，高掺杂(N_1)区后面跟有一个低掺杂(N_2)区，

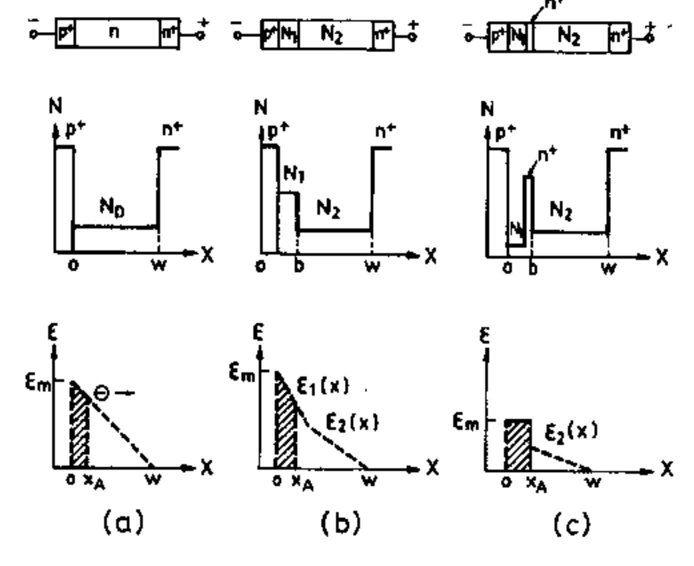


图7-43 三种单漂移IMPATT二极管的掺杂分布及其在雪崩击穿条件下的电场分布：(a)单边突变pn结，(b)高-低掺杂结构，(c)低-高-低掺杂结构(Sze，1990)

选择合适的掺杂浓度 N_1 及其厚度 b，可将雪崩区域限制在 N_1 掺杂区内。图7-43(c)所示是一个在 $x=b$ 处夹有一层高浓度施主原子层的低-高-低掺杂结构，由于在 $x=0$ 和 $x=b$ 之间存在一个近乎均匀的高电场，因此其雪崩区域的范围与图7-43(b)所示结构相同，但其最大电场则要比高-低掺杂结构低得多。

图7-44给出了几种双漂移器件的示意图，其中的电子和空穴在各自的漂移区内均参与器件的工作。双漂移器件比单漂移器件具有更高的效率和更大的输出功率。图7-44(a)所示为一个双边突变 pn 结中的掺杂情况和电场分布，其雪崩区位于耗尽层中心附近；图7-44(b)所示为一种双漂移高-低掺杂结构，在其 p 型区一边具有一个低-高掺杂结构，而在其 n 型区一边则具有一个高-低掺杂结构；图7-44(c)所示是一个双漂移低-高-低掺杂结构，其雪崩区的范围由 p^+ 和 n^+ 夹层之间的距离决定；图7-44(d)所示为一个双漂移混合结构，其 p 型区一边具有平坦的掺杂分布，而 n 型区一边则具有一个高-低掺杂结构。

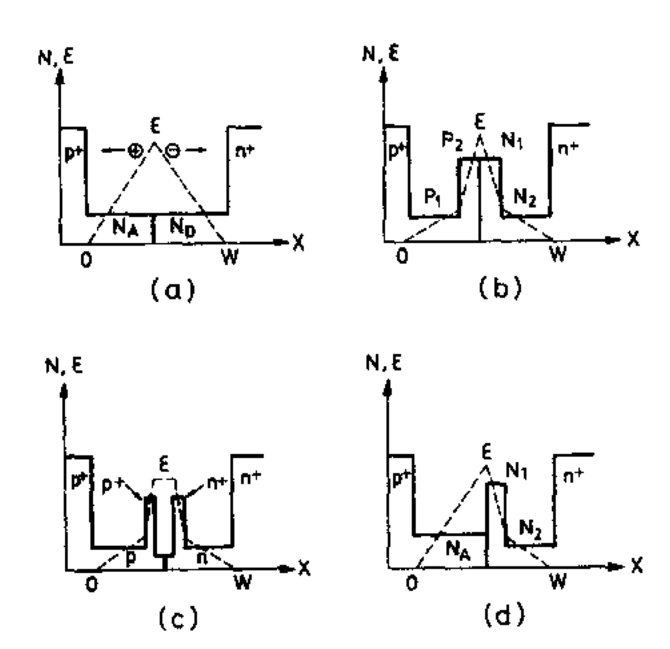


图7-44　四种双漂移 IMPATT 二极管的掺杂和电场分布：(a)平坦掺杂分布，(b)高-低掺杂结构，(c)低-高-低掺杂结构，(d)混合结构(Sze，1990)

选择特定的器件结构取决于许多因素，诸如工作频率、直流/交流转换效率、输出功率以及工艺制造难度等。双漂移低-高-低掺杂结构[图7-44(c)所示]具有最高的转换效率，但其工艺制造难度也最大；双漂移混合结构[图7-44(d)所示]既具有较好的转换效率，制造工艺相对也比较容易，因此是一种较好的折衷。当然，最简单的结构还是如图7-43(a)所示的单漂移 p-n 结。

·p. 368·

对于工作在较低频率下的硅 IMPATT 二极管来说，其内部的 n 型层和 p 型层采用常规的扩散、化学气相沉积或离子注入工艺形成即可；而对于工作频率较高的器件，特别是工作在毫米波频段的器件，其内部各层的厚度将变得很薄，对于这种工作频率下的器件，必须采用分子束外延(MBE)或金属有机化合物化学气相沉积(MOCVD)技术来精确地控制各层的掺杂浓度和厚度。

目前硅 IMPATT 二极管的最新研究结果为，在10GHz，100GHz 和200GHz 的工作频率下连续波(CW)输出功率分别为10W，1W 和0.1W，转换效率保持恒定为15%直到100GHz，然后逐渐下降到200GHz 下的1%(Sze，1990)。

7.5.2 BARITT 二极管

BARITT(势垒注入渡越时间)二极管同样也可以工作在毫米波频段，并且其噪声更低，但其输出功率也比 IMPATT 二极管低得多。BARITT 二极管特别适合于应用在自混频的振荡器电路中，其可检测出的最小信号功率电平比起 IMPATT 二极管来说要低30dB。

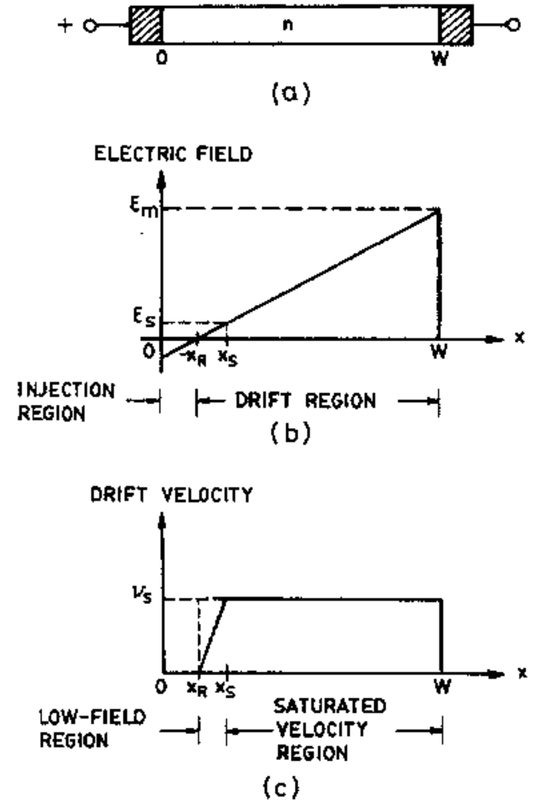


图7-45 BARITT 二极管的剖面结构、电场分布及载流子漂移速度(Sze，1990)

BARITT 二极管基本上是由一对偏置在穿通状态的背靠背相连接的 p-n 结或金属-半导体肖特基势垒二极管所组成。图7-45(a)所示为一种硅 p^+-n-p^+结构的 BARITT 二极管。当器件两端有外加电压时，则其内部一个结为正偏，另一个结为反偏。当外加电压超过器件的穿通电压时，BARITT 二极管内部的电场分布如图7-45(b)所示，其中的 x_R 点对应于注入少数载流子(在此为空穴)的最大势能位置，而 x_S 点则是低场漂移区与饱和速度漂移区的分界点，如图7-45(c)所示。

目前硅 BARITT 二极管制造工艺发展的最高水平为，在10GHz 和60GHz 的工作频率下连续波(CW)输出功率分别为100mW 和1mW，典型的转换效率介于0.5%与2%之间(Sze，1990)。

7.5.3 光探测器

基于硅材料的光探测器包括 p-i-n 光电二极管和雪崩光电二极管[例如，类似于图7-43(b)，(c)所示的高-低掺杂结构或低-高-低掺杂结构]。传统的硅光探测器主要应用在光波长从0.6－0.9μm 的范围内，此时采用了抗反射涂层的器件，可以获得接近100%的量子效率(即每个入射光子产生的电子-空穴对的数目)(Sze，1981)。近年来新设计的许多新颖的硅光探测器在从近紫外区到远红外区的范围内都显示出了极好的光电响应。此外，能够将Ⅲ-Ⅴ族化合物光探测器及 MESFET 与硅集成电路集成在同一硅衬底上的异质外延技术也已经被用来制造硅基的单片光电子集成电路。

·p.369·

图7-46(a)所示为含有160×244个基本单元的聚焦平面阵列中的一个像素点的剖面结构图，在此结构中一个前端接受光照的 PtSi 肖特基势垒光探测器与一个电荷耦合器件

(CCD)相连结。光探测器采用超高真空系统中的电子束蒸发工艺在 p 型〈100〉硅衬底上沉积一层10Å的 Pt 金属薄膜,随后在同一系统中进行400℃的退火处理,形成20Å的 PtSi 层(PtSi/p-Si 之间的势垒高度为0.18eV)。在这层硅化物的周边采用了一个 n 型的保护环来抑制边缘漏电。光照产生的电子积累在 PtSi 电极处,随后即被转移到 CCD 器件的沟道中。

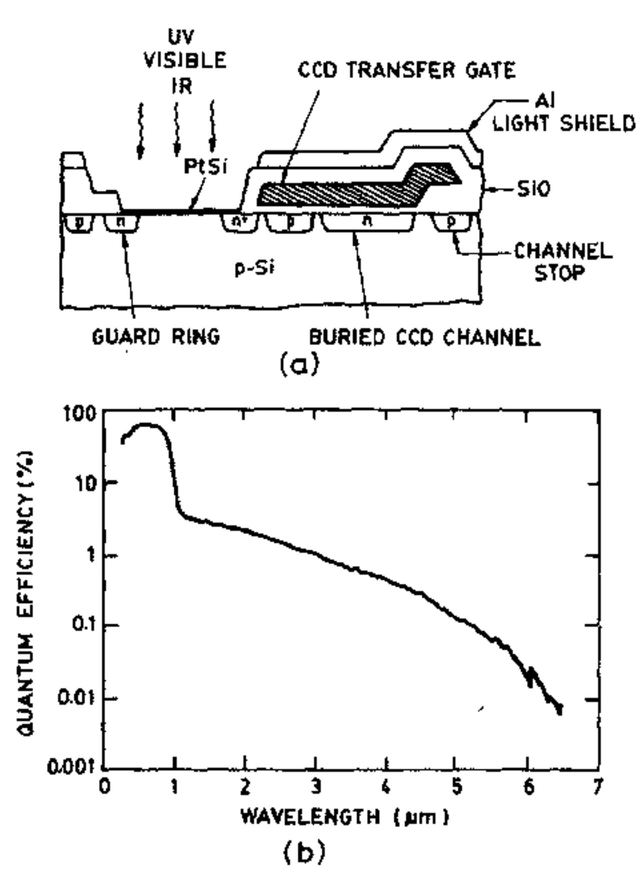


图7-46 (a)工作在前端光照模式下的160×244单元 PtSi 聚集平面阵列中的一个像素点的示意图。(b)量子效率与入射光波长之间的关系(Tsaur 等,1990)

·p.370·

当温度为50K 时,上述光探测器在50V 反向偏置电压下的量子效率与光波长之间的关系如图7-46(b)所示。当光波长≥1μm 时,对应的光子能量小于硅的禁带宽度,此时光探测器的响应主要靠 PtSi 膜吸收光子能量激发的载流子所产生,其量子效率在光波长为1.5μm 时为3%,而当光波长为6.3μm 时则下降为0.01%;当光波长较短时,光子的辐射能够穿过20Å的 PtSi 薄膜层到达硅衬底,并被硅衬底吸收同时产生对光响应有贡献的载流子。因此当光波长为0.8μm 时,其量子效率为60%,并基本保持恒定直到光波长减小为0.4μm,当光波长继续减小为0.3μm 时,其量子效率也下降为35%。采用这种光探测器结构及 CCD 读出电路,已经制造出了大面积的、高度均匀的聚焦平面阵列,该器件在遥感及摄影等领域将会获得应用(Tsaur 等,1990)。

对于由 Ge_xSi_{1-x}/Si 异质结材料构成的内部光致发射型探测器,也已经有人作了研究。这种硅基的远红外光探测器在8—12μm 的波长范围内可获得3%—5%的量子效率。图7-47(a)给出了一个 p^+-GeSi/p-Si 探测器的结构示意图,该器件衬底采用 p 型〈100〉晶

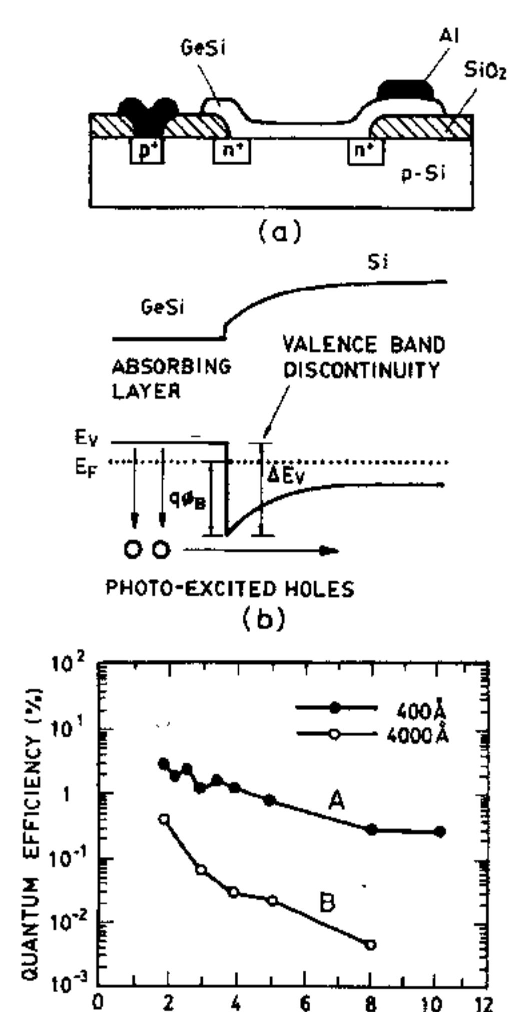


图7-47 (a)p^+-GeSi/p-Si 光探测器结构，(b)光探测器能带图，(c)两种 GeSi/Si 光探测器的量子效率与入射光波长的关系(Lin 和 Maseyian，1990)

向的硅材料，p^--GeSi 层采用 MBE 系统在本底压力为3×10^{-11}Torr 的真空度下生长，衬底加热至500～600℃，采用双电子枪喷射源完成 Ge，Si 两种材料的共蒸发，GeSi 层的厚度可从100Å变化至4000Å，Ge 的组分比也可从0.2变化到0.4，其中的硼掺杂浓度则介于1×10^{19}至$4\times10^{20}cm^{-3}$之间。

图7-47(b)所示为上述器件的能带图。入射的红外辐射光子能量在 p^+-GeSi 层中被吸收，光激发产生的空穴则通过内部光致发射过程，越过 GeSi/Si 异质结势垒被发射进入硅衬底。由于自由载流子吸收以及价带内的跃迁，p^+-GeSi 层对于红外辐射的吸收非常强烈。在 GeSi/Si 系统中，异质结能带之间的相互关系基本上属于第Ⅱ种类型的，即二者的带边之差主要体现在价带上。通过减少 GeSi 材料中 Ge 的组分比，可以使价带的偏移量 ΔE_v 得到减小，这样就可以使异质结势垒的高度 $q\phi_B$ 相应地得到降低，如下式所示：

$$q\phi_B = \Delta E_V - (E_V - E_F) \quad (eV) \quad (7\text{-}31)$$

从而使光探测器的截止波长 $\lambda_C[\lambda_C = 1.24/(q\phi_B)]$得以提高。

·p. 371·

图7-47(c)给出了两个 GeSi/Si 光探测器的量子效率与入射光波长之间的变化关系。在这两个探测器中，GeSi 层中 Ge 的组分比均为0.3，硼的掺杂总量也相同，不同之处在于，探测器 A 中 GeSi 层的厚度为400Å，而探测器 B 中该层的厚度为4000Å。探测器 A 中较薄的 GeSi 层允许更多的光激发空穴在遭受非弹性的碰撞散射之前即可到达异质结界面，从而获得较高的量子效率。此外，探测器 A 中较高的 GeSi 层掺杂浓度使得其费米能级进一步下移，从而导致异质结界面的有效势垒高度降低，这样就将该光探测器的光响应波长扩展至10μm。通过优化 GeSi 层的厚度、组分及掺杂浓度，可望使光探测器的量子效率得到更大的改进(Lin 和 Maseyian，1990)。

另一类硅基的光探测器就是用于0.9—1.7μm 光波长范围的 InGaAs/InP 探测器，这种探测器采用异质外延工艺技术在硅衬底上制造而成，使用这种方法能够使光子器件和电子器件集成在同一块硅衬底材料上。

图7-48给出了上述这一类光探测器的剖面结构示意图。首先在硅单晶片衬底(偏离〈100〉晶向4°)材料上采用 MOCVD 工艺生长一层 GaAs 材料作为起始层，随后应用氢化

物气相外延技术连续淀积7层1μm 厚的$In_xGa_{1-x}As$层，每层中的 x 值从0.07等量递增至0.49，以调节其与 GaAs 层之间存在的3.8%的晶格失配。最后淀积一层5μm 厚的$In_{0.53}Ga_{0.47}As$材料作为光吸收层，再覆盖一层1μm 厚的 InP 材料作为宽禁带的钝化窗口层。采用 Zn 扩散等常规工艺就可完成直径75μm 的平面型 p-i-n 光探测器的制作。在5V 的反向偏置条件下，对于波长为1.3μm 的入射光来说，该光探测器的量子效率为85%，电容为1.1pF。采用125℃、-5V 的老化条件对其进行2000h 的处理后，室温下测得其暗电流没有增大，这表明该探测器具有较高的可靠性(Olsen,1990)。

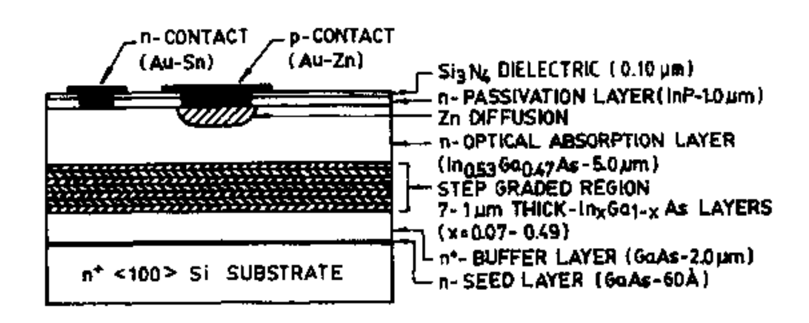


图7-48　硅衬底上生长组分缓变的$In_{0.53}Ga_{0.47}As/InP$ 外延层形成的光探测器(Olsen,1990)

7.5.4　光电池

在过去的几年里，硅光电池的能量转换效率有了很大的提高，这些提高大多是通过光电池结构的改进以及制造工艺技术的完善而获得的，而并非通过硅材料质量的改善来实现的。图7-49(a)所示为一个发射极与背面钝化的光电池结构示意图，在 AM1.5的光照条件下(即大气质量为1.5，并且太阳光线与水平面成45°的入射角，此条件是在地球表面应用时光照条件的能量加权平均值)，该光电池可获得高达23.1%的转换效率。

·p.372·

从图中我们看到该光电池的结构与传统的光电池结构有明显区别。其正面具有倒金字塔形的表面形貌结构以充分吸收入射光线；在顶部金属接触区下方采用重掺杂的n^+扩散区，以减小串联电阻，提高开路电压；上表面氧化层的厚度为250Å，并包敷有MgF_2/ZnS双层抗发射材料(图中未画出)；底部采用热生长的氧化层钝化大部分区域；最后通过钝化层上的接触孔形成非合金的欧姆接触；为降低接触电阻，采用了低电阻

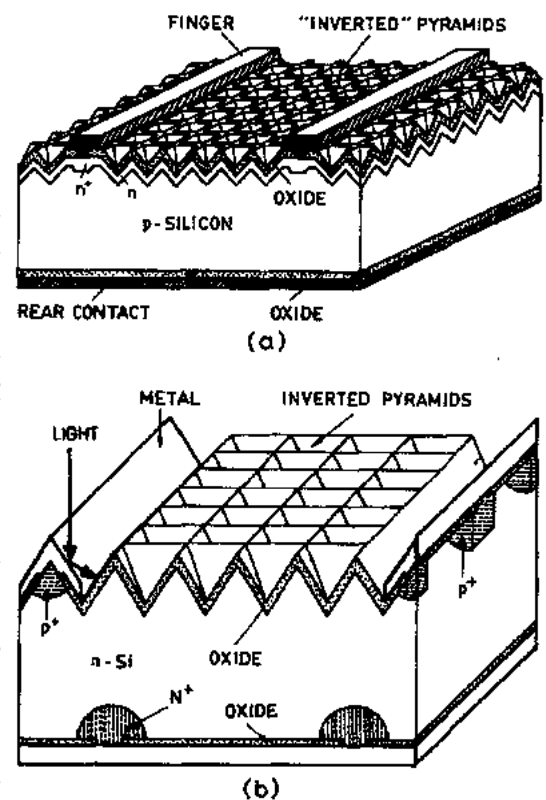


图7-49　(a)发射极与背面钝化的光电池示意图(Green,1990)。(b)大气质量为 AM1.5，聚光度相当于90个太阳的光照条件下效率为26%的光电池示意图(Cuevas 等,1990)

率(例如，$\rho=0.2\Omega cm$)的硅衬底材料。因此该光电池具有一个高度反射性的底部平面，计算得到的底层反射比高于97%(Green，1990)。

图7-49(b)所示为另一个类似的光电池结构，其转换效率在一个太阳的光照条件下为21.7%(大气质量为AM1.5)，而在聚光度相当于90个太阳的光照条件下为26%(大气质量仍为AM1.5，温度为25℃)。该光电池由不掺杂的(或中等程度掺杂的n型)硅衬底材料上嵌入点状的p^+岛和n^+岛构成。

用来作硼扩散和磷扩散掩蔽材料的SiO_2层将不掺杂的表面屏蔽起来，同时也起到抗反射涂层的作用。硅片表面用于p^+接触区的面积占1%，而用于n^+接触区的面积则为2%。金属栅条呈V型结构，位于器件表面棱柱形貌的脊梁上(Cuevas等，1990)。

·p. 373·

多晶硅光电池同样也取得了很大进展，在一个太阳的光照条件下(大气质量为AM1.5)已经获得了高达17.8%的转换效率。图7-50所示为一个发射极钝化的多晶硅光电池，该光电池采用了两项新颖的处理方法。第一种方法是磷的预处理，即对多晶硅进行磷扩散，在晶格不完整区域(晶粒间界处)磷的增强扩散会使原本将成为少数载流子陷落的区域转变为有用的载流子收集区；第二种方法是底部的铝处理，已经发现，铝和磷一样也表现出沿着晶粒间界处的增强扩散，铝处理能使光电池的开路电压和短路电流都得到提高。这两种处理方法能吸除衬底杂质，消除晶粒间界的不利影响，因而使得廉价的多晶硅光电池的性能大大改善，几乎能与单晶硅光电池相媲美。如果采用类似图7-49所示的器件表面形貌，还会进一步增大光电池的能量转换效率(Narayanan等，1990)。

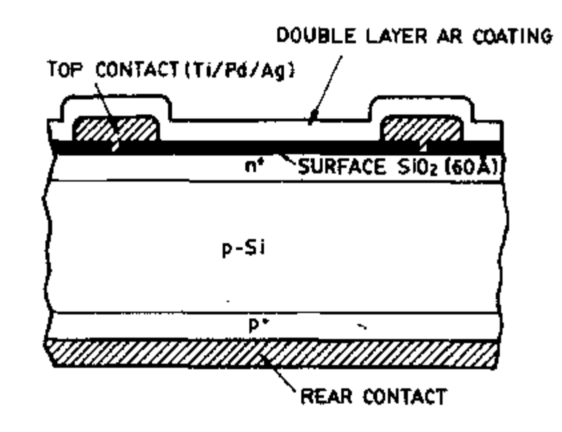


图7-50　带有抗反射(AR)包封层的钝化发射极多晶硅光电池(Narayanan等，1990)

7.6 展　　望

随着微电子技术的不断发展，半导体器件的特征尺寸变得越来越小。图7-51表明，到2000年，MOSFET的栅长将缩小到0.2μm，栅氧化层厚度减薄为4nm，结深减小到0.04μm。与此同时，在1990年基区宽度仍为50nm的双极型晶体管，到2000年采用GeSi异质结工艺方法后，其基区宽度也将减小到30nm。相应地，器件的性能价格比也将得到大大改善。到2000年，将可以获得门延迟为30ps的256M位(~3×10^8元件/芯片)DRAM，而在1960年，相应的门延

表7-1　性能预测

年代	1960	1991	2000[1]
最小特征尺寸(μm)	25	0.7	0.2
元件密度(器件数/cm^2)	1	8×10^6	3×10^8
门延迟(ns)	500	0.1	0.03
功耗延迟积(pJ)	10000	0.01	0.0003
硅圆片尺寸(mm)	25	200	250

1) 原文中元件密度误为0.03。——译者注

迟为500ns。电路的功耗延迟积也将得到显著的改善，从1960年的10000pJ减小为2000年的0.0003pJ。这些预测的结果都总结在表7-1中。

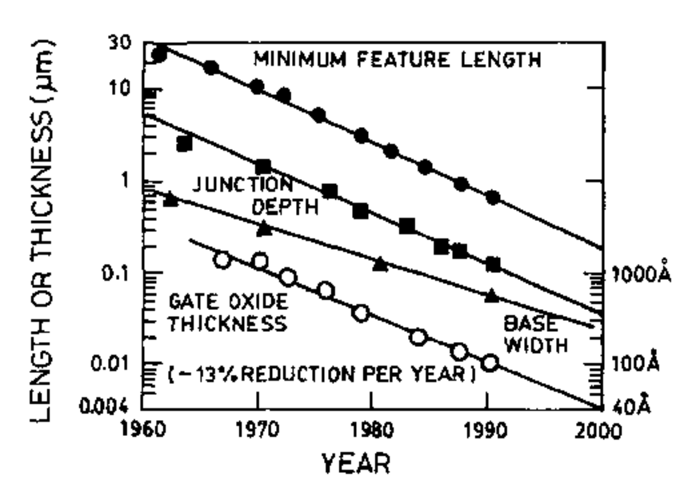


图7-51　MOSFET和双极型晶体管尺寸随时间的变化

图7-52显示了VLSI电路复杂程度随着年代的发展变化。MOSFET电路的复杂程度最高；双极型电路仍有一定的发展势头，但进入90年代后将逐步达到饱和；MESFET和MODFET还处在发展初期阶段，但其发展的潜力很大，将来或许能与MOSFET相抗衡。

·p. 374·

把硅基器件的高集成度特点与GaAs器件的高速性能相结合将给未来的计算机、通信以及高质量的娱乐设备(例如高清晰度电视HDTV)等应用领域开创出一个全新的系统集成时代，在上述这些应用场合，将会采用硅衬底上异质外延GaAs的技术。

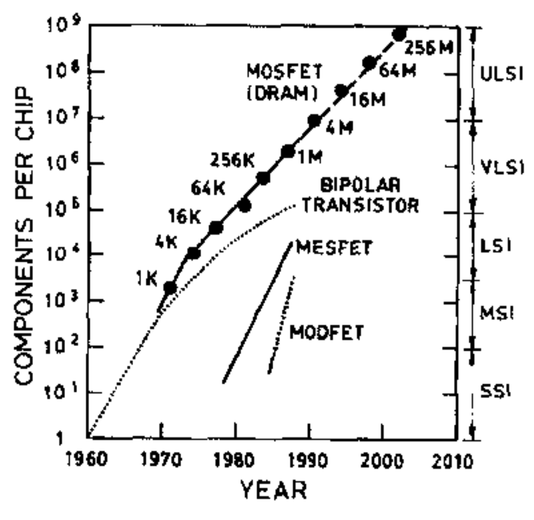


图7-52　VLSI电路复杂性的进展

另一方面，在硅衬底上异质外延的GeSi应变层结构也引起了人们广泛的注意。采用窄禁带宽度的GeSi材料作为双极型晶体管的基区能使器件的工作速度可与硅衬底上异质外延GaAs材料制作的器件相匹敌。硅衬底上异质外延GeSi应变层结构特别适合于用来实现异质结双极型晶体管，这项技术无论是对Si器件工艺，还是对GaAs器件工艺都将会产生巨大的影响。

进入2000年之后，为了能够大批量生产上述器件，必须开发出所需的各种低温工艺技术，否则不同材料中各类杂质在高温工艺过程中的相互扩散将会严重影响器件的性能，尤其是当MOSFET的沟道长度缩小到0.1μm以及双极型晶体管的基区宽度减薄为30nm时更是如此。

在低于550℃的低温下，外延生长Si或GeSi材料已经获得了成功(Meyerson，1986)。多晶硅、多晶GeSi以及二氧化硅、氧化硅的淀积温度也都应该相应地降低，甚至包括退火

温度也应最好低于800 C。表7-2列出了用于未来的特大规模集成电路(ULSI)的各种可能的低温工艺技术。由此可见,在未来ULSI的发展中,还需要物理学家、化学家、材料科学家以及电子工程师、器件工程师等各类专业人员共同努力来迎接挑战。

表7-2 可用于未来ULSI的各种可能的低温工艺技术

Feature	Technology[a]
Epitaxial or poly Si, SiGe	UHV/CVD,MBE,LRP,LPCVD
Oxides and interfaces	Plasma treatment, UV ozone, HIPOX
Nitrides	CVD-PECVD, photo-CVD,LPCVD
Metals(and silicates)	Sputtering CVD
Contacts	Non-alloy, LT-EPI,with RTA
Junctions	TRP,RTA, LT-EPI

[a]缩略词:UHV,超高真空;CVD,化学气相沉积;MBE,分子束外延;LRP,限制反应过程;LPCVD,低压化学气相沉积;UV,紫外线;HIPOX,高压氧化;PECVD,等离子增强化学气相沉积;LT,低温;EPI,外延;RTA,快速热退火;RTP,快速热处理。

硅工艺技术特别是硅微机械技术的发展也开创了许多新的应用领域,如微真空器件、微电子机械系统(Fan 等,1989)等等。已经开发出了各种新型的传感器、换能器、致动器,甚至包括一些新型的场致发射器件,例如场致发射显示器(Spindt, 1989)以及采用场致发射原理的大功率分布式微波真空三极管阵列(Kosmahl,1989)。我们推测,至少在可以预计的将来,硅基器件仍将会继续保持主流半导体器件的地位。

·p. 375·

7.7 致　　谢

在本章手稿的写作过程中,C. Y. Chang 的夫人,Cheng-Hwei Wu Chang 女士不幸去世,在此我们谨以此文作为对她的怀念。

我们还要感谢 N. Erdos 先生为本章内容所作的技术性编辑工作,感谢 B. L. Huang 女士打印了本文的初稿和终稿,感谢 T. Z. Jung 先生绘制了文中全部的技术性插图。

7.8 参 考 文 献

Allyn, C. L., Gossard, A. C., Bethea, C. G., Levine, B. F. (1980), *Appl. Phys. Lett. 36*, 373.

Aoki, M., Ishii, T., Yashimura, T. (1990), *IEEE Int. Electron Device Mtg. Tech. Digest*, pp. 939–941.

Bean, J. C. (1978), *Appl. Phys. Lett. 33*, 654.

Brews, J. R. (1990), in: *High Speed Semiconductor Devices:* Sze, S. M. (Ed.). New York: Wiley, pp. 139–210.

Chang, C. Y., Luryi, S., Sze, S. M. (1986), *IEEE Electron Device Lett. 7*, 497.

Chen, T. C., Toh, K. Y., Cressler, J. D. (1989), *IEEE Electron Device Lett. 10*, 344.

Chiu, T. Y., Chin, G. M., Lan, M. Y. (1991), *IEEE Trans. Electron Devices 38*, 141.

Cuevas, A., Sinton, R. A., Midkiff, N. E. (1990), *IEEE Electron Device Lett. 11*, 6.

Daembkes, H., Herzog, H. J., Jorke, H. (1986), *IEEE Trans. Electron Devices 33*, 633.

Ea, J. Y. (1990), *IEEE Electron Device Lett. 11*, 403.

Fan, L. S., Tai, Y. C., Muller, R. S. (1989), *IEEE Trans. Electron Devices 35*, 724.

Fowler, A. B., Fang, F. F., Howard, W. E., Stiles, P. J. (1966), *Phys. Rev. Lett. 16*, 901.

Garone, P. M., Venkataraman, V., Sturm, J. C. (1990), *IEEE Int. Electron Device Mtg Tech. Digest*, pp. 383–386, 587–590.

Gennser, U., Kesan, V. P., Iyer, S. S., Bucelot, T. J., Yang, E. S. (1990), *J. Vac. Sci. Tech. B8*, 210.

Gibbons, J. F., Gronet, C. M., Williams, K. E. (1985), *Appl. Phys. Lett. 47*, 721.

Grabbe, E. F., Patton, G. L., Stork, J. (1990), IEDM 17.

Green, M. A. (1990), *IEEE Trans. Electron Devices 37*, 331.

Grinberg, A. A., Luryi, S. (1981), *Appl. Phys. Lett. 38*, 810.

Holg, B. (1990), *IEEE Trans. Electron Devices 37*, 2230.

Holland, C. E., Rosengreen, A., Spindt, C. A. (1990), *IEEE Int. Electron Device Mtg. Tech. Digest*, pp. 977–982.

Jwo, S. C., Chang, C. Y. (1986), *IEEE Electron Device Lett. 7*, 689.

Kasper, E. C., Bean, J. C. (1989), *Silicon Molecular Beam Epitaxy*. Boca Raton, FL: CRC Press, Chaps. 2, 4.

Kazarinov, R. F., Luryi, S. (1982), *Appl. Phys. A 38*, 15.

Kesan, V. P., May, P. G., Bassous, E., Iyer, S. S. (1990), IEDM.

Kosmahl, H. G. (1989), *IEEE Trans. Electron Devices 36*, 2728.

Laska, T., Miller, G. (1990), IEDM, 807.

Lattes, A. L., Munroe, S. C., Seaver, M. M. (1991), *IEEE Electron Device Lett. 12*, 104.

Libsch, F. R., White M. H. (1990), *Solid-State Electron 33*, 105.

Lin, T. L., Maseyian, J. (1990), *Appl. Phys. Lett. 57*, 1422.

Liu, H. C., Landhear, M., Buchanan, M., Hougton, D. C. (1988), *Appl. Phys. Lett. 52*, 1809.

Luryi, S. (1985), *Physica 134 B*, 466.

Luryi, S., (1990), in: *High Speed Semiconductor Devices:* Sze, S. M. (Ed.). New York: Wiley.

Luryi, S., Sze, S. M. (1987), in: *Silicon Molecular Beam Epitaxy:* Kasper, E., Bean, J. C. (Eds.). CRC Uniscience, pp. 251–288.

Malik, R. J., Aucoin, T. R., Board, K., Wood, C. E. C., Eastman, L. F. (1980), *Electron. Lett. 10*, 836.

Meindl, J. D. (1984), *IEEE Trans. Electron Devices 31*, 1555.

Meyerson, B. S. (1986), *Appl. Phys. Lett. 48*, 797.

Meyerson, B. S., et al. (1990), *IEEE Int. Electron. Device Mtg. Tech. Digest*, p. 21.

Murakami, E. (1991), *IEEE Electron Device Lett. 12*, 71.

Narayanan, S., Wenham, S. R., Green, M. A. (1990), *IEEE Trans. Electron Devices 37*, 382.

Okazaki, Y., Kobayashi, T., Miyake, M. (1990), *IEEE Electron Device Lett. 11 (4)*, 134.

Olsen, G. H. (1990), *IEEE Int. Electron. Device Mtg. Tech. Digest*, pp. 145–147.

Pearce, C. W. (1988), in: *VLSI Technology:* Sze, S. M. (Ed.). New York: McGraw-Hill, pp. 9–45.

People, R (1985), *Appl. Phys. Lett. 47*, 322.

People, R., Bean, J. C. (1986), *Appl. Phys. Lett. 48*, 538.

Pepper, M. (1990), in: *Proc. Int. Electron Devices Symp., EDMS '90*. Hsinchu, Taiwan, R.O.C.: NCTU, p. 465.

Rajakarunanayak, Y. (1989), *Appl. Phys. Lett. 55*, 1537.

Rathman, D. D., Niblack, W. K. (1988), *IEEE MTT-S Intl. Microwave Symp. Digest*, Vol. 1. Piscataway, NJ: IEEE, pp. 537–540.

Rhee, S. S., Park, J. S., Karunasiri, R. P. G., Ye, Q., Wang, K. L. (1988), *Appl. Phys. Lett. 53*, 204.

Rhee, S. S., Chang, G. K., Carns, T. K., Wang, K. L. (1989), *Int. Electron Device Mtg.*, p. 651.

Rhee, S. S., Chang, G. K., Carns, T. K., Wang, K. L. (1990), *Appl. Phys. Lett. 56*, 1061.

Shahidi, G., Davari, B., Taur, Y., Warnock, J. (1990), in: *Proc. IEEE Int. Electron. Device Mtg.*

Shichijo, H., Matyi, R. J., Taddiken, A. H. (1988), *IEEE Intl. Electron Device Mtg. Tech. Digest*, pp. 778–781.

Smith, C. G., Pepper, M. (1989), *J. Phys. Condens. Matter 1*, 9035.

Spindt, C. A. (1989), *IEEE Trans. Electron Devices 36*, 225.

Suzuki, K., Najafi, K., Wise, K. D. (1990), *IEEE Trans. Electron. Devices 37*, 1852.

Sze, S. M. (1981), *Physics of Semiconductor Devices*, 2nd ed., New York: Wiley.

Sze, S. M. (1985), *Semiconductor Devices: Physics and Technology*. New York: Wiley.

Sze, S. M. (Ed.) (1990), *High Speed Semiconductor Devices*. New York: Wiley, p. 425, pp. 521–585.
Sze, S. M. (Ed.) (1991), *Semiconductor Devices: Pioneering Papers*. Singapore: World Scientific.
Sze, S. M., Gibbons, G. (1966), *Solid-State Electron*, *9*, 831.
Taft, R. E., Plumer, J. D., Iyer, S. S. (1989), *Int. Electron Device Mtg.*, p. 55.
Takeda, E. (1990), *IEEE Int. Electron. Device Mtg. Tech. Digest*, p. 389.
Tsaur, B. Y., Chen, C. K., Mattia, J. P. (1990), *IEEE Electron Device Lett. 11*, 162.
Turner, G. W. (1988), *Proc. Mat. Res. Soc. Symp. 116*, 179.
Yamauchi, N., Hajjar, J. J., Reif, R. (1991), *IEEE Trans. Electron Devices 38*, 55.
Yang, E. S. (1988), in: *Microelectronic Devices*. New York: McGraw-Hill.

一般阅读资料

Sze, S. M. (1981), *Physics of Semiconductor Devices*, 2nd ed. New York: Wiley
Sze, S. M. (1985), *Semiconductor Devices: Physics and Technology*. New York: Wiley.
Sze, S. M. (Ed.) (1990), *High Speed Semiconductor Devices*. New York: Wiley, p. 425, pp. 521–585.
Sze, S. M. (Ed.) (1991), *Semiconductor Devices: Pioneering Papers*. Singapore: World Scientific.
Yang, E. S. (1988), *Microelectronic Devices*. New York: McGraw-Hill.

8 化合物半导体器件结构

William E. Stanchina and Juan F. Lam
Hughes Research Laboratories, Malibu, CA, U.S.A.
(陈培毅 译 谭智敏 校)

目录

符号与缩语表

a	沟道深度
C_{bc}	b-c 结电容
C_{dc}	漏-沟道电容
C_{dg}	漏-栅电容
C_{ds}	漏-源电容
C_{eb}	e-b 结电容
C_{gs}	栅-源电容
D_n	电子-少子扩散系数
E_g	带隙
ΔE_g	带隙间能差
ΔE_v	价带能差
f	频率

f_T	单位增益截止频率;电流增益-带宽积
F_{min}	最小噪声图,最小噪声系数
g_m	跨导
I	电流
I_D	漏电流
I_{DS}	沟道电子电流
I_{SAT}	饱和漏电流
J_C	集电极电流密度
k_B	玻尔兹曼常量
L	布里渊区位置
L_g	栅长
m_{hh}	重空穴质量
m_0	自由电子质量
m_Γ	Γ 谷中电子质量
n	n 型掺杂浓度
n_e	HBT 发射区 n 型掺杂浓度
N_C	导带有效态密度
N_D	沟道掺杂浓度
N_S	2-DEG 薄层电荷
N_V	价带有效态密度
P	压强
p_b	窄带隙基区 p 型掺杂浓度
q	电子电荷
R_C, R_c	集电极电阻
R_D, R_d	漏电阻
R_e	发射极电阻
R_G, R_g	栅电阻
R_i	本征电阻
R_S, R_s	源电阻
R_{ds}	漏-源电阻
T	温度
V	电压
V_p	夹断电压
v_s	自由载流子饱和速度
V_{be}	e-b 结电压
V_{ds}, V_{DS}	漏-源偏置
V_{GS}	栅-源偏置
v_{nb}	通过基区的电子速度

v_{pe}	通过发射区的空穴速度
W	沟道宽度
W_b	基区宽度
W_c	集电极空间电荷宽度
β_{max}	最大共发射极电流增益
Γ	玻尔兹曼区中心
ε	介电常量
ε_0	真空介电常量
μ_n	沟道内自由载流子迁移率
τ_b	基极渡越时间
τ_c	集电极渡越时间
τ_{cc}	集电极充电时间
τ_{ec}	发射极到集电极渡越时间
τ_{ee}	发射极充电时间
BJT	双极结晶体管
cw	连续波
2-DEG	二维电子气
FET	场效应晶体管
HB	水平布里奇曼
HBT	异质结双极晶体管
HEMT	高电子迁移率晶体管
HFET	异质结构 FET
HIGFET	异质结构绝缘栅场效应管
IC	集成电路
JFET	结型场效应管
LEC	液相闭管 Czochralski 生长法
LED	发光二极管
LPE	液相外延
MBE	分子束外延
MESFET	金属-半导体场效应管
MMIC	单片微波集成电路
MODFET	调制掺杂 FET
MOVPE	金属-有机气相外延
PHEMT	赝 HEMT
rf	射频
SISFET	半绝缘栅半导体 FET

·p. 380·

8.1 导　　言

立足于信息高速公路基础设施的21世纪前景是与在全世界范围内光电器件及系统的研究和发展相符合的。未来的商业和军事服务对高数据率(>10Gbs^{-1})实时存取信息的要求把半导体技术的前沿推向这样一类器件,即它们在适应越来越快的处理速率的同时并不引起信息在质量上和数量上的任何劣化。根据研究和技术浪潮的目前状况,本章提供对光电子和电子器件的最新描述,它们可能引起研究者和工程师们对光通信、卫星通信、无线通信和信息系统的实际兴趣。由于本文篇幅所限,我们将集中讨论这一领域中的某些最新发展,尽管在光电子学和半导体技术方面还存在具有同等重要性的其它贡献。

化合物半导体覆盖了二元、三元及四元材料的极广的范围。在此,我们将仅限于讨论Ⅲ-Ⅴ族化合物半导体。在大部分章节中,它们特别指的是 GaAs 和 InP 及可以由这些二元化合物为衬底而生长的某些化合物材料。

当今化合物半导体器件结构的发展一般都立足在用于超高速电子系统(取Ⅲ-Ⅴ族半导体优于硅的电子输运性质)和光及光电子系统(取其波长范围为0.6—3.5μm 的直接带隙)。这些器件驳斥了贬低者的传统的一致看法,即“它们是遥远的未来材料”。大概它们中最常见的是 AlGaAs/GaAs 红色发光二极管(LED),它们被广泛地用于显示;而半导体激光器紧随其后,近年来用于长距离光纤通信链接,固体激光器的泵浦源及数字音盘。GaAs 金属-半导体场效应晶体管(MESFET)通过在商业中制造集成电路作为选择硅集成电路的性能改善的替代部件也为人们所接受,并且长期以来在混合及单片微波集成电路应用方面受到高度重视。由于上述器件以及其它Ⅲ-Ⅴ族器件在可靠性和降低成本方面建立的历史业绩和新的改良品成为可能,Ⅲ-Ⅴ族化合物半导体毫无疑问地将在应用中日益发展。

8.2　重要材料的性质

Ⅲ-Ⅴ族化合物半导体具有优良的输运和光学性质,并且包含了范围宽广的与结晶学匹配的和应变的化合物材料,它们通过带隙工程使改善的新的器件结构得到发展。图8-1展示了许多这类化合物晶格常量和能隙的关系,其中仅二元化合物加以标识,三元和四元化合物处在实线和虚线上,其组分正比与它们的相对于二元化合物的位置,而二元化合物处在这些线的端点上。实线代表直接带隙化合物,虚线相应于间接带隙化合物。

·p. 381·

表8-1给出一些最常见的直接带隙Ⅲ-Ⅴ族半导体的某些被普遍承认的物理常量。对于半绝缘 GaAs 和 InP 衬底,体电阻超过$1\times10^7\Omega$-cm,这一性质虽未包括在表内,但它们具有同等重要性。它对形成Ⅲ-Ⅴ族高速电路是一个关键因素,因为它使器件以简便方式实现电学上的隔离,并允许衬底用作电介质形成微波频率下的条形波导。每一种材料的物理性质都具有固有优点,借此将两种或多种半导体化合物组合在同一器件内,可以增强Ⅲ-Ⅴ族器件的性能。这就导出了所谓的带隙工程技术——在同一结构中使用两种或多种

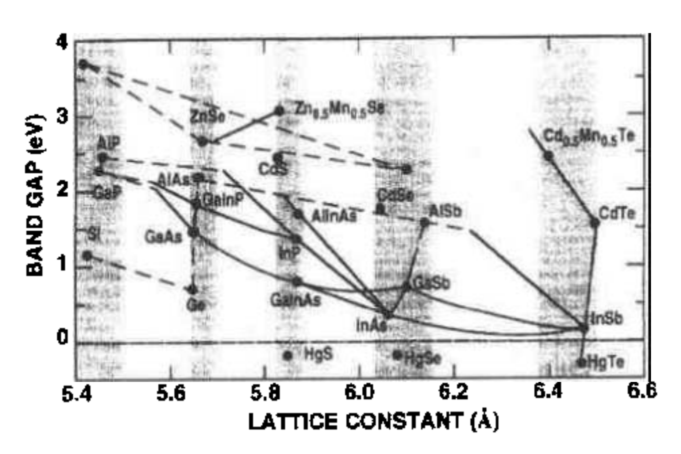


图8-1　主要Ⅲ-Ⅴ族化物半导体晶格常量与能隙的关系。
垂直重叠的一组化合物半导体具有近似相同的晶格常量

半导体材料(它们具有不同的带隙)产生新型器件,增强或调解原有器件的性能。任何两种不同的半导体界面称为异质界面(或异质结,只要此界面也包含掺杂类似的改变)。这样的多层结构又称为异质结构。

表8-1　Ⅲ-Ⅴ族半导体的物理常量

性能	单位	GaAs	$Al_{0.3}Ga_{0.7}As$	InP	$Ga_{0.47}In_{0.53}As$	$Al_{0.48}In_{0.52}As$	InAs	GaSb
能隙(25℃)	eV	1.44	1.81	1.35	0.73	1.45	0.35	0.72
导带	eV	0.31		0.40	0.55		1.35	
能(Γ-L)差电子有效质量($m_Γ/m_0$)		0.067	0.092	0.077	0.044	0.075	0.023	0.042
空穴有效质量(m_{hh}/m_0)		0.62	0.66	0.51	0.45			0.32
导带有效态密度 N_c	$10^{17}cm^{-3}$	4.1	6.9	6	2.3	6.6		
价带有效态密度 N_v	$10^{18}cm^{-3}$	14	15	9.7	8.2			
电子饱和速度[$100kVcm^{-1}$(25℃)]	$10^7cm\,s^{-1}$	0.83	0.86	1.1				
峰速度	$10^7cm\,s^{-1}$	2.2		3	2.7	6.6		
电子迁移率(25℃)	$cm^2V^{-1}s^{-1}$	8500	3000	4500	12 000	1500	33 000	4000
空穴迁移率(25℃)	$cm^2V^{-1}s^{-1}$	450	100	150	450	75	400	650
静态介电常量		12.6	11.8	12.4			14.6	15.7
热导率	$Wcm^{-1}K^{-1}$	0.46	0.70				0.26	0.35

·p. 382·

8.3　Ⅲ-Ⅴ族材料的制备

异质结构器件成为可能,应归功于在近20年来外延技术的发展和改进,它们包括分子束外延(MBE)、金属有机气相外延(MOVPE)和液相外延(LPE)。除了著名的离子注入金属-半导体场效应晶体管例外,绝大多数同质结器件也是由这些技术生长的。外延生长包

括在一定条件下将半导体组分原子沉积在一平整的单晶衬底上，并导致沉积原子成核，聚合，然后生长成平滑的单晶层，其晶格常量与衬底相匹配。

半绝缘衬底一般是用 LEC(liquid encapsulated Czochralski)方法、HB(horizontal Bridgman)方法或梯度凝结技术(gradient freeze techniques)(AuCoin 和 Savage，1985)生长为体锭，然后把这些晶锭切片、研磨和抛光，制成50mm，75mm，100mm 甚至150mm 直径的圆片，片厚约400—700μm。

分子速外延(MBE)(Arthur. 1968)是一种超高真空生长技术[$P_{本底}<10^{-10}$Torr(1.33×10^{-8}Nm^{-2})及 $P_{生长}<10^{-5}$Torr(1.33×10^{-3}Nm^{-2})]。源材料装在带小孔克努森晶格的高温坩锅内，使源材料能形成原子或分子蒸气并由炉中喷出，一般指向上方的被加热的单晶衬底。这种原子或分子束蒸气彼此间或与残余气体分子间极少碰撞，直到撞击到衬底上，原子成核、扩散，并形成外延层(请参阅本卷第3章3.5节)。

金属-有机气相外延(MOVPE)与 MBE 的重要差别是：半导体组分是用金属-有机气体(含有Ⅲ族元素和掺杂剂)送至被加热的单晶衬底。而Ⅴ族元素由携带气体氢中的砷烷或磷烷提供。气氛环境可以是大气压或低气压，以使气体在衬底上方形成粘滞流区。源气体与热衬底接触而分解，留下Ⅲ和Ⅴ族元素及掺杂元素(一般为 Zn 和 Si，可参看本卷第3章，3.6.4节)。

液相外延(LPE)是在1970年用于第一只异质结激光器的生长技术(Shen 和 Hartman，1985)。例如，利用此方法生长 GaAs 单晶的情况，GaAs 衬底被熔融的 Ga 浴槽所覆盖并溶解，直到某一高温下，如750℃，GaAs 和必要的掺杂剂的溶解达到饱和。然后这熔融的浴槽被从"供给"晶片撤出，并放在第二片 GaAs 衬底晶片上，此晶片是用作外延层的子晶或成核晶片。随后使温度下降(例如725℃)，使溶液成为过饱和。在此条件下，GaAs 开始从溶液中析出，成核，并外延生长在衬底上(参阅本卷第3章，3.4节)。

·p. 383·

离子注入是另一种材料制备技术。然而，它并不是用于生长单晶外延层，而是把高能掺杂离子注入单晶衬底。能量由入射离子传给晶体原子，使其偏离正常的平衡晶格位置。在高温退火下，这种晶格损伤被消除，注入的离子留下成为代位原子，实现对半导体的掺杂。当使用光刻选区图形技术时，这种方法能够产生或高或低掺杂水平的非常定域的区域，甚至形成被半绝缘材料所包围的 p-n 结。

8.4 场效应晶体管(FET)

Ⅲ-Ⅴ化合物半导用来制作具有各种结构的横向场效应晶体管。最常见的是金属-半导体场效应晶体管(MESFET)。这种晶体管在1966年第一次提出(Mead，1966)，并于1967年被实现(Hooper 和 Lehrer，1967)，它利用肖特基势垒表面势(即所谓"栅")来调制在电子源极和漏极欧姆接触之间的半导体表面附近的 n 型沟道电导率。这种结构是较早提出的结型场效应晶体管(JFET)基本结构的改进(Shockley，1952)。它是由 p 型半导体栅区与 n 型半导体沟道区之间形成的反偏 p-n 结构成的。MESFET 的基本优点是金属栅更易于制作并具有较低的栅电容。此后，Ⅲ-Ⅴ族半导体在金属-绝缘体-半导体 FET 器件的试制尝试中是不成功的，这主要是因为与 SiO_2/Si 系统不同，Ⅲ-Ⅴ族半导体缺少绝缘体/半导

体界面具有低表面态密度的稳定的绝缘材料。

精密的外延生长能力，例如 MBE 和 MOVPE，产生了一些优于 MESFET 的先进 FET 结构。在异质结构 FET 中，已知的有：HFET，HIGFET 或 SISFET，较宽带隙的晶格匹配半导体形成 FET 的栅极，它与 MESFET 相比，具有更高的表面势垒。另一个被很快广泛接受及应用的先进结构是 HEMT，它利用量子阱产生一个无离化掺杂原子的二维电子气沟道。这种结构也表示为 MODFET，它用较宽带隙半导体产生量子阱，用自由载流子填充阱，并增大了栅势垒。下面有关 FET 的讨论将集中于 MESFET 和 HEMT 结构，这是它们的明显性能优势及普遍应用于当今的高速电子学领域。例如包括微波通信中的无线通信、卫星通信、用于卫星通信的毫米波通信，以及自动撞击报警系统等。

·p. 384·

8.4.1 金属-半导体场效应晶体管(MESFET)

由 GaAs 制作金属-半导体场效应晶体管开辟了Ⅲ-Ⅴ族半导体发展道路，并导致它们在高速电子学领域的各种应用。GaAs 器件最早的应用之一是微波接收机的低噪声放大器(Mendel，1981)。GaAs 的非常高的电子迁移率是这一器件成功的关键。同样的高频能力也导致它在单片数字电路中被用作极为有用的亚纳秒开关(van Tuyl 和 Liechti，1977)。如今，MESFET 用以制作单片微波电路(MMIC)，已成为雷达系统中和无线通信中高速电子线路的核心(Brehm，1990；Bahl 等，1990)，并用于高传输率的通信系统的高速数字电路中。

MESFET 结构，就其基本构成来说是极为简单的，如图8-2所示。此结构通常在 GaAs 半绝缘衬底上用$^{28}Si^{+}$以一定能量和剂量注入形成距衬底表面约100—200nm 深度(a)的沟道层。更高能量和剂量的注入被用作形成更深的重掺杂源和漏的欧姆接触区。注入之后必须在850℃或更高温下退火，可使用电阻炉或快速热退火系统。退火时用介质密封表面或在砷气氛中，以阻止 GaAs 的分解。然后蒸发 AuGe/Ni 合金层，用浮脱工艺(lift off)形成金属电极，由随后的合金过程制成源漏的欧姆接触。至此，MESFET 已准备好等待下步精细调整阈电压 V_p 的工序。在 V_p 下，耗尽型器件的沟道电流(I_{DS})将被夹断，而增强型器件 I_{DS}将开始导通。

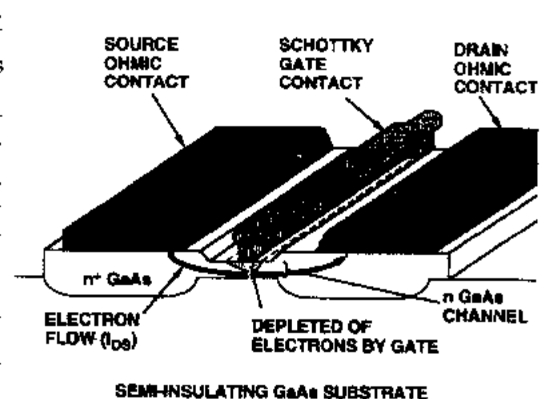


图8-2　GaAs 金属-半导体场效应晶体管(MESFET)结构

V_p 可由以下简单公式计算(Pucel 等，1975)：

$$V_p = \frac{qN_D a^2}{2\varepsilon_0\varepsilon} \tag{8-1}$$

·p. 385·

这里，q 为电子电荷(1.60×10^{-19}C)，N_D 为沟道区掺杂浓度，ε_0为真空介电常量($8.85\times10^{-12}\mathrm{Fm^{-1}}$)，$\varepsilon$ 是沟道半导体材料的相对介电常量。V_p 的调节实际上是在源漏之间刻蚀

凹槽来完成。它改变沟道层的厚度 a(上面已提到，并出现在 V_p 的计算公式中)。这样，V_p 是制作工艺参数的函数，如沟道区掺杂和沟道厚度。凹坑刻蚀完成后，蒸发栅金属层，然后经过图型光掩模后的浮脱工艺形成金属栅。一般来说，当前的Ⅲ-Ⅴ FET 都使用亚微米栅(L_g)其范围为用于大的数字电路的0.7μm 至低噪声器件的0.1μm。大尺寸用常规光刻技术形成，而小于0.5μm 的尺寸直接使用电子束光刻技术。

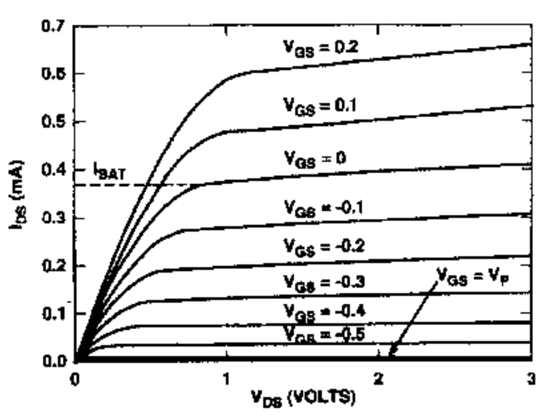


图8-3 典型耗尽型 GaAs MESFET 的电流-电压(I-V)曲线

图8-3给出一组典型的耗尽型 GaAs MESFET 电流-电压曲线，对应的肖特基势垒高度为0.8V，这有助于观察如下的 MESFET 参数。在接近 V_p 的栅-源偏置(V_{GS})下的 I_{DS}由下式给出(Eden，1982)：

$$I_{DS}=\frac{\varepsilon_0\varepsilon\mu_n W}{2aL_g}(V_{GS}-V_p)^2 \qquad (8\text{-}2)$$

这里，μ_n 是沟道中自由电子迁移率，W 为沟道宽度，L_g 为栅长(即沿源到漏方向上测到的栅的短尺寸)。

当 $V_{GS}=0$时的漏电流 I_D 记作饱和漏电流 I_{SAT}，并由下式给出(Pucel 等，1975)：

$$I_{SAT}=qv_sN_DaW \qquad (8\text{-}3)$$

其中 v_s 是自由载流子的饱和速度。

跨导(g_m)定义为给定 V_{DS}下的$-\delta I_{DS}/\delta V_{GS}$值，它与电流增益带宽积($f_T$)对 MESFET 来说是普通的优值描述。当载流子速度等于饱和速度，跨导表示为(Eden，1982)：

$$g_m=\frac{\varepsilon v_s W}{a} \qquad (8\text{-}4)$$

和

$$f_T=\frac{v_s}{(2\pi L_g)} \qquad (8\text{-}5)$$

当 V_{GS}接近夹断时，预期的表达式为：

$$g_m=\frac{\varepsilon_0\varepsilon\mu_n W(V_{GS}-V_p)}{aL_g} \qquad (8\text{-}6)$$

和

$$f_T=\frac{g_m}{2\pi C_{GS}}=\frac{\mu_n(V_{GS}-V_p)}{2\pi L_g^2} \qquad (8\text{-}7)$$

在这下式中，G_{GS}为栅源电容。

上述的许多物理参数和等效电路参数可见于图8-4，它们附加在 FET 的剖面图中。低噪声 GaAs MESFET 的典型值由表8-2给出。·p.386·

噪声系数定义为网络输入端信噪比与输出端信噪比的比值，最小噪声系数(F_{min})也是习惯用来表征 FET 的噪声特性的参数。

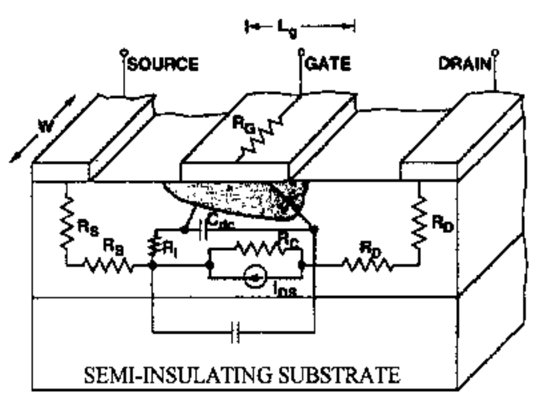


图8-4 MESFET 的等效电路模型及对每一电路元件的物理解释

Fukui(1979)首先提出一个著名的半经验噪声模型，它描述最小噪声系数与频率有如下的函数关系：

$$F_{\min} = 1 + K_f\left(\frac{f}{f_T}\right)[g_m(R_g + R_s)]^{1/2} \tag{8-8}$$

其中 K_f 是与频率无关的经验适配因子，对于 GaAs MESFET，它的典型值近似为2.5。

表 8-2　典型的低噪声 GaAs FET 的等效电路参数[*]

结　构	本征电路参数	工作条件	外本征电路参数
$L_g=1\mu m$	$g_m=30mS$	$V_{ds}=0V$	$C_{ds}=0.07pF$
$W=300\mu m$	$r_0=3ps$	$V_{gs}=0V$	$R_g=2\Omega$
	$C_{gs}=0.4pF$	$I_{ds}=50mA$	$R_d=5\Omega$
	$C_{dg}=0.01pF$		$R_s=5\Omega$
	$C_{dc}=0.015pF$		
	$R_i=3\Omega$		
	$R_{ds}=500\Omega$		

[*] Pengelly(1986)。

8.4.2　异质结构 FET

异质结构 MESFET 一般为结构更复杂的 MESFET 版本。异质结构目的是为 FET 栅极提供更大的势垒。例子之一是用 MBE 或低压 MOVPE 在 GaAs 沟道层上生长一薄层 $Al_{0.3}Ga_{0.7}As$ 肖特基势垒层。这种结构具有较大的肖特基势垒以限制栅电流，它允许数字电路工作在栅上具有较大的逻辑电压摆幅，因此与通常的 MESFET 相比，具有更好的噪声边界及更大的电流驱动能力。这类结构有时也称为 HIGFET 或异质结构绝缘栅 FET，因为栅和沟道被一绝缘的宽带隙半导体所分开，沟道层可以是 n 型或 p 型掺杂，从而不仅可以提供 n 沟器件，而且也可提供 p 沟器件，使制造低功耗互补 MESFET 集成电路成为可能。

8.4.3　高电子迁移率晶体管

高电子迁移率晶体管(HEMT)使用宽带隙/窄带隙异质结构(用 MBE 或 MOVPE 生长的)来产生量子阱结构。阱中无离化杂质原子，结果使高迁移率电子可以由源接触传导电流至漏接触。宽带隙材料的作用不仅是增高了相对于窄带沟道层的肖特基势垒(与异质结构 MESFET 的情况相同)，而且由于其薄层掺杂，还起到电子源的作用。掺杂剂产生的电子扩散进入量子阱沟道中。这称为调制掺杂，并由此产生 MODFET 的名称，它是具有二维电子气(2-DEG)沟道的 HEMT 的别名。一个 HEMT 异质结构图的例子如图8-5所示。因为沟道层是未掺杂的，物理上避免了离化施主，又因为电子在量子阱中的运动平行于异质界面，HEMT 中的电子迁移率更类似于超纯的体半导体。同时应该注意到，p 型调制掺杂也是可能的。

·p. 387·

性能优良的 HEMT 器件已经用数种Ⅲ-Ⅴ族材料异质结构组合制造成功。图8-6综合了基本的晶体管结构及材料的组合结构。这些不同结构包含了整个发展时期的 GaAs

MESFET(图8-6左侧),最老式的器件和 InP HEMT(图8-6的右侧)最近代的器件。目前最常见的 HEMT 是 GaAs 膺 HEMTS,又称作 PHEMT(即 GaAs 衬底上的 AlGaAs 和 GaAs 结构中的 GaInAs 沟道,或在 InP 衬底上晶格匹配生长的 AlInAs/GaInAs HEMTS)。基于 GaAs 材料的 PHEMT 广泛用于微波和毫米波的固态功率放大器。基于 InP 的 HEMT 器件在低噪声放大器中,特别是在毫米波段显示出临界最小噪声系数。为了获得最高速特性,对于任何类型的 HEMT,仅简单使用高迁移率材料及结构是不够的。如果要充分发挥 HEMT 的高速性能和低的最小噪声系数的潜力,还必须尽量减小寄生电阻(包括栅电阻和源、漏欧姆接触电阻)及电容(Feuer 等,1984)。为了最小化这些参数,制造工艺上通常采用带有多层抗蚀剂的电子束光刻技术,由此制作的 L_g 短至50nm(更典型的为100—250nm)的 HEMT 器件,它们的剖面具有蘑菇状,"T"状及"σ"状结构。有关 HEMT 的理论、制造及性能的更详尽的描述可参阅 Drummond 等(1986)、Mishra 等(1989)和 Morkoc(1991)的三篇杰出评论文章及 Ali 和 Gupta (1991)所编的书。HEMT 可称为"最快的三端半导体器件"的泰斗。这些用50nm 长栅制作的 AlInAs/GaInAs HEMT 演示的峰跨导为174mS/mm,非本征电流增益截止频率(f_T)为340GHz(Nguyen 等,1992)。

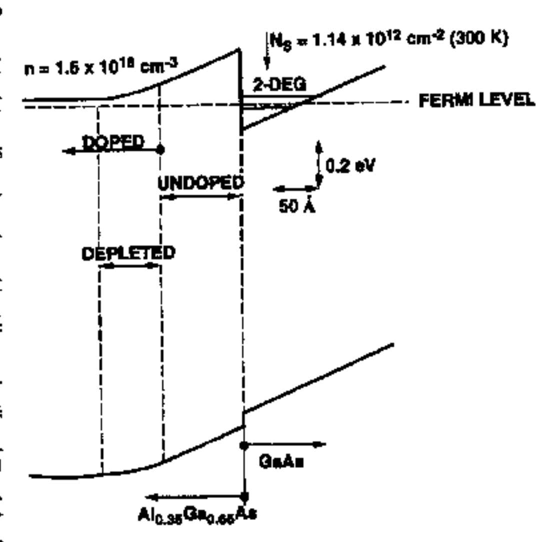


图8-5 HEMT 异质结结构界面能带图显示借助调制掺杂产生的二维电子气(2-DEG)沟道层

•p. 388•

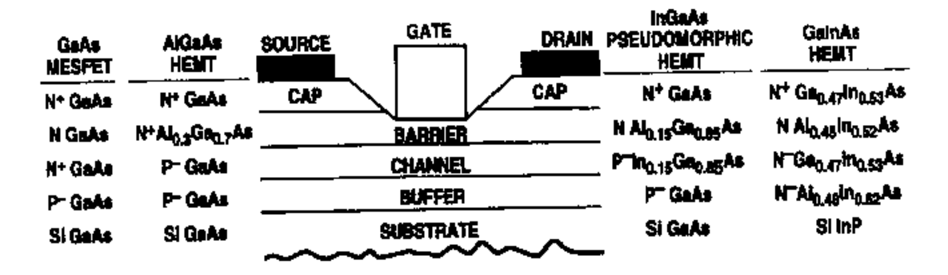


图8-6 Ⅲ-Ⅴ族化合物半导体 FET 的各种基本结构形式。由左至右,按时间顺序,以次为 GaAs FET 至 GaInAs HEMT

8.5 异质结双极晶体管

异质结双极晶体管(HBT)极不同于各种 FET 晶体管,前者是纵向少子器件,而后者是横向多子传导器件。HBT 的简化剖面图示于图8-7。这类器件一般都具有图中所示的台面结构,以便把电极置于埋层基区和次集电区层上。对于 HBT,忽略它们的外延层,这是最典型的结构。台面结构允许每一器件在半绝缘的 GaAs 或 InP 衬底上与其它器件完全

隔离。为了减小基区电阻和提高其速度，这一器件也具有基区接触自对准发射区结构。这些多层外延的器件结构多数是用 MBE(固态源、气态源或化学束外延)或 MOVPE 方法生长的。MBE 方法一般能提供较高 p 型基区掺杂的 n-p-n HBT 器件。用于 HBT 的最常见的Ⅲ-Ⅴ族材料组合示于图8-8。

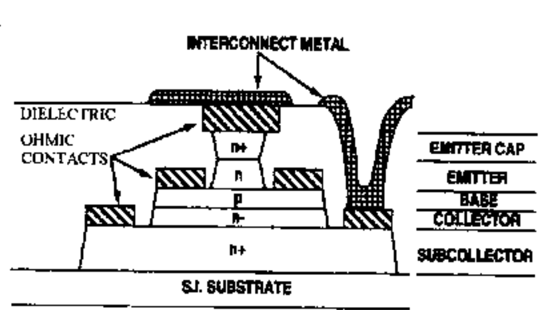


图8-7　HBT 源器件结构剖面图(S. I.：半绝缘)

HBT 在工作上非常类似 Si 双极晶体管(BJT)，不过在结构上发射极使用比基极更

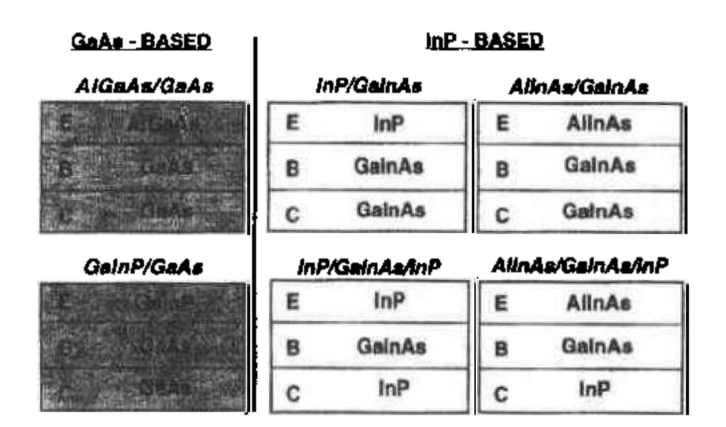


图8-8　用于形成最常见的 HBT Ⅲ-Ⅴ族化合物半导体材料的组合。E,B,C 分别代表发射极、基极和集电极层

宽的带隙材料。这一性质使 HBT 达到高增益的同时，因基极的重掺杂，也获得更快的工作速度(Kroemer，1957，1982)。较宽带隙的发射极产生对基极载流子的势垒，阻止它在 be 结正偏时向发射区的注入。在 n-p-n 结构的 HBT 中，电子由发射区注入 p 型基区，而基区空穴向发射区的注入却被阻挡。这一特性改善了晶体管的发射极注入效率，从而改善了电流增益。与硅 BJT 不同，HBT 的电流增益不仅取决于发射极与基极的掺杂比。对于在 eb 结界面为突变的 n/p 异质结的 HBT 器件，理想的最大共发射极电流增益，β_{max}(即集电极电流对基极电流的最大比值)，由如下公式给出(Kroemer，1982)：

$$\beta_{max} = \left(\frac{n_e}{p_b}\right)\left(\frac{v_{nb}}{v_{pe}}\right)\exp\left(\frac{\Delta E_v}{k_B T}\right) \tag{8-9}$$

·p. 389·

其中，n_e 为宽带隙发射极(即 $Al_{0.3}Ga_{0.7}As$，$Al_{0.48}In_{0.52}As$ 或 InP)中 n 型掺杂浓度，p_b 为窄带隙基极中 p 型掺杂浓度(即 GaAs，$Ga_{0.47}In_{0.53}As$ 或 $Ga_{0.47}In_{0.53}As$，分别对应上述的发射极材料)，v_{nb}为通过基区的电子速度，v_{pe}为通过发射区的空穴速度。ΔE_v 为宽带隙发射极和窄带隙基极价带边能量差，k_B 为玻尔兹曼常量，T 为结温。对 eb 结为组分渐变的情况，上述 β_{max}关系式要作适当调整，以 ΔE_g 替代 ΔE_v。ΔE_g 为宽带隙发射极和窄带隙基极带隙间能量之差。渐变组分 e-b 结是为了消除有时在突变异质结引起的导带尖峰。这种尖峰引起部分发射极电流以隧道方式通过结区，由此降低了集电极电流。

e-b 结能带不连续引起的势垒效应允许基极层非常重的掺杂，典型的掺杂范围为

$1\times10^{19}-10\times10^{19}cm^{-3}$(Jalali 等,1990)。这样在 n-p-n HBT 中,基极层可以非常薄(即50－100nm),从而获得高的增益,且具有足够的导电性(即薄层电阻500－100Ω·sq.$^{-1}$),为高速晶体管工作提供低的基区电阻。

事实上使用允许精确控制生长层的技术制备的这些外延层结构,在应用上给于 HBT 很大优点,对于模/数转换和数/模转换这样的应用,开态电压肯定非常均匀,整个晶片的开态电压的标准偏差仅为1mV,且像生长的异质结一样稳定。对于确定的通过 HBT 的集电极电流密度(J_c),导通电压 V_{be}仅为器件的 e-b 结材料性质的函数。这可由以下公式看出:

$$V_{be}=\left(\frac{E_g}{q}\right)+\left(\frac{k_BT}{q}\right)\ln\left[\left(\frac{p_bW_b}{D_nN_CN_V}\right)J_C\right] \tag{8-10}$$

·p. 390·

其中,E_g 是结基区边的能隙,W_b 是基区宽度,D_n 为基极电子扩散系数,N_C 和 N_V 分别为导带和价带的有效态密度,q 为电子电荷。

在半绝缘衬底 GaAs 和 InP 上生长的晶格匹配的 GaAs 和 $Ga_{0.47}In_{0.53}As$ 的电子输运性质使 n-p-n HBT 具有高达200Hz 的截止频率。与 GaAs 相比,GaInAs 具有更高的电子迁移率,而 GaInAs 和 InP 具有较高的峰值电子速度,使基于 InP 的材料具有更低的寄生电阻和更短的渡越时间。Ⅲ-Ⅴ族化合物半导体可能的高载流子速度对于制造高截止频率(f_T)的共发射极晶体管是关键性的,如上所述,通过以下众所周知的有关发射区至基区的渡越时间(τ_{ec})的表达式:

$$\frac{1}{2\pi f_T}=\tau_{ec}=\tau_{ee}+\tau_b+\tau_c+\tau_{cc} \tag{8-11}$$

其中基区渡越时间(τ_b)反比于电子(少子)迁移率(μ_n),更一般的是以少子扩散系数(D_n)表示,且正比于基区宽度(W_b)的平方:

$$\tau_b=\frac{W_b^2}{2D_n} \tag{8-12}$$

其中,

$$D_n=\frac{k_BT\mu_n}{q} \tag{8-13}$$

集电区渡越时间(τ_c)反比于集电区的饱和速度(v_s),且正比于集电区中的空间电荷层宽度(W_c)

$$\tau_c=\frac{W_c}{2v_s} \tag{8-14}$$

最后,集电区充电时间(τ_{cc})正比于发射区和收集区电阻之和(R_e+R_c)与 b-c 结电容(C_{bc})之积

$$\tau_{cc}=C_{bc}(R_e+R_c) \tag{8-15}$$

及类似的发射区充电时间(τ_{ee})正比于结电容之和($C_{eb}+C_{bc}$)与发射区电阻 R_e 之积:

$$\tau_{ee}=R_e(C_{eb}+C_{bc}) \tag{8-16}$$

作为上述值大小的一个例子,考虑一个具有 f_T 值为60－70GHz 的 HBT,它是典型基本实验性制造工艺的样品,相应的发射区至集电区的渡越时间约为2.4ps。此外,正向渡越时间($\tau_b+\tau_c$)近似为上述值的一半,而两个充电时间的和构成另外一半。

有关 HBT 的出色评论可以由 Ali 和 Gupta(1991)及 Jalali 和 Pearton(1995)编的书中找到。

8.6 新型半导体激光二极管

8.6.1 导言

半导体激光器在商业及远程通信电子学中成为日益重要的元器件。通过其在袖珍激光唱盘的娱乐系统中的应用及它对长途跨洋通信网的影响，这些器件在我们的日常生活中起到目前的重要作用。随着商业电缆工业最近采用数字技术，半导体激光二极管无疑会在未来的交互式多媒体娱乐世界中扮演主要角色。

·p.391·

伴随超低损耗光纤技术的出现，使用工作于1.5μm 波段(Li,1991)的激光二极管发射的光辐射，实现了信息的远距离传送。而使用蓝光对光信息存储的潜在优点，促进了蓝色激光二极管的发展(Neumark 等,1994)

8.6.2 级联式半导体激光器

在1971年，Kazarinov 和 Suris 预言了一种类型完全不同的半导体激光器，其受激发射来自半导体超晶格子带的内部。这一预言在18年后通过带隙工程的发展，才第一次在对 $GaAs/Al_{0.7}Ga_{0.3}As$ 结构的子带间光发射的观察中得以证实。此后电荧光和受激光发射作用在类似结构中得以实现(Faist 等,1993,1994a,b)。

这种新型激光器命名为级联激光器。它的工作原理是依赖于两个近邻具有不同能级的量子阱中电子的隧道跃迁，伴随着等于这一振荡频率的光发射。

8.6.3 蓝绿半导体二极管激光器

世界上第一只蓝-绿半导体激光二极管是由宽带隙材料 ZnSe 单量子阱结构制造的(Haase 等,1991)。该器件在77K 下以脉冲激射方式发射490nm 的相干光。这一成果代表在材料工程领域中的一个重要成就。在实现这一点之前，制造短波长半导体激光器的现实性受阻于向宽带隙半导体内掺 n 型或 p 型杂质的能力。仅仅在最近，量子工程学的现代技术，例如分子束外延(MBE)才使制备器件质量的 n 型和 p 型掺杂的 ZnSe 成为可能。对该材料质量的衡量标准是它所能达到的最大净受主浓度。对于 ZnSe 的情况，使用射频等离子源产生的无氮化学基达到$10^{18}cm^{-3}$的受主浓度。

这一器件生长在硅掺杂的 n^+-GaAs 衬底上。发光层为10nm 厚的 $Ca_{0.2}Zn_{0.8}Se$ 量子阱层，周围是1μm 厚的 ZnSe 层。它限止光使其沿波导传播。包层是与衬底 GaAs 接近晶格匹配的材料 $ZnS_{0.07}Se_{0.97}$。蒸金形成器件结构顶部和底部电极。n 型层用 Ce 掺杂，波导层施主浓度为$10^{17}cm^{-3}$，包层为$10^{18}cm^{-3}$。p 型层用 N 掺杂，受主浓度为$10^{17}cm^{-3}$。

在77K 下测量了激光器的特性，阈电流为74mA，阈电压为20V，发射波长为490nm，微分量子效率每端面超过20%，脉冲输出光功率每端面大于100mW。在室温工作，未观察到器件的受激发射，这是由于与金属接触有关的热负荷问题的限制。

8.7 参 考 文 献

Ali, F., Gupta, A. (Eds.) (1991), *HEMTs & HBTs: Devices, Fabrication, and Circuits*. Boston, MA: Artech House.

Arthur, J. R. (1968), *J. Appl. Phys. 39*, 4032.

AuCoin, T. R., Savage, R. O. (1985), in: *Gallium Arsenide Technology*, Ferry, D. K. (Ed.). Indianapolis, IN: Howard W. Sams & Co., pp. 47–78

Bahl, I. J., Willems, D. A., Naber, J. F., Singh, H. P., Griffin, E. L., Pollman, M. D., Geissberger, A. E., Sadler, R. A. (1990), *IEEE Trans. Microwave Theory Technol. 38*, 1232.

Brehm, G. E. (1990), *IEEE Trans. Microwave Theory Tech. 38*, 1164.

Drummond, T. J., Masselink, W. T., Morkoc, H. (1986), *Proc. IEEE 74*, 773.

Early, J. M. (1958), *Proc. IRE 46*, 1924.

Eden, R. C. (1982) *Proc. IEEE 70*.

Faist, J., Capasso, F., Sirtori, C., Sivco, D. L., Hutchinson, A. L., Chu, S. N. G., Cho, A. Y. (1993), *Electron. Lett. 29*, 2230.

Faist, J., Capasso, F., Sivco, D. L., Sirtori, C., Hutchinson, A. L., Cho, A. Y. (1994a), *Science 264*, 553.

Faist, J., Capasso, F., Sivco, D. L., Sirtori, C., Hutchinson, A. L., Cho, A. Y. (1994b), *Electron. Lett. 30*, 865.

Feuer, M. D., Hendel, R. H., Tu, C. W. (1984), *IEEE Trans. Electron Devices ED-31*, 1967.

Fukui, H. (1979), *IEEE Trans. Electron Devices ED-26*, 1032.

Haase, M. A., Qiu, J., DePuydt, J. M., Cheng, H. (1991), *Appl. Phys. Lett. 59*, 1272.

Helm, M., England, P., Colas, P., DeRosa, F., Allen, S. J. (1989), *Phys. Rev. Lett. 63*, 74.

Hooper, W. W., Lehrer, W. I. (1967), *Proc. IEEE 55*, 1237.

Jalali, B., Pearton, S. J. (1995), *InP HBTs: Growth, Processing, and Applications*. Boston, MA: Artech House.

Jalali, B., Nottenburg, R. N., Levi, A. F. J., Hamm, R. A., Panish, M. B., Sivco D., Cho, A. Y. (1990), *Appl. Phys. Lett. 56*, 1460.

Kazarinov, R. F., Suris, R. A. (1971), *Sov. Phys. – Semicond.* 797.

Kroemer, H. (1957), *Proc. IRE 45*, 1535.

Kroemer, H. (1982), *Proc. IEEE 70*, 13.

Li, T. (1991). *Topics in Lightwave Transmission Systems*. London Academic.

Mead, C. A. (1966), *Proc. IEEE 54*, 307.

Mendel, J. T. (1981), *Microwave J.* 24.

Mishra, U. K., Brown, A. S., Delaney, M. J., Greiling, P. T., Krumm, C. F. (1989), *IEEE Trans. Microwave Theory Tech. 37*, 1279.

Morkoc, H. (1991), *IEEE Circuits Devices 7*, 14.

Nakayama, N., Itoh, S., Ohata, T., Nakano, K., Okuyama, H., Ozawa, M., Ishibashi, A., Ikeda, M., Mori, Y. (1993a), *Electron. Lett. 29*, 1488.

Nakayama, N., Itoh, S., Okuyama, H., Ozawa, M., Ohata, T., Nakano, K., Ikeda, M., Ishibashi, A., Mori, Y. (1993b), *Electron. Lett. 29*, 2194.

Neumark, G. F., Park, R. M., DePuydt, J. M. (1994), *Phys. Today 47 (6)*, 26.

Nguyen, L. D., Brown, A. S., Thompson, M. A., Jellokin, L. M. (1992), *IEEE Trans. Electron Devices 39*, 2007.

Okuyama, H., Itoh, S., Kato, E., Ozawa, M., Nakayama, N., Nakano, K., Ikeda, M., Ishibashi, A., Mori, Y. (1994), *Electron. Lett. 30*, 415.

Pengelly, R. S. (1986), *Microwave Field-Effect Transistors – Theory, Design, and Applications*, 2nd ed. Herts, UK: Research Studies Press, p. 32.

Pucel, R., Hans, H., Statz, H. (1975), *Adv. Electron. Electron Phys. 38*, 195.

Salokatve, A., Jeon, H., Hovinen, M., Kelkar, P., Nurmikko, A. V., Grille, D. C., He, L., Han, J., Fan, Y., Ringle, M., Gunshor, R. L. (1993a), *Electron. Lett. 29*.

Salokatve, A., Jeon, H., Ding, J., Hovinen, M., Nurmikko, A. V., Grillo, D. C., He, L., Han, J., Fan, Y., Ringle, M., Gunshor, R. L., Hua, G. C., Otsuka, N. (1993b), *Electron. Lett. 29*, 2192.

Shen, C. C., Hartman, D. H. (1985), in: *Gallium Arsenide Technology*, Ferry, D. K. (Ed.). Indianapolis, IN: Howard W. Sams & Co., pp. 409–422.

Shockley, W. (1952), *Proc. IRE 40*, 1365.

van Tuyl, R., Liechti, C. (1977) *IEEE Spectrum*, 41.

9 硅器件工艺

Dim-Lee Kwong
Microelectronics Research Center, Department of Electrical and Computer Engineering
The University of Texas at Austin, Austin, TX, U. S. A.
(郭懋沁 译 钱佩信 校)

目录

符号与缩语表

c	电容
D_{it}	界面态密度
Dt	扩散×时间
E_{bd}	击穿电场
E_{eff}	有效电场
K	Preston 系数
L_{eff}	有效长度
N_{surf}	表面掺杂浓度
p	压力
Q_{bd}	击穿电荷
R	电阻
dr/dt	消除速率
ds/dt	相对速度
T	温度
t	时间
t_{bd}	击穿时间
$t_{ox,eff}$	有效氧化层厚度
V_T	阈电压
ΔV_{fb}	平带电压漂移
X_j	结深
μ_{eff}	有效电子迁移率
a/c	非晶体/晶体
AHF	无水氢氟酸
APCVD	常压化学气相沉积
ASIC	专用集成电路
BESOI	键合与背面蚀刻的 SOI

Bi-CMOS	双极互补金属氧化物半导体
BOX	隐埋氧化物
BPBL	鸟嘴可控的多晶硅缓冲硅的局部氧化
BPSG	硼磷硅玻璃
BSG	硼硅玻璃
CMOS	互补金属氧化物半导体
CMP	化学机械抛光
CVD	化学气相沉积
Cz	切克劳斯基(晶片)[1]
DCS	二氯硅烷
DI	去离子水
DMAH	二甲铝混合物
DOF	焦深
DZ	脱氧区
ECR	电子回旋共振
EG	非本征吸杂
fab	制造厂
FET	场效应晶体管
FIPOS	多孔氧化硅全隔离技术
GIDL	栅感应漏极漏电流
GILD	气体浸没激光掺杂
GOI	栅氧化层完整性
HBT	异质结双极晶体管
HTO	高温氧化
IG	本征吸杂
IPA	异丙醇
LICT	低杂质沟道晶体管
LOCOS	硅的局部氧化
LPCVD	低压化学气相沉积
LTO	低温氧化物
MCZ	磁控 Cz
MOS	金属氧化物半导体
MOSFET	金属氧化物半导体场效应晶体管
MQW	多量子阱
NCL	氮化硅覆盖硅的局部氧化
OISF	氧化诱生堆垛层错
ON	氧化物/氮化物

1) 直拉法生长晶体。——译者注

ONO	氧化物/氮化物/氧化物
PBL	多晶硅缓冲硅的局部氧化
PBR	多晶硅缓冲凹槽
PELOX	多晶硅封盖局部氧化
PIII	等离子体浸没离子注入
PMOS	p 沟 MOS
poly	多晶硅
PSG	磷硅玻璃[1]
RAM	随机存取存储器
RCA	美国无线电公司
RESSFOX	凹槽密封的侧墙场氧化
RIE	反应离子刻蚀
RLS-PBL	倒 L 形密封的多晶硅缓冲 LOCOS
RTA	快速热退火
RTCVD	快速加热 CVD
RTMP	快速加热多次加工
RTN	快速热氮化
RTO	快速热氧化
RTP	快速热处理
SACVD	亚常压 CVD
SADS	硅化物作为扩散源[2]
SALICIDE	自对准硅化物
SCVDW	选择性 CVD 钨
SEG	选择性外延生长
SILO	封接界面局部氧化
SIMOX	注氧隔离
SIMS	注硅隔离
SMD	表面微缺陷
SOG	涂布 SiO_2乳胶
SOI	绝缘体上硅膜
SRAM	静态随机存取存储器
SRO	应力释放氧化硅
SST	密封侧壁沟槽
STI	浅槽隔离
SWAMI	侧壁掩蔽隔离
TDDB	介质击穿时间特性

1) 原文 polysilicate glass，应为 phosphosilicate glass。——译者注
2) 原文有误，原文为 silicon，应为 sidicide。——译者注

TEOS	原硅酸四乙酯
TIBA	三异丁基铝
ttv	总厚度变化
UHVCVD	超高真空化学气相沉积
ULSI	特大规模集成电路
VLSI	超大规模集成电路

·p. 398·

9.1 引　言

为了降低集成电路成本，提高其集成度和工作速度，需要进一步缩小 MOS 集成电路的器件尺寸。MOSFET 沟道长度的减小增加了它的驱动电流能力，这对电容负载快速开关是很需要的。为了使芯片上有更高水平的集成度，势必要求器件的纵向和横向尺寸按比例缩小。这种高水平的集成使逻辑应用方面有更高的功能，在存储器应用方面有更高存储容量。近10年间，硅器件已由微米进展到深亚微米尺度。当今我们已进入亚半微米制造时代，常规的器件结构和制造技术正趋向它们的物理极限。因此，必须进一步提高器件和工艺设计及新材料的水平，这样才可满足越来越高的可靠性要求。

本章涉及 CMOS 器件的半导体工艺技术，综合介绍制作当代 CMOS 器件的一些关键工艺技术，包括器件隔离、栅介质、浅结和金属化。研究和开发部门近年来关心的上述领域的新技术也列入本章。为了遵守器件按比例缩小的规则，并保持其可靠性，将来需要做大的改进和变化也将讨论。另外，还包括越来越多地用于器件制造的干法腐蚀和沟槽结构，以及为了控制和消除严重的沾污问题而采用的吸杂技术(也即在器件有源区附近加一个吸杂区)。由于所用的晶片越来越大以及对工艺操作、可靠性和成本的要求越来越高，已经使多片工艺转向单片集成工艺，这种单片集成工艺不仅能处理单个大尺寸晶片，而且能将相近的多步工艺放在组合式的多腔系统中(或者放在几个相互独立又相互连接的设备中)原位加工。最后，要介绍降低热处理周期，对于亚半微米工艺快速热处理成为有吸引力的方向。

9.2 吸　杂

由于制造质量和成本方面的激烈竞争，再加上制造工艺日益复杂，ULSI 制造将要求极其努力地去降低由于无意的沾污而产生的缺陷。到2000年，制造先进的 DRAM 芯片预期需要700多步工艺，每一个工艺和设备都要努力减少缺陷，已经证实快速扩散的过渡金属为主要沾污之一，它会降低器件成品率和可靠性，这些快速扩散的过渡金属能成核或者进入晶体缺陷(位错，堆垛层错、沉淀等)，形成深能级缺陷，这些深能级缺陷会产生漏电流和降低少子寿命。过渡金属硅化物沉淀会引起 p-n 结短路和氧化层击穿。Fe，Cu，Ni 和 Cr 杂质对结漏电、SiO_2膜击穿和 MOS *C-t* 特性的影响已大量研究(Ohsawa 等，1990)。通常，Fe 会增加 LOCOS 隔离周围的 p-n 结漏电流，降低电极-SiO_2界面势垒高度引起栅 SiO_2击穿。Cu，Ni 和大量 Fe 在氧化层中产生薄弱点，呈晶体缺陷状态，会引起栅氧化硅层击穿。这些缺陷也使 MOS *C-t* 特性变坏。浓度高于$5\times10^{11}cm^{-2}$的 Fe 会减少产生寿命和增大表面产生速率，对于 Ni 来讲，即使浓度低到$10^{10}cm^{-2}$也会减少产生寿命。

·p. 399·

在硅中过渡金属原子通常占有晶格间隙位和替位，在金刚石晶格中其扩散主要靠间隙扩散(Weber，1988)。这种间隙扩散是十分快的，因为这种扩散与晶格缺陷无关，其典型的激活能量为0.4－1.8eV，如表9-1所示(Weber，1990)。采取晶片表面清洗、提高洁净室

表9-1 本征硅中3d金属的扩散系数

	$D_0(cm^2/s)$	$\Delta H_m(eV)$	T 范围(℃)
Ti	1.45×10^{-2}	1.79	950—1200
Cr	1.0×10^{-2}	1.0	900—1250
Fe	1.3×10^{-3}	0.68	30—1250
Co	9.0×10^{-4}	0.37	900—1100
Ni	2.0×10^{-3}	0.47	800—1300
Cu	4.7×10^{-3}	0.43	400—700

条件及超净水和高纯化学试剂等预防措施可以减少沾污程度,但不能排除意外的金属沾污。吸杂是有效地从有源器件区移走重金属的一种技术,这是提高器件成品率所必需的,因为它可以大大提高意外沾污的许可程度。为了吸除金属的杂质,非本征吸杂(EG)是采用外处理去形成非本征或本征缺陷。这些包括:磷扩散(Seidel,1975)、离子注入(Seidel,1975)、机械损伤(Mets,1965),以及多晶硅沉积(Chen,1982)。吸杂是在高温中进行,替位和间隙位杂质原子会收集到晶片的背面。在本征吸杂情况下,非本征或本征缺陷早已存在于长好的材料中,或者在退火中被生成(或激活)。因为非本征吸杂技术有几个限制,如缺乏稳定性以及吸杂工艺引起侧边效应。因此目前已更多地集中在本征吸杂。

9.2.1 本征吸杂

吸杂工艺要从有源器件区除去金属杂质,要经过如下三步:(1)释放要吸除的杂质;(2)杂质扩散到吸住区;(3)杂质陷落到扩展缺陷(层错、位错或沉淀)。直拉法生长晶片的本征材料特性(即间隙氧、替位碳、Si 空位、Si 间隙、杂质点缺陷、因生长沉淀和层错等),可引起大量的氧沉淀,,形成 SiO_x($x\approx2$)组合体。由于 SiO_x 中 Si 的密度比体硅低,这种 SiO_x 沉淀产生硅晶格无序和位错,晶格无序和位错起了捕获杂质的陷阱作用(Tan,1977)。伴随 SiO_x 沉淀,会引起间隙硅原子(Si_I)挤出,Si_I 可增强杂质迁移(扩散)到吸杂位置。

·p. 400·

对于有效的本征吸杂,必须形成两个区,一个是器件有源区内无缺陷区,另一个是晶片内远离有源区的吸杂区。硅中过渡金属间隙原子的本征吸杂可由下列热处理步骤来完成(Gupta and Swarroap,1984):

第1步:表面脱氧:在高温(高于1100℃)中退火,晶体表面由于氧的外扩散面形成无缺陷区;

第2步:成核作用:在低温(低于700℃)中退火,氧沉淀均匀成核;

第3步:生长:在高温(高于1000℃)中退火,成核的氧沉淀加速生长。

第一步高温退火使间隙位的氧原子从晶片表面外扩散,在靠近几十微米厚的区域中氧浓度降到外扩散温度下的固溶度值。在惰性气体或氧化气氛条件下温度高于1100℃经几小时热处理,可十分有效地进行表面脱氧。为了保护晶片表面不受沾污和不产生凹坑,建议进行这一步时晶片表面覆盖一层氧化层帽子。但是,建议不采用纯的氧化气氛,因为高温氧化期间,在氧化前沿的过剩的 Si_I 要放出,会导致体内的 Si_I 过饱和,从热力学角度看这种情况使 SiO_x 沉淀形成自由能变成不利,导致氧化诱生堆垛层错(OISF),并阻止体 SiO_x 沉淀(Hu,1980)。下一步成核处理时,近表面层氧的过饱和度不足以形成稳定的核,而在晶体内可以成核,氧团达到临界尺寸后在第三步退火期间将继续长大。

Gilles 等(1990)已研究了低温 Cz-Si 中 Fe 的沉淀动力学,他们提出一种本征吸杂机

理，认为吸杂过程与杂质饱和和沉淀有关，这一模型表明吸杂效率与脱氧区和晶片内层中杂质沉淀动力学的差异有关。对于给定的杂质和沾污程度，这个模型可得出优化的吸杂温度。假如，对杂质沉淀来讲有足够的非均匀成核密度，吸杂工艺仅由间隙杂质扩散系数、脱氧区的宽度、吸杂温度及其冷却速率决定。

•p. 401•

氧与集成电路制造的关系主要是由于器件工艺期间的吸杂方法中氧能形成氧沉淀和产生晶格缺陷。此外，硅中存在的间隙氧产生硅晶格的附加增强效应，在晶片热处理期间这种效应能防止塑性变形和滑移。在沉淀吸杂时，必须注意避免过沉淀，过沉淀会使硅晶格"耗尽"间隙氧，间隙氧的减少会降低晶片的抗屈强度，温度升降时晶片更易塑性变形，总的结果是片子变形，并在有源器件区产生滑移位错。宽范围的氧浓度已应用在 IC 器件工艺中(ASTM 美国材料试验学会，1988)，取决于热处理特性和器件对吸杂缺陷产生的灵敏度。通常对于以沉淀吸杂为主要的器件制造技术来讲，是需要高的或中等的氧浓度。当器件特性对晶格缺陷比较灵敏时，应尽量避免与氧有关的缺陷形成，可采用磁控直拉工艺(MCZ)的硅片，它具有低的含氧量和低的微缺陷密度。

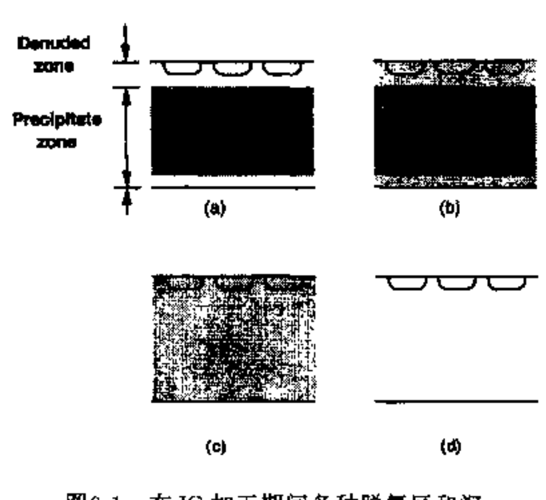


图9-1　在IC加工期间各种脱氧区和沉淀区分布的晶片的横断面图

在 ULSI 制造过程中，必需巧妙地设计在正确期间使氧沉淀在正确的位置上，这是通过精确控制晶片的氧浓度以及策略地安排热处理过程来实现的。晶片横断面的沉淀分布取决于含氧量和热周期程序，可分成四类，如图9-1所示(Lin，1990)。图9-1(a)是一种理想的结构，在器件有源区形成一个脱氧区和远离有源区晶片内的吸杂区，图9-1(b)表示由于局部沉淀的增强，形成非完整的脱氧区，这种效应是因为微缺陷生长或者局部氧浓度的起伏引起的。当吸杂期间氧没有外扩散，因此也就没有形成一个脱氧区，氧沉淀是均匀分布于晶片内，见图9-1(c)，这可能由于错误的热处理过程造成的，在器件有源区存在氧沉淀和大量堆垛层错会引起栅氧化层的完整性(GOI)变坏。图9-1(d)对应另一种情形，热处理所用的晶片含氧量低于氧沉淀临界值，这样就不会产生氧沉淀。因此，当本征吸杂(IG)集成到 CMOS 工艺流程时了解如何激活 IG 是重要的，这是为了在多次高温热处理条件下优化和保持 IG 的有效性和持久性。

•p. 402•

在多数 CMOS 工艺线中，晶片中产生 IG 的热处理是必然存在的，因为流水工艺的几个热处理过程与产生 IG 的三步热处理很相似，高温(>1100℃)N-阱/P-阱推进工艺也起到有效的脱氧作用，造成氧的外扩散。推进工艺以后通常在中等温度(900℃－1100℃之间)下进行场氧隔离工艺，这必然会在晶片内诱发氧沉淀，并不断长大，完成 IG 全过程。有的 CMOS 工艺线，认为诱发 IG 还不够充分，要求增强诱发 IG 的工艺，那么在阱推进工艺之后，场氧隔离工艺之前，还另加一步700℃ SiO_x 成核退火工艺。这样使得场氧工艺期间能增加沉淀密度和 SiO_x 沉淀速率。用这种方法改进了 IG 的有效性，这对关键的栅氧化

工艺特别重要。

9.2.2 氢退火吸杂

·p.403·

当 MOS ULSI 的设计规则缩到1/4微米范围，栅氧化层和隧道氧化层要求高质量和高可靠性的超薄氧化硅膜。一般来讲，薄氧化膜失效可分成三类(A,B,C 类)(Yamabe,1990),C 类失效表示本征氧化硅膜击穿，而 A 类失效是与表面外材料有关，例如，无意的沾污、杂质和颗粒；B 类失效则与硅材料的晶体缺陷(如生长堆垛层错和 SiO_x 沉淀)和工艺诱发的晶体缺陷有关。对栅氧化层的完整性(GOI)来讲，硅片表面的晶体质量起着重要作用(Yamabe 等,1983;Ryuta 等,1990;Yamagishi 等,1992,Miyashita 等,1991;Miyashita 和 Matsushita,1993),晶体表面区的晶体缺陷降低介质击穿强度和薄氧化硅膜的长期可靠性(Miyashita 和 Matsushita,1993)。制造 ULSI 的硅片常用直拉法生长的晶体，它具有多种生长缺陷(如氧沉淀和表面微缺陷(SMD))(Yamabe,1990;Yamabe 等,1983;Ryuta 等,1990;Yamagishi 等,1992;Miyashita 等,1991,Miyashita 和 Matsushita,1993)。为了减少这些接近硅片表面的微缺陷，已作了广泛的研究，一种方法是硅片在含氧气氛中高温退火，形成脱氧区(Tsuya,1991),有一个无缺陷和无间隙氧的区域可消除 B 类失效。采用外延层作为脱氧区也可大大改进 GOI(栅氧化层完整性)。减少生长缺陷的另一种可能性是缓慢生长硅晶体，并控制晶体的热过程(Hizuki 等,1990)。这些方法已经证实生长缺陷可有效地减少到某种程度，但是对于比10nm 更薄的氧化层介质击穿时间特性(TDDB[1])的改进是不够的(Miyashita 和 Matsushita,1993)。硅片在氢气氛中高温退火会引起氧的外扩散，这是减少表面区氧沉淀的非常有效的方法，已经报道用氢退火晶片来改进 GOI(Matsushita 等,1988;Adchi 等,1992;Samato 等,1993)。氢退火 Cz 晶片、常规 Cz 晶片、无缺陷 Cz 晶片以及外延片的氧浓度和缺陷密度的对比示于图9-2(Nikkei,1993)。能清楚看到氢退火晶片可与较贵的外延片相比，优于其它晶片。但是 Omar 等(1992)观察到在1150℃ H_2退火以后，表面上有高密度的微坑。Xu 等(1993)在1050℃ H_2预退火时也观察到表面变粗糙，这种粗糙使介质击穿变坏。将这种技术应用到 ULSI 制造以前，必须对氢退火的机理作更多的了解，并要优化其工艺。

·p.404·

深亚微米 CMOS 工艺是将高温扩散阱工艺改为低温 MeV 注入工艺(Lee 等,1993)。MeV 注入工艺能减少2到3次掩模工艺以及30个工艺步骤，改善表面形貌以及降低制造成本5%－15%(不同应用成本降低也不同)。对于 MeV 工艺必须另外加脱氧工艺或者编入到工艺流程中。惰性脱氧气氛是优于氧气氛，已经报道氢是最好的(Borland 和 Koelsch,1993;Borland,1989)。最近，已报道 Cz 晶片质量有重大突破，用氢退火脱氧获得与外延晶片类似的表面质量，而不需要增加成本(Nikkei Microdevices,1993)。已报道在惰性条件下(如氢)退火(1200℃,1h)可消除 B 类的失效(Samato 等,1993)。Gardner 等(1994)报道采用氢"脱氧"退火处理的 CMOS Cz 晶片特性有重大改进，器件特性、薄隧道/栅氧化层质量以及 Cz 晶片表面性质测量结果均非常好，这表明有可能不要外延。这一切都是因为晶

1) 原文为 TBBD,实为 TDDB。——译者注

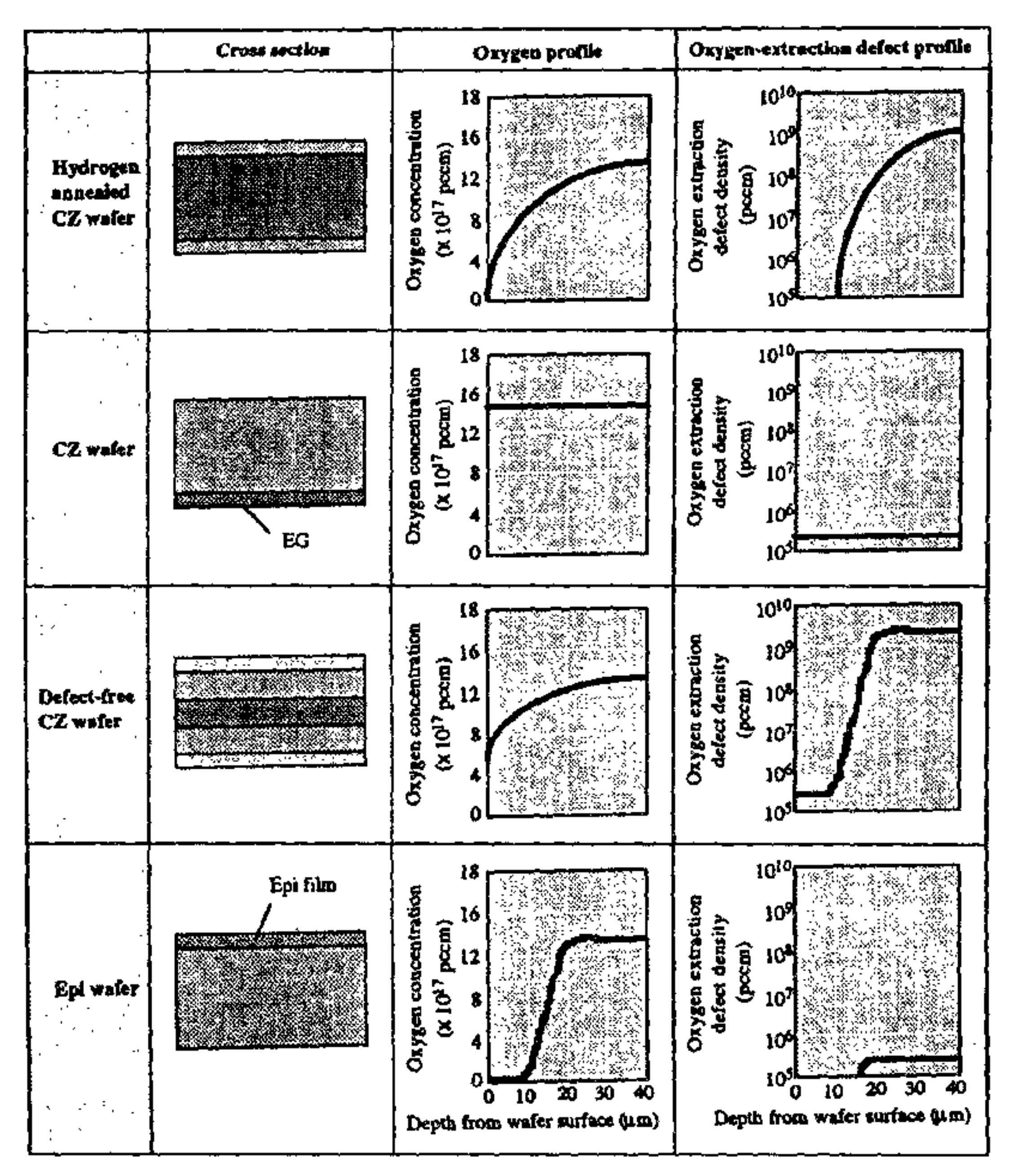


图9-2　氢退火 Cz 晶片、常规 Cz 晶片、无缺陷 Cz 晶片和外延片的氧浓度和氧致缺陷的比较

片经过短的氢"脱氧"预处理(1050—1200℃,15—30min)。在两种不同 QBD 结构中,已观察到8.2nm 的薄氧化层有29%的改进。对非外延 Cz 晶片来讲,氢脱氧可非常有效地消除 B 类氧化层击穿失效。另外,非外延 Cz 晶片经氢退火处理后观察到 pn 结漏电流下降一个量级。这种晶片不仅不增加成本,而且具有与外延晶片相似的表面特性。对于当今采用外延衬片的 CMOS 制造领域来讲,这些研究成果具有巨大的节省成本的潜力,尤其采用 MeV 技术更是如此。

9.3 器件隔离

集成电路工艺中有源器件的电隔离包括一般的器件之间“场”区的氧化层隔离和特殊应用结构隔离。最通常的隔离是场区，在有源器件区之间用部分和全部开槽厚氧化层区来实现。只有在SOI技术情况下才可能做到没有寄生漏电通路的完全氧化隔离。为了隔离CMOS的n阱区和p阱区已开发出特殊的隔离结构(如深槽)。

任一种隔离技术都应具有的基本特性是：

——掩模版图尺寸和最终器件几何尺寸之间小的图形转换差。

——当其它器件几何尺寸按比例缩小时，场氧化层厚度不按比例缩小。

——平的表面拓扑结构。

——无缺陷工艺。

9.3.1 基于LOCOS的隔离

·p. 405·

几乎所有近代集成电路中器件间的隔离均采用LOCOS(称作硅的局部氧化)(Appels等，1970)。在硅片上形成重叠的氮化硅/氧化硅膜，用光刻和刻蚀的办法除去场区的氮化硅膜，在光刻胶除掉以前，将硼离子注入到场区，接着进行氧化，使场区的硅被局部氧化，而氮化硅覆盖区并不氧化，场氧化层厚度典型值是700－1000nm。LOCOS的主要缺点是在场区和有源区之间的过渡处存在所谓“鸟嘴”(Bassons等，1976)，这是由于氧侧向扩散到抗氧化的氮化硅膜下面而引起的，过渡区长度取决于氧化条件。这种过渡区减少了器件集成度，当VLSI的隔离尺寸越来越小时，此问题就变得更严重了。

场氧厚度按比例缩小能减少氧的侧向扩散，但为了保持器件之间好的隔离，必须增加场区注入剂量(是为了防止场区沟道形成)，在氧化和后续的高温处理期间场区注入杂质的横向扩散会使pn结电容变坏，结的漏电流增大以及与MOS电流增益相关的“有效”栅沟道宽度减小。按比例缩小LOCOS的另一种方案是场区注入工艺安排在氧化工艺之后，这样可避免因场氧化面使硼进入场氧化层，使更多的硼杂质留在氧化硅/硅交界面附近，因此可用较薄的氧化层达到恰当的隔离，但这一方案场氧化层的阈值电压对氧化层的厚度是非常敏感的，因为杂质是穿过场氧化层注入到场区，所以场氧化层厚度变化可引起场区杂质的变化。这一方案的另一个问题是增加结电容和减小N^+/P结的击穿电压，这是因为高能量无掩蔽的穿过场氧化层的离子注入会增加pn结下面的衬底浓度。

已经研究出多种LOCOS改进工艺。SWAMI(侧壁掩模隔离)是LOCOS隔离工艺最著名的一个(Chiu等，1982)，其目的是既要保持LOCOS的优点，又要大大减小鸟嘴，因为鸟嘴是由于氧通过有源区边缘薄氧化层的横向扩散造成的。一种很显然的解决办法是用氮化硅膜去阻止这种扩散(Teng等，1985)。SILO(封接界面局部氧化)是解决减小鸟嘴的一种方法，为了封住LOCOS的氮化硅层下面硅界面，使LOCOS的夹层二氧化硅厚度减小到零(Hui等，1982)。这种方法不需要SWAMI方法采用的有源区四周侧边的氮化硅膜，因此这工艺更简单。SILO方法的有源区掩膜层有两种不同氮化硅层，与硅直接接触的一层是十分薄的(～130Å，用作封住界面)，其顶上一层较厚(～1000Å，用作抗氧化)，为

了释放应力，在这两层之间通常有一层氧化硅。防止硅缺陷的关键是下面一层氮化硅膜要非常薄，这样可使 Si 中引入的压应力低于塑性形变的阈值(Deroux-Dauhphin 等，1985)。

另一种方法是在氮化硅膜和原始的夹层二氧化硅膜之间加上一层用作应力释放的多晶硅缓冲层(poly-buffer LOCOS，PBL)，这一多晶层可减小场氧期间产生的应力(Nishihara 等，1988；Havemann 和 Pollack)。虽然已经证实这个方法可降低鸟嘴，但是场氧化层明显突出在原始硅表面，形成坏的表面形貌。利用应力释放多晶层和倒 L 形氮化硅侧壁隔离墙原理和通常 PBL 方法相比鸟嘴可进一步减小(Sung 等，1990)。这种倒 L 形密封的多晶硅层缓冲局部氧化硅结构(RLS-PBL)的工艺流程示于图9-3(Sung 等，1990)，采用氮化硅/多晶硅复合层作为掩模，使夹层氧化硅膜向里凹进去，在整个硅表面生长一层新的应力-缓冲氧化膜，在 LPCVD 淀积氮化硅膜和反应离子刻蚀以后可形成倒 L 形氮化硅侧壁隔离墙。Shimizu 等(1992)研究成多晶硅-缓冲凹槽 LOCOS(PBR LOCOS)方法，并用于 256M 位 DRAM 隔离。在这工艺中采用浅的凹槽腐蚀(25－200nm)、缓冲多晶硅层以及氮化硅侧壁墙等措施实现了小鸟嘴和无缺陷隔离。PBR LOCOS 的工艺流程示于图9-4。

•p. 406•

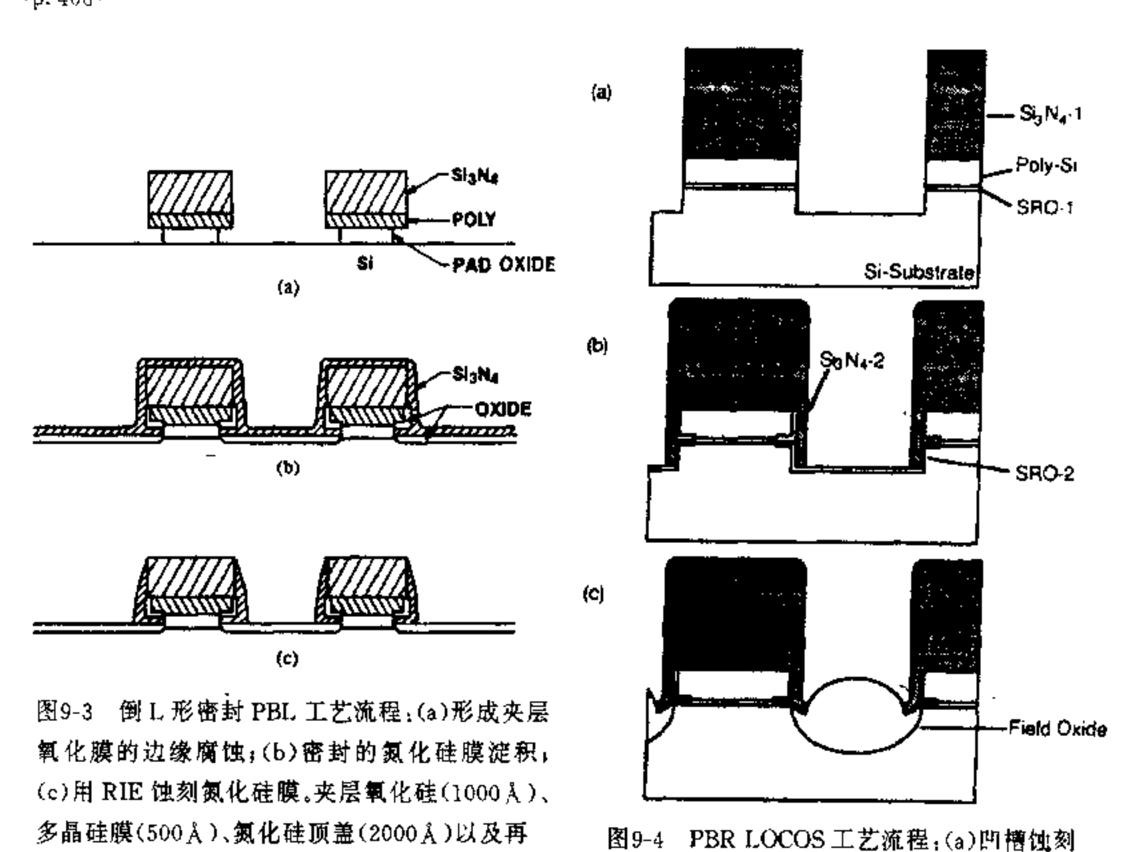


图9-3 倒 L 形密封 PBL 工艺流程：(a)形成夹层氧化膜的边缘腐蚀；(b)密封的氮化硅膜淀积；(c)用 RIE 蚀刻氮化硅膜。夹层氧化硅(1000Å)、多晶硅膜(500Å)、氮化硅顶盖(2000Å)以及再生长氧化硅膜(60Å)，没有按比例画出

图9-4 PBR LOCOS 工艺流程：(a)凹槽蚀刻以后；(b)形成氮化硅侧壁以后；(c)场氧化

9.3.2 先进的隔离技术

LOCOS 缩小到深亚微米尺度已经很困难了，因为为了保证好的电隔离所要求的小鸟嘴形貌、无缺陷衬底和足够的场氧化层厚度是存在矛盾的。替代标准 LOCOS 的几种隔离技术已经研究了。非平面技术是不好的，因为对后续工序的光刻不利(如互连)。足够平的

可分成下列几类：

——采用改进的氮化硅掩模办法的变型 LOCOS

——浅槽隔离(STI)

——选择性外延生长(SEG)

——沟槽隔离

——绝缘体表面的硅膜(SOI)

·p.407·

凹槽密封侧墙场氧化(RESSFOX)(Lee 等,1990)方法是用可耗尽的侧壁氮化硅去减小鸟嘴。场注入以后，在硅衬底的浅凹槽(150nm)上沉积上可耗尽的约200Å厚的薄氮化硅膜。在场氧生长以前，用离子反应刻蚀办法形成浅凹槽的可耗尽的侧壁氮化硅。这个薄氮化硅厚度既要足够厚，借此阻挡氧的侧向扩散，又要尽量薄，使其不引起附加应力以及能在场氧期间耗尽完。这就是 RESSFOX 和 SWAMI 的主要差别。

先用自对准氮化硅填充(或多晶硅填充)凹腔，再形成氮化硅侧墙，这样可消除氮化硅-1边缘下面的鸟嘴，这种方法已在0.25μm CMOS 工艺应用。多晶硅封盖局部氧化(PELOX)技术用自对准办法在氮化硅层边缘用多晶硅来填充凹腔，借此控制鸟嘴(Roth 等,1991)。这种工艺仅需对标准 LOCOS 工艺流程作简单修改，其修改为光刻氮化硅膜以后用 HF 酸漂去氮化硅膜边缘的薄氧化层，形成凹腔，再氧化裸露的硅表面，最后用多晶硅淀积凹腔，如图9-5所示。Pfiester 等(1993)已用氮化硅代替多晶硅填充凹腔，开发出一种氮化硅覆盖 LOCOS(NCL)隔离，这一技术得到的窄场区足够厚的场氧的鸟嘴每边只有600Å，其工艺流程示于图9-6。

Huang 等(1993)已经开发出鸟嘴可控的多晶硅缓冲 LOCOS(BPBL)。BPBL 隔离的工艺流程示于图9-7，生长夹层氧化硅以后用 LPCVD 方法沉积多晶硅和氮化硅，RIE 刻蚀氮化硅以后，采用各向同性的等离子刻蚀办法腐蚀掉露出来的多晶硅，使得氮化硅膜下面的多晶硅薄膜呈圆弧形。氮化硅侧墙形成后，除去剩余的多晶硅，这样可增加4000Å场氧化层的凹槽深度。第一层氮化硅和多晶硅之间的角是圆的，这样可以分散场氧化层生长期间氮化硅侧墙加到硅衬底的应力。为了使鸟嘴穿透减小到最小，多晶硅是减薄了。结果表明表面形貌是很平的，也即场氧化硅剖面的凹槽部分几乎达到总厚度的70%。隔离间隔到0.35μm 以下仍具有优良的结特性和栅氧化层完整性。

对于隐埋氧化物(BOX)隔离(Kurosawa 等,1981;Shibata 等,1983)或浅槽隔离(STI)(Fuse 等,1987;Davari 等,1988;Pierce 等,1991;Yu 等,1992;Shibahara 等,1992;Fazan 等,1993)是采用浅槽和先进的平面化技术。在0.25μm 或低于0.25μm 特征尺寸情况下，不可能期望 LOCOS 和其改进方法去达到所要求的表面的平面化、场氧化层厚度、边缘形貌以及沟道阻止特性。另一方面，BOX 和 STI 隔离有能力去满足这些需要。和局部氧化工艺不同，BOX 技术是采用淀积氧化硅。热氧化会消耗靠近表面的用于阻止沟道的硼杂质，这样必然使隔离特性变坏。用淀积氧化硅能使场氧化硅下面保留更多的硼，并且能实现具有势垒增强的更尖的角。但是，BOX 隔离存在工艺控制问题，譬如，台面角的场隔离均匀性、双-刻蚀工艺以及首次-刻蚀图形的对准等问题。并且，对比倾向于更高分辨率来讲是采用倾斜侧壁。STI 提供平的表面和完全凹槽场氧化硅，其不存在场氧化硅变薄的缺点，而且易于按比例缩小。Fazan 和其合作者(1993)提出，适合于256Mb 到4Gb DRAM 的简

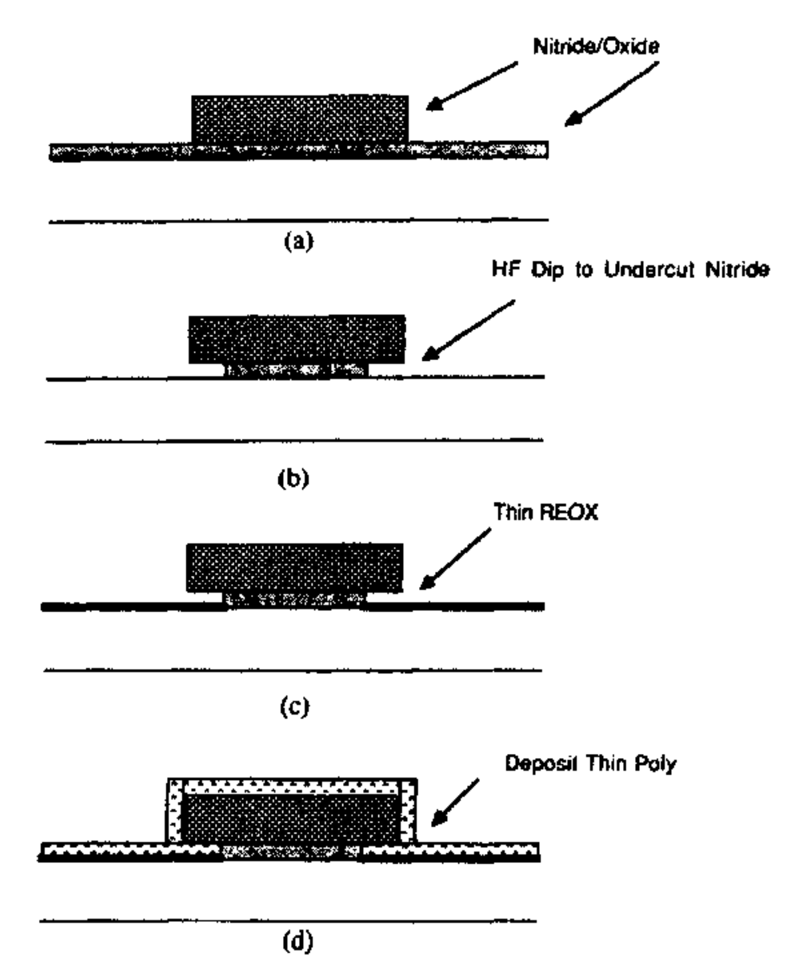


图9-5 PELOX 工艺流程：(a)离子反应刻蚀氮化硅；(b)HF 酸漂去氮化硅边缘下面的氧化硅，并形成凹腔；(c)热生长氧化硅；(d)淀积多晶硅封盖层

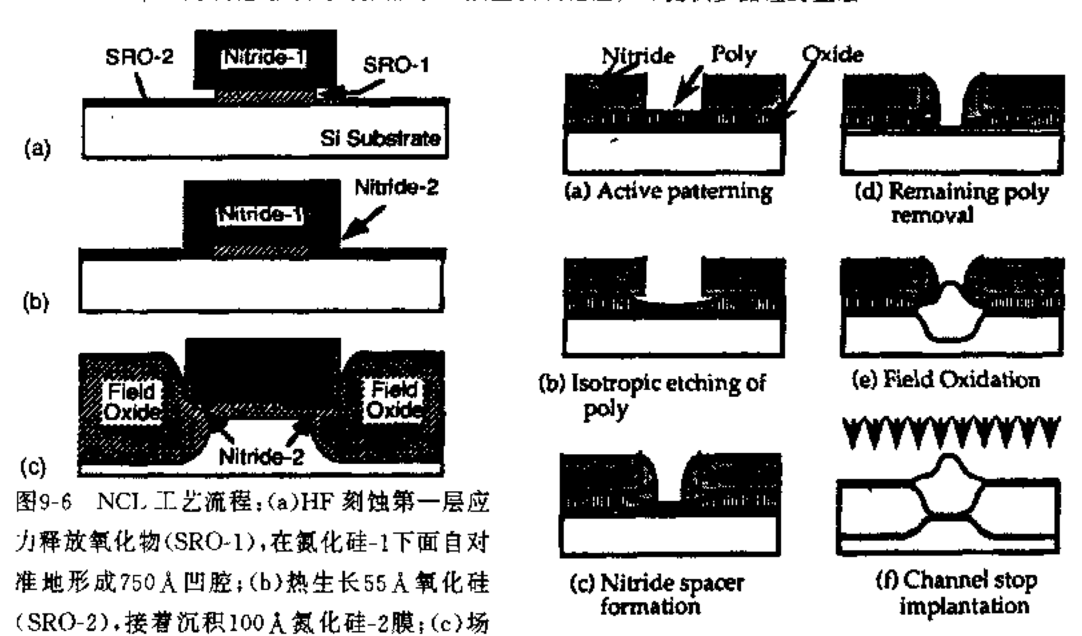


图9-6 NCL 工艺流程：(a)HF 刻蚀第一层应力释放氧化物(SRO-1)，在氮化硅-1下面自对准地形成750Å凹腔；(b)热生长55Å氧化硅(SRO-2)，接着沉积100Å氮化硅-2膜；(c)场氧化

图9-7 BPBL 隔离工艺流程

易的 STI 工艺，工艺流程示于图9-8，STI 工艺的特点是楔形的凹槽侧壁、薄的凹槽再氧化、垂直的硼注入（场注）、CMP 平面化以及为了光滑凹槽的拐角采用简便的氧化硅侧墙。

·p. 409·

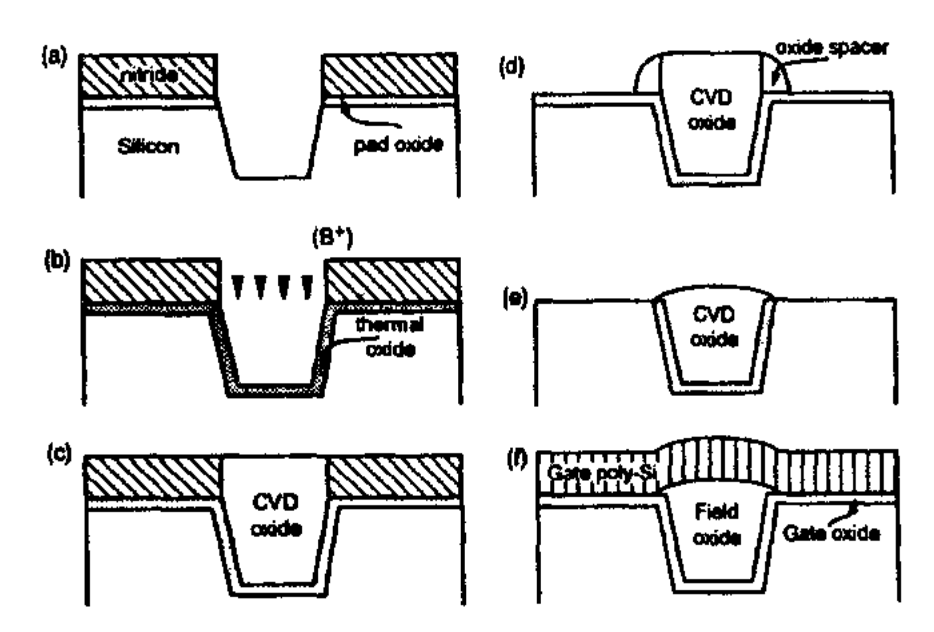


图 9-8　STI 工艺流程示意图：(a)光刻和开槽，(b)凹槽氧化和硼注入，(c)CVD 生成氧化硅和 CMP 平面化，(d)形成氧化硅侧墙，(e)湿法腐蚀薄氧化硅膜，(f)生长栅氧化硅和淀积栅多晶硅

除了器件隔离以外，STI 已应用到制造具有隐埋槽栅结构0.25μm CMOS 器件，如图9-9所示（Wen 等，1991），全部多晶硅栅埋在有源区和隔离区内，并且实现完全平面结构，pn 结的深度距沟道表面约 50nm，由于凹槽多晶硅栅其 pn 结深比常规 pn 结要浅得多。采用全平面 CMOS 技术可实现优良的短沟效应和器件特性，这种技术的高度平面形貌也为将来平面化多层互连结构打下良好的基础。

·p. 410·

为了实现全凹槽氧化硅隔离，从概念上讲 SEG 是最简单的方法。用作器件隔离的氧化硅立柱之间外延生长有源区硅层。处于这种技术的前沿，SEG 结果表明阱之间的有效间距非常小，只有1/4μm（Kasai 等，1987；Kamins 等，1985）。由于 SEG 快速发展，已发表了大量的论文，并且改进了 SEG 制造设备，表明这种技术在 CMOS

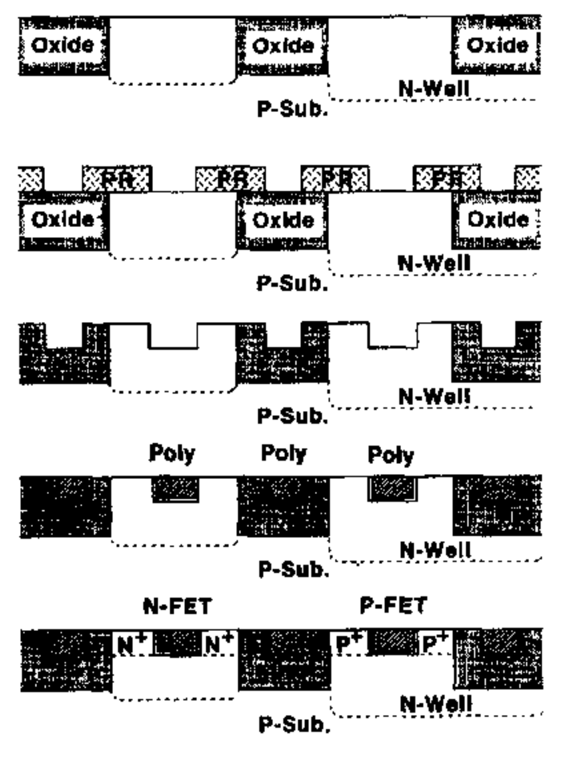


图9-9　全平面化 CMOS 技术的工艺流程

0.25μm 或更小的亚微米隔离方面将起重要作用，SEG 的另一优点是 n-阱和 p-阱能独立形成，如图9-10所示(Borland，1987)。能通过梯度掺杂外延生长办法来分别制作具有倒梯度杂质分布的 n-阱和 p-阱 CMOS 结构，这样可以不需要用离子注入和高温退火。这个优点也能用于双极型晶体管和 Bi CMOS 结构。选择性掺杂对于其它应用也十分有吸引力，譬如形成浅结和接触的再填充以及互连的平面化。SEG 留下要解决的问题是在接近外延/氧化硅界面的外延晶体中晶面和形成的缺陷。对于图形方向平行于〈100〉晶向虽然已报道得到无缺陷结构，对于其它晶向还必须进一步确定。

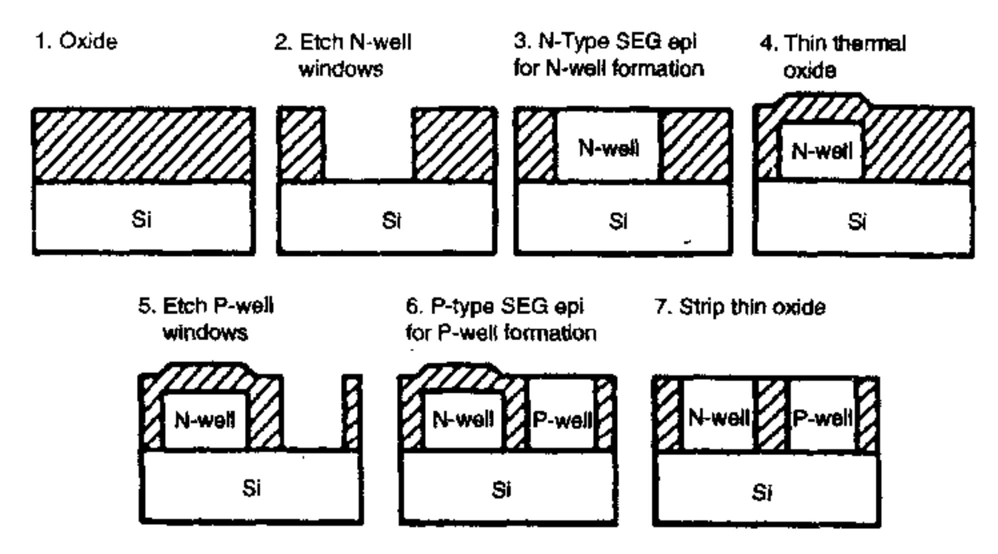




图9-10 用 SEG 分别形成 n-阱和 p-阱

·p. 411·

凹槽的主要目的是要实现高集成度而不增加隔离漏电流或不降低电源电压。这个目的可以通过折叠硅表面来达到，隔离氧化硅形成深的窄势垒，和间距相比电流路径增加许多倍，并且开槽很深，其底部已处于重掺杂硅(如外延晶片作为衬片)，实际上抑制隔离漏电流很完全。特别对于沟槽电容器，沟槽氧化硅特性是非常重要的，这是为了保证电容介质具有高的介电强度、高的击穿电压以及低的漏电流。幸好发现这些特性仅比平的表面稍差一些(Baglee 等，1985)，因为在拐角处有最薄弱的点，该处氧化速率较小(Marcus 和 Sheng，1982)。但是用牺牲氧化办法能使这些拐角变圆，这样可消除沟槽和平面氧化特性之间的任何差异(Yamabe 和 Iami，1981)。常规的沟槽隔离会产生诱发缺陷的应力。可采用密封侧壁沟槽(SST)工艺来克服这问题(Teng 等，1984)，这工艺需要在槽中加一个氮化硅层，当然这会增加工艺复杂度。用常规沟槽工艺(用多晶硅或者淀积氧化硅来再填充)漏电流约比没有沟槽高2—3数量级(Teng 等，1984)，但是用 SST 其漏电流与没有沟槽的差不多。

虽然沟槽隔离能形成好的侧向隔离，但没有解决纵向隔离。未来隔离的理想情形将是两种器件放在介质层(即 SiO_2)上面，这样可有效地消除闩锁效应和辐射诱生的错误现

象、减少性能极限效应(如寄生电容)。而且在相同的设计规则条件下这种结构的版图面积比常规 pn 结隔离 CMOS 要小,因为消除了深的 p 阱和 n 阱,可以大大减小 pn 结面积。

9.3.3 绝缘体上硅膜(SOI)

为下一代集成电路提供所要求的高性能、低电压、低功耗,SOI 技术是主要的竞争者,几种刊物已经讨论了这种技术的优点以及 SOI 器件所独有的"四周围"隔离提供的潜在优点。在过去几年中,这种技术的器件性能方面独有的问题已被发现,并得到解决,由来已久的 SOI 基片的质量、可用性和成本问题妨碍了这个技术用于商业 IC。

·p.412·

多孔氧化硅全隔离技术(FIPOS)采用横向阳极氧化办法在硅片上形成隔离硅岛(Zorinsky 等,1986;Kubota 等,1986;Imai 等,1984)。在早期研究中,横向氧化仅能扩展到几个微米,没有形成非常厚的多孔氧化硅膜,此膜能引起硅片翘曲,并影响后续工艺。研究出一种改进型 FIPOS 方法,这就是著名的岛状法(ISLANDS)(Zorinsky 等,1986),它的工艺步骤示于图9-11。由外延形成重掺杂 n^+ 层,接着外延第二层有电阻率要求的 n-外延层。然后沉积 Si_3N_4 和 SiO_2,形成掩模叠层。沿着有源区的边缘形成几微米的沟槽,沿着 n^+ 外延层优先形成多孔氧化硅,使得顶部 n-硅与衬底电隔离。最后沟槽再用氧化硅填充,并且平面化。隔离硅岛的最大宽度是42μm,长度为无限,最小间距为2.8μm,是由1μm 线条和1.8μm 空隙组成。多孔氧化硅厚度是均匀地控制在4900Å±300Å。测得的电子迁移率与体硅相当,亚阈值漏电流是低的(≈0.1pA/μm 宽,在5V 电压下),这证明它完全消除了背面沟道。

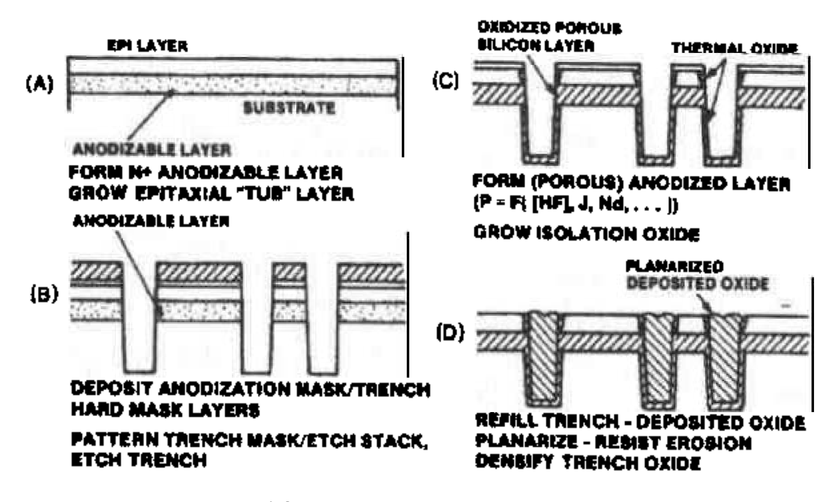


图9-11 ISLANDS 工艺流程

两种主要 SOI 技术近来有大的进展,可用于 VLSI:注氧隔离(SIMOX)和晶片键合(如这儿所用的"晶片键合"包括制造 SOI 所需的全部减薄技术和两个硅片键合成一个 SOI 基片)。SIMOX 工艺如图9-12所示。

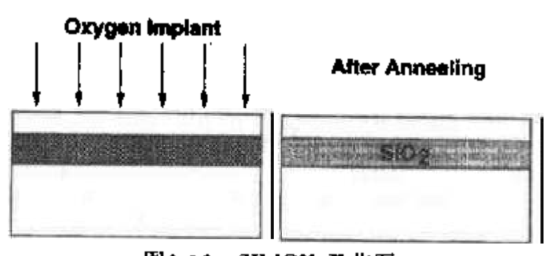


图9-12 SIMOX 工艺图

这个工艺用高剂量氧注入到硅衬底(10^{18}氧原子/cm^2),接着进行高温退火,形成

隐埋的氧化硅。注入以后的结构是由硅衬底、隐埋氧化硅和单晶硅膜组成。如果需要，单晶硅膜的厚度可用常规外延来增加。在氧注入期间，为了使表面层损伤减到最小，晶片保持在高的温度（>400℃）。在过去几年，已广泛研究了由 SIMOX 工艺形成的隐埋氧化硅和单晶硅的生长特性和物理结构。在注入期间，氧浓度首先形成不对称的高斯分布，但是一旦氧剂量达到足够高，氧分布变成平顶分布，其峰值氧浓度对应于 SiO_2的理想配比。已经发现，虽然 SIMOX 隐埋氧化硅在许多方面是与热氧化硅有相似之处，但在导电特性和辐射响应方面有较大差异。注入后高温退火（>1300℃），是为了消除表面硅层中的晶体损伤以及使氧从注入分布的尾部扩散到 SiO_2层，并构成 SiO_2，退火后在硅的顶层处位错和层错密度是十分高的，大约为$10^4-10^6cm^{-2}$。退火后 SIMOX 片内存在的如此高的位错和层错密度能引起双极器件的发射极-集电极短路，与体硅器件的同类晶体缺陷有相似的影响，其结果是 SIMOX 晶片不能用作 ULSI 双极晶体管的应用。另一方面，SIMOX 材料中晶体缺陷对 CMOS 器件的影响为最小。

•p. 413•

SIMOX-SOI 技术主要应用于恶劣环境下的 CMOS 器件，这些应用的典型 SOI 材料的隐埋氧化层厚度为0.4μm 以及硅层厚度为0.3－0.5μm。SIMOX 工艺是很理想地用于制造这种厚度的材料，器件表明，大规模采用 SOI 技术的主要障碍是价格合理质量好的 SOI 供货的可靠性。隐埋氧化层“导管”的基本问题是破坏了 SIMOX 晶片。这些隐埋氧化层的“导管”好像是穿过氧化层的硅导电线，测量也表明有“局部的导管”，也即在 SIMOX 材料中出现的薄氧化层区。隐埋氧化硅层的针孔问题与注入期间晶片上颗粒有关，因颗粒屏蔽了氧注入而形成“导管”，消除这些缺陷是一个重要任务，因在晶片注入前的清洗和注入过程都会产生颗粒。

片键合工艺示于图9-13。在这工艺中，采用两块平整度非常高的硅片，氧化一块或两块晶片，然后两个晶片表面对在一起进行退火形成单一结构。两个晶片中的一片作为衬片，另一片由背面减薄最后留下很薄的一层硅膜。减薄工艺所用的几种技术涉及物理和化学技术。在一些方法中，在键合工艺前，杂质注入或者扩散到要减薄的晶片中，形成一个腐蚀终止层。最初的减薄用机械工艺磨成几个微米厚的膜，最终减薄用化学腐蚀背面完成，这是采用择优腐蚀剂和腐蚀-终止层。键合晶片的表面硅膜结构与用于制造 SOI 的体硅晶片表面相似，一般来讲，表面硅层至少减到几微米厚，体硅的典型晶体缺陷密度是小于$10^2/cm^2$。

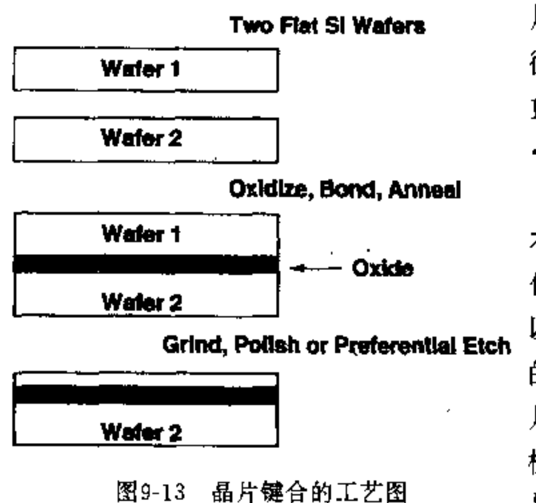


图9-13 晶片键合的工艺图

•p. 414•

硅 IC 基片通常所用的晶片研磨和抛光技术很难得到优于±0.5μm 的均匀性。虽然能用化学腐蚀终止技术制作较薄的表面硅层，这是以增加工艺复杂度和可能引入缺陷作为代价的。这是因为在十分小的范围内去控制键合晶片的厚度是比较困难的，这些材料主要用于双极器件。在双极型电路中，表面硅层必须是无晶体缺陷，并且常用于制作深的集电极，这要

求厚度在2－4μm 的范围，误差为±0.5μm。晶片键合方法很适合于这种应用。

厚度为75－100nm 超薄 BESOI 有可能为 CMOS 和 BiCMOS 工艺提高性能(Omura 和 Izumi，1990；Shahidi 等，1991)。但是实用要求十分小的总厚度变化(ttv)，典型值小于10nm。常规研磨技术能得到的 ttv 约为300nm，用超精密研磨得到较好的 ttv 是可能的(Abe 等，1992)。但是常规的研磨技术不可能实现新应用所需的超低 ttv。近来已报道了几种抛光技术，利用抛光停止实现具有选择图形的高 ttv。这些技术是有用的，但花费高，它们不是用于制作普通晶片的。专门的等离子减薄技术已显示出键合晶片上的薄表面硅可减薄到0.3μm 或更小，其厚度误差小于±0.01μm(Mumola 等，1992)，这样键合晶片可用于 CMOS 和双极器件。

Lasky 及其合作者提出氧化晶片键合到另一个晶片(1985)，为了减薄做器件的晶片，他们研究出离子注入腐蚀终止技术。Mazara(1991)和 Hunt 等(1991)发展这个技术成为双腐蚀终止。Iyer 等(1993)用"阱-定限"和高均匀腐蚀终止系统办法开发出一种高生产能力的 BESOI 工艺，它能实现硅和氧化物本征高质量、通用性以及高均匀性。用低温超真空化学气相沉积(UHVCVD)外延技术沉积 Si-Ge 腐蚀终止层(Iyer 等，1989)。低温焊接和键合工艺后，用适度的 ttv 研磨减薄做器件的晶片，并进行损伤清除工序。然后在高选择性的硅腐蚀剂中进行选择性腐蚀，采用腐蚀终止系统中的腐蚀终止阱。之后在另一种选择腐蚀剂中单独除去腐蚀终止层。考虑外延工艺、研磨和腐蚀工艺的均匀性，典型的好于10nm 的 ttv 一般是可以实现的，并具有最小的边缘损失。SOI 膜的电特性显示出长的载流子寿命和好的 FET 器件特性。

·p. 415·

键合的界面必须无气泡，气泡主要由硅表面上的颗粒和吸附气引起的，例如碳氢化合物。在超净室(1级或更好)或在微洁净室装置内装配两个晶片，可消除由于颗粒引起的气泡(Mitani 等，1991)。在片子键合前去气的办法可防止吸附气引起的气泡(Mitani 等，1991)。键合的强度随退火温度增加而单调地上升，这是因为在键合界面的原子相变以及在高温下的氧化硅的热流动。

9.4 栅 介 质

由于器件尺寸不断缩小，栅氧化层的厚度也要求按比例减薄，如图9-14所示(Taur 等，1993)，这主要是为了防止短沟效应。例如沟道长度过度的减小，而厚度没有相应的按比例的减薄，必然会导致阈值电压不稳定，这是因为电荷分享效应和由于漏场感应势垒降低和穿通引起的大的次开启和关态电流。为了使不良的短沟效应减到最小，获得好的器件性能，按比例减小栅氧化层厚度是十分有效的方法。换句话说，靠按比例减小栅氧化层厚度，可使短沟 MOSFET 的性能像长沟道器件一样。

ULSI MOS 应用中薄栅氧化层(＜100Å)应满足下列关键的要求：

——低的缺陷密度

——好的抗杂质扩散的势垒特性

——具有低的界面态密度和固定电荷的高质量的 Si/SiO_2 界面

——在热载流子应力和辐射条件下的稳定性

——低的热开销(thermal budget)工艺

氧化层的低缺陷密度可保证在低电场下突然性的氧化层失效次数为最少。表征氧化层完整性的一种方法是击穿电压的直方图。这种很好规定的方法将失效模型分成模型 A、B 或 C(Sanchez 等,1989)。模型 C 失效表示本征氧化层击穿,而模型 A 失效与表面外来材料有关,例如不希望有的沾污、杂质和颗粒;相反,模型 B 失效大都与硅材料晶体缺陷有关,例如生长层错、SiO_x 沉淀以及工艺诱生的晶体缺陷。模型 B 失效的另外一些原因列于表9-2中。

表9-2 氧化层模型 B 失效的原因

1. Local electric field intensification
   - a. Local oxide thinning
   - b. Residual nitrogen at surface (Kooi effect)
2. Charge trapping of oxide
   - a. Electron trapping
     - water related traps
     - non-bridging oxygen defects
     - dopant impurities
   - b. Hole trapping
     - oxygen vacancy
3. Crystal quality
   - a. Metallic contamination
   - b. Surface roughness
   - c. Oxygen precipitates
4. Process-induced damage
   - a. Reactive ion-etching
   - b. Photoresist ashing

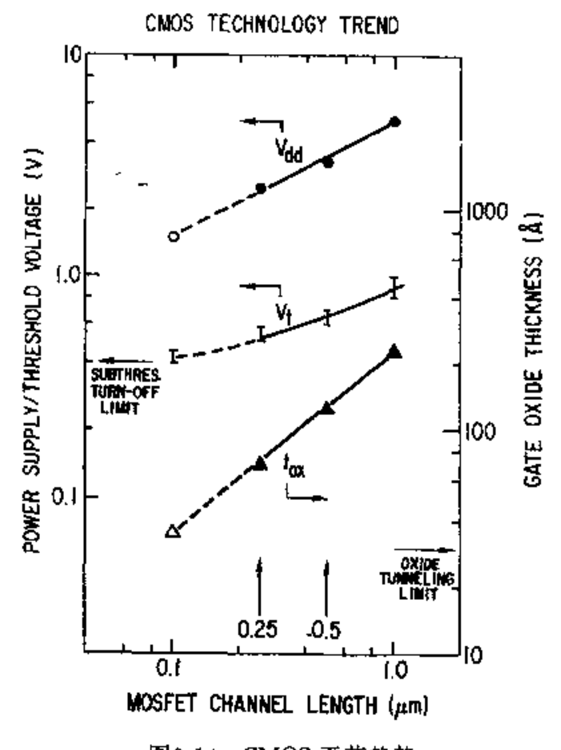


图9-14 CMOS 工艺趋势

改进势垒特性对 p^+ 多晶硅栅的 P-MOSFET 是特别重要的,低的界面态密度可保证 MOSFET 有陡的开关特性。当 MOSFET 按比例减小时,高的沟道横向电场会使沟道载流子获得高能量,并产生热载流子效应,例如氧化层电荷陷落和产生界面态。在热载流子应力下只产生最少损伤的栅介质层对尺寸大大缩小的 MOS 器件来讲是一种有希望的选择。工艺技术(如反应离子刻蚀 RIE)和某些未来的设备(如 X 射线光刻)能使栅氧化层暴露于高能等离子体和辐射,等离子体和辐射会降低栅氧化层质量,这一点是众所周知的,这势必把抗辐照要求强加于薄栅氧化层。对于 ULSI 来讲,为了使热扩散引起的杂质再分布最小,采用低的热开销工艺是必需的。

近几年来栅介质研究主要集中在上述所提到的一些问题。为了解决这些问题中的一个或几个,已提出许多方法,这些方法能分成四大类,第一类方法包括各种预氧化清洁工艺,第二类方法包括各种氧化工艺,第三类方法是过去10年受到极大关注的化学改善栅氧化层工艺,最后一类方法是沉积氧化层或者形成叠层作为栅介质。

9.4.1 预氧化清洗

硅清洗工艺的基本准则是消除表面(a)有机物、(b)过渡金属和碱性离子、(c)颗粒。如果在氧化前不将晶片的沾污除尽，必将影响栅氧化层的质量。通常的湿法清洗及其应用列表如下：

·HF/H_2O	腐蚀自然 SiO_2层
·H_2SO_4/H_2O_2(5:1)	去除大量有机物
·$NH_4OH/H_2O_2/H_2O$(1:1:5)(SC-1)	去除少量有机残留物和颗粒
$HCl/H_2O_2/H_2O$(1:1:5)(SC-2)	去除金属物
·NH_4OH/H_2O_2配比的影响	高:去除颗粒好 低:表面粗糙度小

·p. 417·

由 Kern 和 Puotinen(1970)提出的 RCA 清洗工艺仍广泛采用其原来配比或略作小的改进。清洗工艺由两步组成，第一步为了除去要氧化的硅表面的有机物沾污，在热的高 pH H_2O_2 SCl 溶液($H_2O/H_2O_2/NH_4OH$=5:1:1)中清洗，第二步为了通过形成金属络合物除去金属沾污，硅表面在热的低 pH H_2O_2 SC2溶液($H_2O/H_2O_2/HCl$=5:1:1)中处理。为了除去在第一清洗步中生成的氧化硅，常常增加一个中间步，用稀释的 HF 酸漂洗。Kern (1990)做了清洗工艺的发展年鉴的详细评述。

当氧化层厚度按比例降到低于100Å，清洗工艺的要求就更严，虽然 RCA 或改进后的 RCA 清洗适用于有效清除表面沾污，但这些清洗处理也会引起表面微粗糙，这是因为采用了碱性 NH_4OH 溶液，Ohmi 等(1992)详细研究了这种现象，并报道了微粗糙会降低击穿电场和降低生长在这些表面上的栅氧化层的击穿电荷(charge-to-breakdown)。为了防止表面粗糙，他们建议用5:1:0.25的 $H_2O/H_2O_2/NH_4OH$ 溶液而不是用传统的5:1:1配比。Meuris 等(1992)已研究了 SC1清洗液 $NH_4OH/H_2O_2/H_2O$ 的优化配比，用 SC1不同配比($H_2O/H_2O_2/NH_4OH$=5:1:(0.1—1))对晶片进行 RCA 清洗后发现，金属沾污和颗粒密度均相等。据此人们通常期望清洗后生长的栅氧化层有相同的击穿特性。但是实际发现有很大的不同，5:1:0.25的 SC1配比比5:1:1配比能得到更高的栅氧化层完整性，这是由于 SC1溶液会使 Si 表面变粗糙。对 SC1清洗作用的定性模型有助于理解所观察到的结果(Meuris 等，1992)，当硅暴露在 SC1混合剂中，过氧化氢会氧化硅表面，而氨水将驱散这种化学氧化物，这也就是两种化学成分的补偿效应的结果，化学氧化层将不断地形成和溶解。这种工艺很慢地腐蚀硅，高腐蚀速率将增加颗粒清除效率，这是因为从根部切除颗粒，但清洗10min 后会产生大的表面粗糙。因而寻找颗粒清除效率和硅表面粗糙两者之间的优化是重要的，发现腐蚀速率为0.2nm/min 是最好的，也有用新的清洗液(如 Choline)(Kao 等，1989)，它可以减少氧化层的缺陷密度。

表9-3 各种不同最后清洗并用去离子水冲洗后的典型金属沾污($10^{10}at/cm^2$)
(Verhaverbeke 等，1992)

	K	Ca	Cr	Fe	Ni	Cu	Zn
RCA	0.3	8.6	0.2	5.1	3.3	0.3	0.4
HF	0.1	3.8	0.05	0.3	0.1	0.06	0.1
HF/H_2O_2	0.6	1.6	0.3	2.2	0.2	0.09	1.2
BHF	0.2	1.4	0.4	2.6	0.3	3.7	0.7

在各种清洗处理后硅片的金属沾污如表9-3所示(Verhaverbeke 等,1991),一般来讲用 HF 最后清洗会得到比用标准 RCA 清洗更低的金属沾污。由 SC-1溶液产生的表面金属沾污包括如下:

·p. 418·

——在 SC-1条件下,Fe 将形成不溶解的铁氢氧化合物;

——在 SC-2清洗期间,铁氢氧化合物能消除;

——从 HF 溶液电化学镀贵金属(如 Cu)。

HF 腐蚀引起的氢处理表面使得贵金属发生电化学反应,反应产物主要是硅化物,继后的化学清洗工序中很难清除这种化学物质。具有比氢高半电池(half-cell)电位的酸性 HF 溶液中 Cu 是存在的,因此 Cu 能从 HF 溶液沉积到硅表面(Kern 等,1991),用高纯化学试剂或在 HF 溶液中加少量 H_2O_2办法可避免发生上述情况(Ohmi 等,1991)。

湿法腐蚀所用的化学试剂和去离子水配水系统中的沾污是金属杂质的主要来源,这种沾污减少了栅氧化层的完整性。近来工作(Verhaverbeke 等,1991)已研究了各种金属沾污对栅氧化层击穿特性的影响,发现 Ca 与 Si 基片反应强烈,导致表面粗糙和击穿特性变坏。观察到 Fe 因氧化期间形成缺陷点而使栅氧化层的完整性变坏,而 Al 会产生多晶硅栅/SiO_2界而损伤。与 Fe 和 Al 沾污不同,吸杂周期一点也不改变 Ca 沾污,这与事实相符,Ca 主要处在热氧化层中,由此可得出结论:对栅氧化层完整性来讲,Ca 是最重要的沾污。可采用超纯化学试剂,超纯去离子水、精心设计去离子水的水配置系统以及最后 HF 清洗来避免 Ca 沾污(Verhaverbeke 等,1992)。最后用 HF 清洗后的硅表面上金属沾污平均低于 RCA 清洗,这种金属沾污指的是目前工艺水平清洗后所发现的典型金属,基于其低的金属沾污原因,HF 漂洗表面是很好地适合于生长高可靠的薄栅氧化层。然而众所周知,忌水的表而易于颗粒沉积,继后的去离子水冲洗特别容易颗粒沉积(表9-4),氧化以后这些颗粒可大大减少。

表9-4 HF 漂洗和冲洗—甩干以后在5in 片上的颗粒数(Verhaverbeke 等,1992)

	N_2 人工吹	旋转甩干器	旋转冲洗甩干器
HF 漂洗/不冲洗	7	250	6900
HF 漂洗/过量冲洗	400	500	6100
HF 漂洗/快速翻洗	3100	1200	7600

加微量异丙醇(IPA)到 HF 溶液(Verhaverbeke 等,1992),用此 HF 漂洗后再用去离子水冲洗能防止 Si 表而上沉积颗粒,这样可得到高可靠的氧化层。加200ppm 或更多 IPA 到0.5%HF 溶液中,颗粒沉积急剧地减少,IPA 不与 Si 表面起化学反应,仅仅是合适温度下的快的物理吸附和解吸。

随着器件变得越来越小,湿法化学清洗有几个严重关注的问题,这些包括:

·p. 419·

——在清洗后产生的颗粒;

——干燥困难(水迹);

——产生大量危险的废化学药品;

——不能清洗具有大的纵横比的小接触孔;

——同某些现有的工艺不兼容;

——同集成工艺不兼容。

基于这些理由,干法清洗工艺在过去几年已大大引起注意(Moslehi 等,1992;Ruzyllo

等,1989),干法清洗的优点是:

——"更清洁"的工艺;

——气体反应物质更易接近晶片表面,能渗透到微细的高深宽比深槽;

——大大减少化学废弃物;

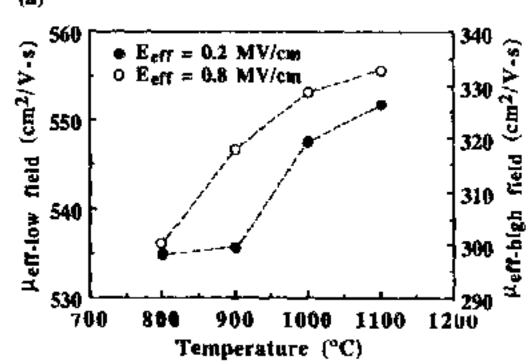
——可加入到原位集成单片工艺中去;

——可用 UV 增强或等离子干法清洗消除金属和有机物。

Ruzyllo 等(1989)报道了在氧气中用 UV 处理晶片可清除有机物沾污,面对平均击穿时间(t_{bd})和 t_{bd}分布都没有有害的影响。Kao 等(1991)采用气相 HF/HCl 清洗工艺,并与 RCA 清洗晶片相比,两种晶片生长栅氧化层后观察到气相清洗的 t_{bd}增加10倍。Kasi 和 Liehr(1992)断定,预氧化高温 UV/O_2处理能有效地消除碳氢化合物沾污。Fukuda 等(1992)采用快速清洗方法,晶片最初在 H_2SO_4-H_2O 中清洗,然后在1%HF 中漂洗,经上述化学清洗过的晶片在 H_2或 HCl/Ar 气氛下用不同的温度和时间进行快速热清洗,得出结论是 HCl/Ar 清洗可清除金属杂质和自然氧化层,而 H_2清洗是不能消除金属杂质。

9.4.2 工艺与栅氧化硅质量的关系

几位研究工作者已经研究了栅氧化温度对栅氧化层质量的影响,例如,在较早期的工作中,Deal 等(1967)曾报道了氧化层中固定正电荷随氧化温度增加近线性地减少。Hahn 和 Henzler(1984)研究 Si/SiO_2界面的结构和电特性对氧化温度的关系,他们报道界面原子台阶和电特性之间有密切关系,测量粗糙度可衡量原子台阶,其结论为高温氧化可得到具有较少界面态和较少固定电荷的更光滑的界面。Fukuda 等(1992)也指出高温(1200℃)RTP 氧化层与低温(800℃)炉子生长的氧化层相比,前者有优良的栅氧化层,界面态密度更低,t_{bd}更长和 t_{bd}的分布更集中。Walters 和 Reisman(1990)报道氧化层电子陷阱密度随氧化温度从800℃增至1000℃而减少。Joshi 和 Kwong(1992)报道在高温下生长栅氧化层的 MOSFET 可提高电子和空穴迁移率,并且在辐射和热载流子应力下可抑制性能退化,如图9-15所示。迁移率提高是由于高温度下可形成光滑的界面,可靠性改进是由于在温度高于960℃下粘性的氧化硅流动使界面应力消除(Eer Nisse,1977)。这些研究建议,为使栅氧化层有好的特性和可靠性应采用高温氧化,面高温快速热氧化是适用于 ULSI MOS 器件中栅氧化层生长。



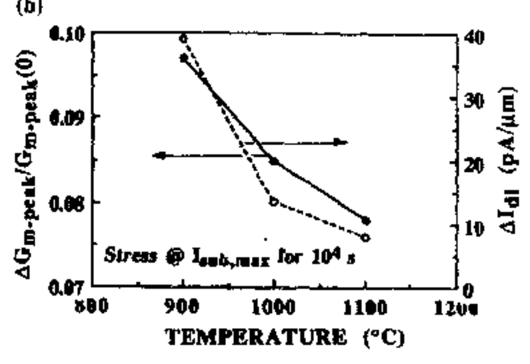


图9-15 (a)两个有效电场(E_{eff})下,有效电子迁移率与 MOSFET 的栅氧化层生长温度的关系。(b)关态漏电流增量(ΔI_{dl})和跨导退化与栅氧化层生长温度的关系

·p. 420·

除了较高的生长速率外,与干氧化硅相

比，湿氧化硅有突出的特点是消除早期击穿次数(Irene，1978)。Wu 等(1989)观察到湿氧化硅有十分陡的 t_{bd}分布，与干氧化硅相比 t_{bd}值大15倍。Li 和 Chang(1988)采用两步生长栅氧化硅，采取干-干，湿-干和湿-湿工艺组合，湿-湿工艺的缺陷密度最少，观察到随着氧化期间湿氧分压的增加低场击穿数量减少。

近来已报道湿氧化硅在0.8μm 工艺中实现，并且有一些突出特点(Wei 等，1992)，比较了850℃湿氧化硅 MOSFET 和900℃干氧化硅 MOSFET，对比了两种情况下击穿直方图，与早期研究所报道的湿氧化硅有重大改进不相同，在湿栅氧化硅 n 沟 MOSFET 观察到线性跨导增加10%，而 p 沟 MOSFET 湿氧化硅器件比干氧化硅器件有一点变坏。对于 p 沟 MOSFET 来讲，热载流子应力作用下电子陷阱是主要的退化机理(Koyanagi 等，1984)。

·p. 421·

为了生长厚的场氧化层(如 LOCOS 隔离)建议采用高压氧化(Baglee 等，1984)。与常压氧化相比，高压氧化的主要优点是增加氧化速率，如果采用常压氧化工艺去生长，使相邻 MOSFET 有好隔离的厚场氧化层，需要高温/长时间处理。例如，1000℃湿氧化约2h 能生长3000Å 场氧化硅，在 ULSI 工艺中这么长时间的热处理是不希望的，这是因为扩散会引起杂质再分布。Baglee 等(1984)已报道由于阻止沟道的注入杂质向有源区扩散使沟道宽度变窄。由于高压氧化会增加氧化速率，因此可在更小的热开销(更低的氧化温度或更短的氧化时间)条件下氧化，减小热开销对于 ULSI 工艺是非常重要的，Tay 等(1987)采用高压氧化去生长栅氧化层，10个大气压、700℃生长约120Å厚的栅氧化层。为了避免由于温度不稳定而引起的不均匀氧化硅生长，压力在 N_2中提升，这些氧化硅有低的界面态密度(1010$eV^{-1}cm^{-2}$范围)。同一个研究组近期工作(Tay 等，1990)表明，700℃高压氧化后，900℃氮退火，得到的80Å 氧化膜具有高于15MV/cm 击穿电场和高质量的 Si/SiO_2界面。在早期工作中已经指出，高压氧化和在常压常规氧化生长的氧化硅有相似的辐射响应(Gupta 等，1980)。虽然高压栅氧化技术由于低温、短时间特点非常吸引人，但能否用于 ULSI CMOS 工艺还需要更详细地研究，特别要考虑 MOSFET 的稳定性。

9.4.3 用化学方法改进栅氧化层

在过去10年已经报道了用于 MOS 工艺的化学方法改进栅氧化层的大量成果，化学改进的主要目的是引入可控的杂质量(譬如主要在 Si/SiO_2界面的氮或氟)，借以改进界面的特性，这些特性对 SiO_2的性能和可靠性是至关重要的。Si/SiO_2界面区由非理想配比单原子层和10～40Å厚的应变 SiO_2组成(Grunthaner 和 Maserjian，1978)，非理想配比的单原子层起因于不完全氧化，应变区起因于 Si 和 SiO_2之间的晶格的失配，这种失配在 SiO_2界面引起压应力。为了改进电或辐射应力下 MOS 器件的可靠性，Si/SiO_2界面本征应力的弛豫是一个重要技术。众所周知，张应力存在于 Si_3N_4/Si 系统的 Si_3N_4中，这样就产生一个方法，即将少量的氮加入到界面区以抵消压应力(Vasquez 和 Madhukar，1985)。这种氮氧化硅层中的应力弛豫多半是由于形成了 Si_2N_2O(Vasquez 和 Madhukar，1986)。Si_2N_2O 中三角形平面键允许硅的四面体键更平滑地向非晶 SiO_2过渡。因为 Si-N 键强度比 Si-H 键大得多，所以可抑制热载流子和电离辐射所产生的缺陷。引入氮到 SiO_2的另一重要优点是改善了硼穿透扩散势垒特性，这一点对于 p^+多晶硅栅表面沟道 p-MOSFET 来讲是极重要的要求(Lo 和 Kwong，1991)。加氟到 Si/SiO_2界面是改进 MOS 系统性质的另一方法，

建议用氟去填补 Si/SiO_2界面的某些悬键(Wright 和 Saraswat,1989)。在常规工艺中,烧结期间用氢填补悬键,因为 Si-F 键强度(5.73eV)大大高于 Si-H 键(3.17eV),所以可以抑制热载流子和电离辐射产生的缺陷,而且引入氟可使界面应力弛豫(da Silva 等,1987)。

·p. 422·

用化学改进薄氧化层的这两种方法已有大量研究,已报道栅氧化层在 NH_3中退火(Ito 等,1982a;Lai 等,1983),借此可得到所希望的好的抗杂质扩散特性(Ito 等,1982a)和耐热载流子应力特性(Lai 等,1983)。快速热氮化(RTN)是引人注意的方法,由于它只要求短时间加热以及能很好控制氮分布,(Moslehi 和 Saraswat,1985)。建议用再氧化(Hori 等,1989;Yang 等,1988;Dunn 和 Scott,1990;Joshi 等,1992)或惰性气体退火(Wright 等,1990)去减少在氮氧化硅中的电子陷阱和固定电荷密度,并保持 Si/SiO_2界面的富氮层。但是用再氧化或退火不能完全消除由剩余氮化诱生的电子陷阱,这样会使 p 沟 MOSFET 可靠性变坏(Momose 等,1991),常规氧化生长后用快速热工艺制作了再氧化氮氧化硅,结果证明再氧化氮氧化硅栅在许多方面优于纯的氧化硅,但是由于存在剩余氮化面诱生的电子陷阱是这种介质的缺点,这种 p-MOSFET 的可靠性比常规栅氧化物的 MOSFET 要坏。用稀 NH_3氮化能克服这个缺点,但轻的氮化不足以防止硼透入沟道区。图9-16对折衷方案进行了描述(Momose 等,1991)。

				"PO" LIGHT← "NO" →HEAVY
NITROGEN CONC. (atom%)				0 0.1 0.2 0.5 1 2 5 10
INITIAL	V_{TH}			BETTER WORSE
	N_{IT}			
	G_m	NMOS	HIGH V_G	
			LOW V_G	
		PMOS		
	I_D	NMOS	HIGH V_G	
			LOW V_G	
		PMOS		
HOT-CARRIER STRESS	NMOS		DAHC	
			CHC	
	PMOS		DAHC	
			CHC	
BORON PENETRATION			$1E15cm^{-2}$	
			$3E15cm^{-2}$	
NITROGEN CONC. (atom%)				0 0.1 0.2 0.5 1 2 5 10
TOTAL				WORSE OPTIMUM WORSE

图9-16 RTN RTO SiO_2的性能和可靠性与氮浓度的关系

与 NH_3基工艺相比,N_2O 基工艺有重要优点,除了工艺简单外,还可在处理期间消除任何含氢物质,因此可避免与氢有关的缺点,视工艺设计、热处理温度和时间极限以及器件应用而定,已开发了几种采用 N_2O 处理的工艺,这些工艺是:

·p. 423·

——在纯 N_2O 中硅的氧化(Lo 等,1991);

——在 N_2O 中氮化热生长 SiO_2(Ahn 等,1992a);

——在 N_2O 中致密和氮化 CVDSiO_2(Ahn 等,1992b);

——在 NH_3中 N_2O 氧化硅的氮化,用于 p^+多晶硅栅的 p-MOSFET(Yoon 等,1993)。

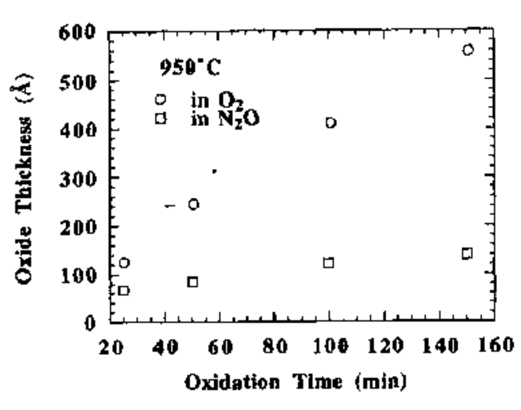


图9-17　硅在 N_2O 和 O_2 中氧化生长动力学的比较

与 O_2 氧化相比，N_2O 中氧化工艺可自身限制，如图9-17所示，生长超薄氧化层具有极好的厚度可控性。这种工艺不仅简单，而且无氢，易于集成到现代 ULSI 工艺中。因为在 N_2O 氧化期间，氮加入到 Si/SiO_2 界面，所形成的氮氧化硅与氧化硅对照样品相比具有较低的空穴陷阱密度，并且在高场应力下可减少电子陷阱产生以及在热载流子应力和 X 射线辐照下可减少界面态和中性陷阱产生，N_2O-氧化硅的 NH_3 氮化不变坏 N_2O-氧化硅电特性和可靠性，并且有大大提高抗硼透入的优点，具有 N_2O-氧化硅栅的 n 和 p 两种 MOSFET 用于特殊应力条件(例如 SRAM 型通路晶体管、CMOS 逻辑电路的传输门，以及 CMOS 模拟器件)下与可靠性有关的热载流子研究表明和氧化硅栅对照器件相比 N_2O-氧化硅栅可抑制所有热载流子诱生的损伤(即界面态、电子/空穴陷阱，以及中性电子陷阱)(Yoon 等，1993)，这些结果表明 N_2O-栅氧化硅可大量应用于 MOS ULSI 中。

可由不同的工艺来实现氟掺入到栅氧化物中，例如在栅氧化以前 Si 片浸在 HF 中(Nishioka 等，1988)、F 离子注入(Lo 和 Kwoug；Nishioka 等，1989)以及在栅氧化前或期间用 NF_3吹洗(Lo 等，1992)，不同的工艺在栅氧化硅中产生不同氟的分布，由此而产生电特性也各不相同。因为过量的氟掺入到氧化硅会造成坏的介质特性(Lo 和 Kwong，1991；Nishioka 等，1989)，因此精确地控制氟的掺入量是必需的，这可用快速热处理(RTP)来实现。

·p. 424·

已报道氟化会增加固定正电荷，但可抑制界面态密度(Nishioka 等，1989；Lo 等，1992)。另一方面，Wright 和 Saraswat(1989)报道了掺氟氧化硅中有负电荷，而且氟钝化了 Si/SiO_2界面悬挂键，使界面态密度减少(Wright 和 Saraswat 1989；Nishioka 等，1989；Lo 等，1992)，而正电荷的增加是由于在氧化硅掺入氟后形成非桥式氧(nonbridging oxygen)缺陷。Wright 和 Saraswat(1989)报道了用增加渗入栅介质中的氟量可大大抑制 MOSFET 中由热电子诱生的退化。另一方面，Lo 等(1992)报道了在栅介质中氟的量和分布都会影响氟化氧化硅的热载流子可靠性。仅有一个很小的工艺窗口可观察到比纯氧化硅有更好的热载流子可靠性和辐照加固特性。已经断定，为了获得高可靠性的栅氧化层，在 Si/SiO_2 界面中存在氟是必要的，改进氟化氧化硅的抗辐照和抗热载流子特性主要是由于抑制了界面态产生，通常认为界面氟的渗入是这种改善的原因(Ma 和 Dressendorfer，1989)。

9.4.4　CVD 和叠层氧化硅

为了抑制与击穿有关的氧化硅膜缺陷密度，与硅片上热生长氧化硅相比沉积氧化硅是一种更好的工艺，因为沉积氧化是不太可能受硅衬底缺陷的影响。这种技术的另一个优点是可用低温工艺，这对加热有严格要求的 ULSI-MOS 工艺来讲是有吸引力的特点。已经研究了(Tseng 等，1993)各种 CVD 氧化物(例如 TEOS、HTO 和 LTO)。Ahn 等(1992b)

研究了在 N_2中退火的约65 Å LPCVD 栅氧化层(硅烷和氧反应)的 MOSFET 热载流子稳定性。观察到沉积后退火的氧化膜压应力小于常规的热氧化膜,认为这是改进电流驱动能力和热载流子稳定性的原因。最近报道(Ahn 和 Kwong,1992),为了在 Si/SiO_2界面加入少量的氮,采用沉积后用 N_2O 退火代替常规 N_2退火,这种薄膜与硅片热生长氧化硅相比具有更优良的热载流子稳定性,这是因为氮处于 Si/SiO_2界面以及由于采用沉积氧化物可得到低的缺陷密度的缘故。

Roy 等(1988)研究了氧化叠层,它由一个氧化硅垫层及其顶上的 CVD 氧化硅组成。在这个叠层中观察到的缺陷密度明显减少,这主要是因为叠层中的各层缺陷的不重合的缘故,由于各层之间的应力的补偿使得 Si/SiO_2界面的应力接近于零。Kawamoto 等(1987)证实叠层的性能可与热氧化膜相比。Tseng 等(1991)将140 Å 左右的叠层 CVD 氧化硅(40 Å 热氧化和100 Å LPCVD/TEOS 氧化硅)用于0.5μm CMOS 工艺。它有几个优点,首先,低场击穿的数目大大地小于常规的热氧化;另外,由于 Si/SiO_2界面具有较小应力,观察到的工艺诱生损伤大为减少,为了得到更长的击穿时间和更低的缺陷密度,要优化底部热氧化层厚度对顶部 CVD 氧化层厚度之比,优化比率是两层本征缺陷密度和失配机理之间折衷的结果。

·p. 425·

用氧化硅和 Si_3N_4构成栅介质叠层[ON(氧化硅/氮化硅)或者 ONO(氧化硅/氮化硅/氧化硅)]能够产生两个优点,第一点,像 CVD 氧化硅和热氧化叠层那样,各层中微孔的不重合可看成是一层有效地封住另一层的微孔,以防早期栅介质的失效(Roy 等,1988)。第二点,采用 Si_3N_4增加薄膜的有效介电常量和提高抗硼透入的能力。Iwai 等(1990)研究了用叠层 ON 栅介质构成的 MOSFET 的抗热载流子特性。观察到顶部氮化硅厚度减少到30 Å 左右,叠层中电荷陷阱能明显减少,这层叠层可与常规热氧化膜相比。Dori 等(1987)在双栅工艺中采用 ON 介质,并指出顶部氮化硅层能有效的抗硼透入,容易制作 p^+多晶硅栅的 p-MOSFET。另外这些介质与常规热氧化硅相比,有更集中的 E_{bd}分布。Iwai 等(1987)还报道了减少顶部氮化硅层厚度可减少电子陷阱。

9.5 浅结形成

为了抑制 MOS 穿通电流和减小器件的短沟效应(例如 CMOS 器件 DIBL 降低),高性能半导体工艺的重要要求是减小 CMOS 源/漏结深。先进 CMOS 工艺对器件 p n 结有很高要求,要有高的表面掺杂浓度、极浅的结深、低接触和薄层电阻以及小的结漏电流,$L_{eff}=0.25\mu m$ 的 MOSFET 的源/漏区中设计要求结深小于60nm 的超浅 pn 结。到2010年,L_{eff}预期要减小到0.1μm,结深 X_j;要相应减小到10nm 以及结漏电流减小到0.1nA/cm^2(表9-5)。与结深减小相一致紧挨沟道的源/漏结表面掺杂浓度(N_{surf})希望从$10^{18}cm^{-3}$减小到(5×10)×$10^{17}cm^{-3}$。由短沟效应决定 X_j 的减小,而 N_{surf}的减小是受夹断区附近高场的支配,高场会引起有害的热载流子效应。X_j 和 N_{surf}同时减小会造成薄层和扩展电阻大大增加,这样就使源/漏串联电阻增加很多。

·p. 426·

表9-5 MOS S/D 结工艺要求的演变

L_{eff}(μm)	0.5	0.35	0.25	0.18	0.12	0.10
V_{DD}(V)	5	3.3	2.2	2.2	1.5	1.5
X_j(nm)	120	100	60	40	25	10
N_{surf}(cm^{-3})	10^{18}	10^{18}	10^{18}	$(7-10)\times10^{17}$	$(5-10)\times10^{17}$	10×10^{17}
$N_{channel}$(cm^{-3})	mid 10^{17}	mid 10^{17}	6×10^{17}	8×10^{17}	10^{18}	10^{18}
结漏电流 (nA/cm^2)	1	0.8	0.2	0.1	0.1	0.1

9.5.1 离子注入

为了形成浅结，离子注入是一种可选技术，结深由注入能量和下一步扩散工艺决定，注入能量的下限受束流下降限制，扩散温度的下限取决于消除注入损伤、激活杂质和避免退火期间的瞬时增强扩散(Fair，1988；Morehead 和 lever，1986；Sedgwick 等，1988；Kim 等，1991)。现代商业注入机通常不低于10keV，非常低的能量(1－10keV)(Davies，1985；Hong 等，1988；Bousetta 等，1991)存在束流稳定和低束流问题(会引起生产产量问题)。

为了制作超浅 p-n 结，现代商业注入机所采用的注入杂质(例如作为 p 型杂质的硼)的射程是太大了。虽然用 BF_2替代 B 作为 p 型掺杂使这一问题有所缓和，但在目前在最低可用能量(≈10keV)情况下射程还是太大。为获得小于60nm 的结深，要严格控制注入分布，对此还存在与射程偏差、横向偏差和沟道有关的问题。最后还存在与离子注入有关的损伤问题，必须用尽可能低的热开销(thermal budget)去消除损伤。需要对最小的可接受的杂质扩散(随热开销(thermal budget)增加而增加)和最小的结漏电流(随热开销(thermal budget)增加而减小)之间进行折衷。剩余缺陷不仅因 SRH 产生-复合中心而增加结漏电流，而且还能在 MOSFET 中引起栅感应漏极漏电流(GIDL)增强，缺陷构成的隧道效应所引起的残留陷阱格点会增强 GIDL。在要求更低热开销的动力下，炉子退火已发展成快速热退火(RTA)，但是这些缺陷团的热分解会产生过量的点缺陷(空位和间隙硅原子)，在退火过程的初始阶段可观察到由这种点缺陷所引起的杂质瞬时增强扩散的现象(Fair，1988；Morehead 和 Lever，1986；Sedgwick 等，1988；Kim 等，1991)。也就是说虽然由于降低温度(T)或缩短时间(t)而使 RTA 的 Dt 乘积变小，但由于缺陷增强扩散的缘故，注入分布变宽不会太窄。

·p. 427·

已提出一种解决方法，此方法可制作 p^+-n 浅结。为了形成非晶的表面层，注入一种电不激活的物质(例如硅或锗)，这样可消除沟道效应(Bousetta 等，1991；Ruggles 等，1989)。而且与重损伤注入层相比，完全非晶层退火后有更好的晶体质量。预先非晶化的 p-n 结的漏电流和最终结深是和后退火的剩余损伤的数目及其相对于结的位置密切相关。虽然外延再生长区没有扩展缺陷，但在原始非晶/晶体(a/c)交界的晶体边上会形成高密度的位错环。这种交界相对于结区的位置将决定漏电流的大小以及增强扩散的程度(Sedgwick 等，1988；Brotherton 等，1989)。如果缺陷区是在结的附近，那么漏电流和杂质扩散均增加。因此为了避免损伤区域接近 a/c 交界处，必须精确控制杂质分布的尾部。

特定的非晶化离子(Si^+,Ge^+,Sb^+,In^+,Sn^+,F^-)与其它离子相比对缺陷形成有不同影响的问题已经由许多研究组作了研究。由 Brotherton 等(1989)和 Ruggles 等(1989)的系统研究揭示了在 Si^+,Ge^+和 Sn^+预先非晶化的晶片中硼的扩散是没有差异的,但是 Tanaka 等(1991)和 Ajmera 等(1986)发现 Ge^+预先非晶化样品比 Si^+预先非晶化样品具有更少的末端缺陷和更低的漏电流。虽然相对于硼来讲 Sb 是相反的导电类型,但能用于非晶化,Sb 比 Si 和 Ge 都要重,因此产生更陡的晶体/非晶交界面,以致于能用最低的热开销来控制缺陷。预计用 Sb 非晶化所需要的浓度比 Ge 少一个数量级(Davari 等,1989)。除了形成非晶区以外,n 型 Sb 补偿尾部区的硼,使得 p-n 结更陡。对于锑剂量为$1\times10^{14}/cm^2$,能量为40keV(可产生60nm 非晶层)来讲,900℃、10s 的退火,可消除末端的位错环。Davari 等(1989)制作 p^+-n 结的办法是,采用硼注入到 Sb 预先非晶化薄层中并退火,实验条件和结特性如表9-6所示,与 Si^+预先非晶化相比可制作具有更低漏电流和更少末端缺陷的浅结。由 Sb 预先非晶化后用低能量 BF_2注入制作了结深为600Å 的 p^+-n 结。

表9-6　由 Sb 预先非晶化制作 p^+-n 结的实验条件和结特性

No.	离子/能量/剂量 (keV,atom/cm²)	硼剂量 (atom/cm²)	退火 (℃,s)	X_j (nm)	R (Ω/□)	I@(−5.0V) (nA/cm²)
1	Sb/40/1×10^{14}	1×10^{15}	800/300	85	123	265.0
2	Sb/40/1×10^{14}	1×10^{15}	900/10	90	192	8.0
3	Sb/40/1×10^{14}	1×10^{15}	950/10	95	197	7.5
4	Sb/40/1×10^{14}	2×10^{15}	950/10	105	170	4.7
5	Sb/60/3×10^{14}	2×10^{15}	950/10	50	156	1.3×10^4
6	Sb/40/1×10^{14}	1×10^{15}	1000/10	110	160	2.7
7	Sb/40/1×10^{14}	1×10^{15}	800/1800	110	399	100.0
8	Sb/40/1×10^{14}	2×10^{15}	800/900	115	230	3.6
9	Sb/40/1×10^{14}	1×10^{15}	0	75	120	2.0×10^6
10	Si/30/1×10^{15}	2×10^{15}	0	75	90	4.1×10^8

·p. 428·

虽然不知道产生不同缺陷结构的精确机理,但可以肯定杂质分布的末端缺陷对所观察到的增强扩散起关键作用。如果缺陷区在结附近,由于存在 Si 间隙原子,漏电流和增强扩散得到增加,并且 a/c 界面存在更高的位错环密度,使得更少间隙原子能从晶体这一边进入再生长区。因此要求仔细进行缺陷工程。

氟能分凝在缺陷位附近,因此起到缺陷的标记作用,例如 BF_2注入(Tasi 等,1978)。Ohyu等和 Ando 等(1990)做了 F/B 双注入,并且观察到硼扩散减少。他们的解释是,氟固定了 Si 间隙原子,这种原子会引起硼的增强扩散。已证实氟的后注入可减少磷和砷的扩散(Kato,1990),减少漏电流,以及也减少 MOS 电容中的热电子诱生的界面陷阱密度(Ohyu 等,1990;Nishioka 等,1988)。认为电特性改进是由于氟使得悬挂键消失,这使得陷阱密度减少,或者由于氟的存在会影响 Si/SiO_2界面的应力状态。Ando 等(1990)采用低能量(10keV)BF_2来实现预先非晶化,这样可消除注入沟道,并抑制尾区扩散。

采用 As,As_2和 Sb 注入,并用 RTA 或低温炉子退火已制得浅的 n^+-p 结。Shibata 等(1990)采用单一 As 注入(剂量为$2\times10^{15}cm^{-2}$,能量为25keV)和经5h、450℃退火温度,可

制得60nm浅结，而且反向电流很小。Sai-Halasz和Harrison(1986)用Sb注入[剂量为$4\times10^{14}cm^{-2}$，能量为30keV(10keV)]代替As注入，并用950℃、16min退火可制作80nm(60nm)n^{-}-p结。其电特性显示具有很低的漏电流和低的薄层电阻。与As相比，Sb有更小的扩散系数，扩散系数浓度增强也不显著。在给定平均离子注入深度情况下，Sb有较小的偏差，掩模边缘的侧向偏差明显减小。这对深亚微米MOSFET结构来讲是很关键，源/漏结的边缘必须尽可能的陡。双注入技术能应用于制备n^{+}-p结。Harame等(1991)用磷注入到Sb非晶化的Si。Park等(1982)用As_2离子注入代替As^{-}离子注入，并用快速热退火，可制出40nm n^{+}-p结，并具有很低的漏电流(2V反偏置下小于$0.5nA/cm^2$)。

9.5.2 形成p^{+}-n结的先进技术

与离子注入相关的主要缺点是在结区附近存在剩余缺陷，因此要用高温才能消除这些缺陷，为了克服用离子注入制备浅p^{+}-n结的困难，已试验了各种工艺，这些工艺为：

——由掺杂沉积层扩散
——外延Si、Ge和$Si_{1-x}Ge_x$
——多晶Si和$Si_{1-x}Ge_x$
——硅化物
——硼硅玻璃(BSG)
——涂布SiO_2乳胶(Spin-on Oxide)
——气相浸没激光掺杂(GILD)
——气相扩散
——等离子体浸没离子注入(PIII)

·p.429·

9.5.2.1 掺杂沉积层扩散

采用接触区上面的掺杂层作为扩散源的优点是衬片的扩散分布有高的表面浓度和陡的尾部，其尾部分布中没有在离子注入样品中观察到的沟道尾部。当采用恒定扩散源时，表面掺杂非常浓，使得源/衬底界面杂质浓度高于特定退火温度下的固溶度。为了制备浅结，已采用过多种扩散源：外延和多晶Si、单晶和多晶$Si_{1-x}Ge_x$、涂布SiO_2乳胶、硼硅玻璃，以及硅化物。

由于沿着多晶的晶界存在高扩散系数的通道，在多晶Si内杂质扩散与单晶Si相比要快得多，因此在多晶Si内杂质分布是均匀的。因为只有可动杂质才能扩散到Si衬底，所以表面浓度是固定在退火温度下的固溶度极限。多晶Si源扩散中另一个因素是从多晶Si传输杂质到单晶硅很大程度上会受到多晶Si/Si界面性质的影响，例如界而氧化硅层形成势垒，阻止杂质扩散进衬底(Raicu等，1990)。

Hsieh等(1990)用快速加热CVD(RTCVD)多晶Si原位掺As办法制作了(40—50nm)浅n^{+}-p结。Georgiou等(1990)研究通过BF_2注入到LPCVD沉积多晶Si来形成p^{+}-n结。多晶Si用于制作双极晶体管中的浅发射结(Nouri和Scharf，1992；Hamel等，1992)。$Si_{1-x}Ge_x$可作为另一种扩散源，与多晶硅相比其优点是在Si和SiO_2之间增加了选择性沉积$Si_{1-x}Ge_x$(Grider等，1991；Sanganeria等，1991)，该工艺程序和扩散行为类似于

多晶 Si 扩散。Grider 等(1990)用 RTCVD 选择沉积 $Si_{1-x}Ge_x$($x=0.3$),接着用10keV 硼注入,这样可形成40nm p^+n 结。

当器件尺寸降到0.25μm 或更小,非常有必要采用金属硅化物和自对准硅化物(SALICIDE)作为扩散区,这样可减小接触和互连线电阻,这种电阻可与沟道电阻相比(Osburn,1990)。因为硅化物形成期间要消耗硅,因此这也是结深的一部分,所以硅化物的厚度和向硅化物以外的杂质扩散应尽量小。与常规 SALICIDE 工艺(在形成硅化物之前先形成结)相比,杂质从钛和钴硅化物层扩散到硅衬底[硅化物作为扩散源(SADS)]的方法已受到更多的关注,在这种工艺中在结形成前先形成硅化物,然后杂质注入到硅化物中,并用 RTA 推进,使杂质扩散到衬底。该工艺使硅化物外的扩散长度最小,所形成的结与粗糙硅化物/硅界面轮廓一致,所以这种 p-n 节就不会局部透入和短路。

·p. 430·

新的硅化物工艺是采用快速热退火和离子束诱生界面混合形成自对准钛硅化物,为制备浅结用掺杂的硅化物作为扩散源(Ku 等,1990)。离子束混合能破坏 Ti/Si 界面的自然氧化层,实现界面混合,并增强 Ti-Si 的反应速率,形成光滑的硅化物表面。该工艺的详细结构和工艺步骤示于图9-18。在光刻多晶硅栅和形成氧化硅侧墙隔离后,在晶片上溅射上一层钛膜,然后用$^{28}Si^+$离子注入晶体,完成界面混合。接着在氮气氛中用较低的温度进行首次 RTA 退火,氮化钛和未反应的 Ti 可选择性地腐蚀掉,为了形成接触势垒,接着在NH_3气氛中高温 RTA。为了形成浅的硅化物结,用适当的杂质离子注入进硅化物层。硼硅玻璃沉积后,高温 RTA 既使硅化物层中注入离子推进到硅衬底,又使硼硅玻璃层退火。最后开接触孔、溅射铝和烧结。

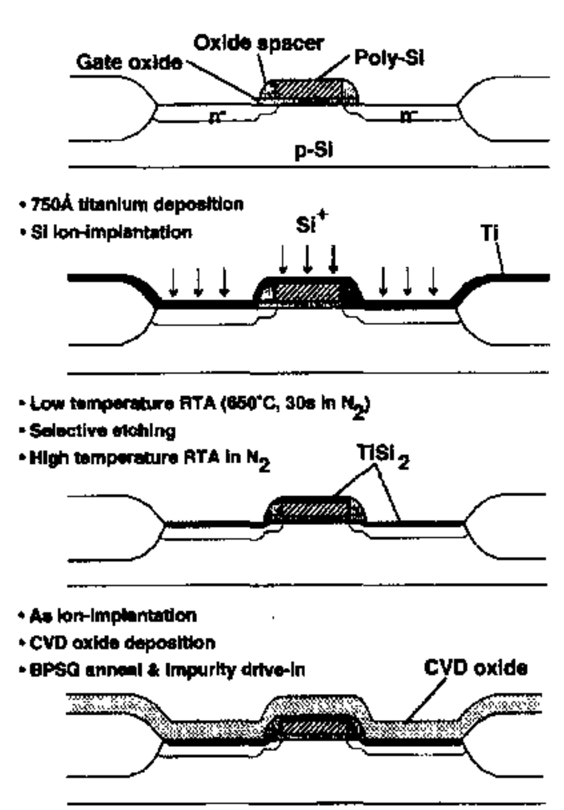


图9-18 采用离子束混合、硅化物掺杂和 RTA 的 SALICIDE 技术的工艺步骤

一般说来,这种工艺与其它工艺相比有几个重要的优点,如增强 Ti-Si 反应速率,由于抑制了 Ti/Si 界面自然氧化硅的影响,改善了表面形貌以及使硅化物/Si 界面更光滑,并且对 n 和 p 沟两种器件形成相同厚度的硅化物。控制后续的推进条件(RTA 时间和温度),可实现在硅化物/硅界面具有足够高载流子浓度的硅化物浅结(Ku 等,1989)。采用掺杂硅化物技术制作的 p^+/n 二极管和具有 Ti SALCIDE 结构的 LDD p 沟 MOSFET 有好的电特性(Ku 等,1988)。

但是,SADS 工艺有几个关键问题。杂质注入到很薄的硅化物膜受穿过多晶硅化物的硼沟道效应的限制。另外,在硅化物/硅界面的杂质浓度随硅化物/硅系统内杂质再分布面变化,此系统由硅化物内扩散的复杂的相互作用、表面分凝以及因蒸发

使得杂质有大的损失所决定。图9-19表示各种注入硅化物的扩散到 Si 中的硼和砷的 SIMS 分布图(Maex 等,1991)。SIMS 分布的深度刻度原点在硅化物/Si 界面,能够看出杂质从 $CoSi_2$和 $MoSi_2$外扩散比 $TiSi_2$和 $TaSi_2$情况更容易。对于 $TiSi_2$情况,注入 $TiSi_2$层退火样品的 $TiSi_2$/Si 界面观察到产生金属杂质化合物的沉积(TiAs 和 TiB)(Probst 等,1988)。在推进退火期间注入损伤区的缺陷团可以起到产生金属杂质化合物的晶核作用,这种化合物的产生会使杂质固定住,并且使 $TiSi_2$/Si 界面载流子浓度降低,因此 p-n 结和 $TiSi_2$之间的接触电阻是特别高的(尤其是硼)。最终,当硅化物的厚度和结深两者都只有几十纳米时,材料特性和杂质分布成为更困难。

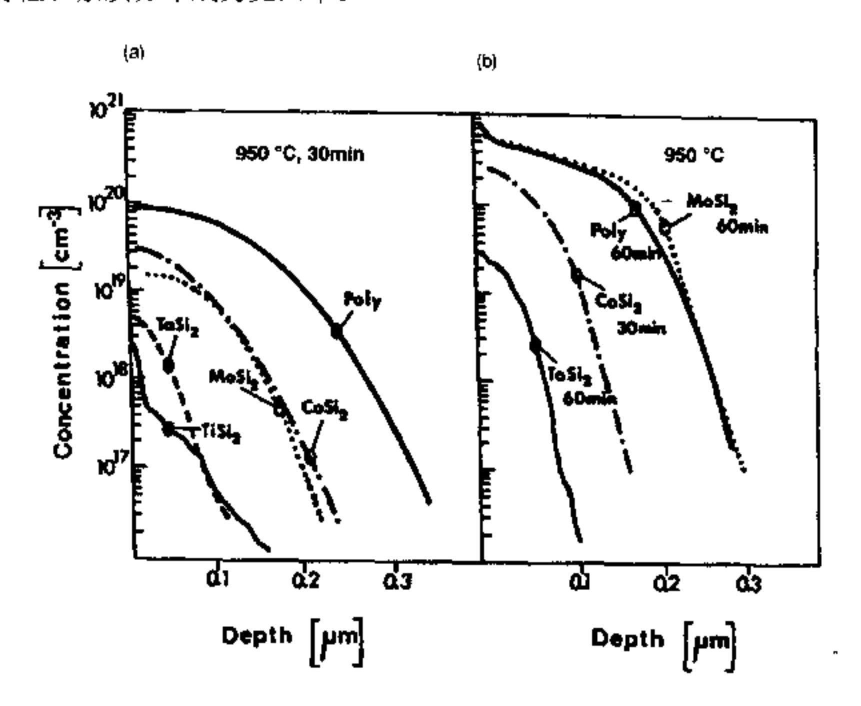


图9-19　晶片在高温热处理后,各种扩散源(a)B 和(b)As 扩散 SIMS 分布图,深度轴的原点是硅化物/Si 的界面

Takemura 等(1987)采用硼硅玻璃制造浅发射区。组合 BSG 和掺杂多晶 Si 发射极工艺,分别用以制造基区和发射区。发射区上面刻蚀出窗口以后,用 CVD 把 BSG 膜沉积在整个片子上面,为了形成本征的 p^-基区采用 RTA 推进硼。用反应离子刻蚀除去 BSG 膜,但在发射区窗口的四周留下掺硼的侧壁隔离墙。其后沉积 n^+多晶硅,并退火形成浅的发射结。BSG 隔离墙可形成 p^+区,该区天然地连接本征和非本征基区。所得的硼分布十分陡,基区电阻可由调节 BSG 膜中硼的浓度来控制。

·p. 432·

M. Saito 等(1992)用固态扩散工艺和 RTA 制得具有很浅结的0.1μm PMOS,固相扩散漏 PMOS 结构的示意图如图9-20所示,采用高掺杂 BSG 侧壁作为形成超浅结的扩散源,与 BF_2注入相比 p-n 结非常浅,其 SIMS 分布示于图9-20(b)。

与其它固态源扩散材料不一样,涂布薄膜可在室温进行,取消一个热周期。Usami 等(1992)采用涂布掺磷氧化硅和掺硼聚合物膜可得到十分浅的结。借助于控制 RTA 参数和掺杂膜中 B 和 P 的量,制备出50nm 和更浅的超浅结。发现结深随温度、加热速率和表

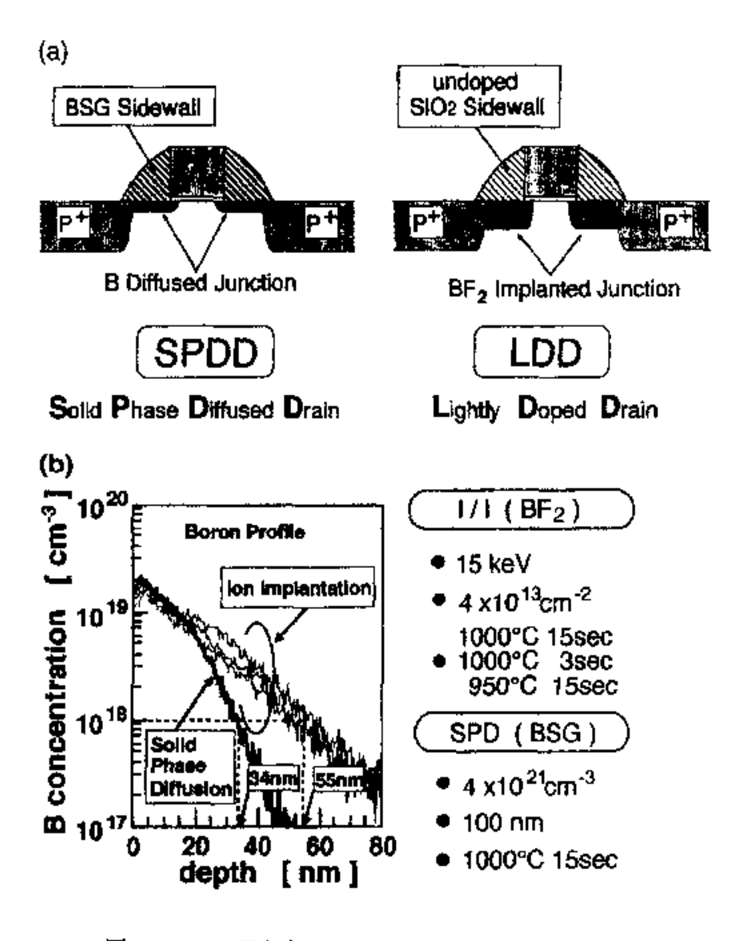


图9-20 (a)固相扩散漏结构;(b)硼的 SIMS 分布

面浓度增加而增加,加热速率对 B 和 P 增强扩散影响是由于薄膜/衬底处的不同热膨胀系数形成点缺陷的缘故。这种超浅结的漏电流十分大,为了消除缺陷,要求进行第二次退火工艺(800℃,60s),虽然这样可减小漏电流,但第二次退火工艺以后结深几乎会加倍(≈100nm)。

·p. 433·

9.5.2.2 气体浸没激光掺杂

气体浸没激光掺杂(GILD)是采用熔化/再结晶工艺使晶体表面吸附的气相杂质向晶体内推进,形成十分浅的薄层(Carey 等;Kato 等,1987;Sameshima 等,1987)。当激光照射期间,掺杂气体通常是封在腔内;在入射激光流使硅熔化的同时,掺杂气体分子由于光解或热解作用产生杂质原子,然后通过液相扩散杂质原子进入到浅的熔化区,最后熔化区以液相外延的方式再结晶,至此掺杂工艺全部完成。

工作在紫外线波长区的脉冲式准分子激光器(如 XeCl)经常用作激光掺杂,因为在紫外线区单晶硅有大的吸收系数(Jellison 和 Modine,1982),入射激光流在硅衬底表面很薄的一层中被吸收(≈20nm),因此只能熔化很薄的一层,所以可得到非常浅的 pn 结。掺杂原子主要来自于激光照射前或照射期间形成的吸附层(Bentini 等,1988;Matsumoto 等,1990;Landi 等,1988),吸附层的形成是与样品的表面状态和掺杂气体的压力有关(Mat-

sumoto 等,1990;Foulon 等,1989),这就是与离子注入工艺相比不能很好控制薄层电阻和结深的原因。为了控制薄层电阻,已经开发了两步掺杂工艺,先沉积掺杂源,然后将杂质原子掺入到硅中(Inui 等,1991)。

9.5.2.3 气相扩散

近来已研究出一种基于表面化学吸附和图相扩散形成高质量超浅 p^+-n 结的方法(Nishizawa 等,1990a,b;Kiyota 等,1991,1992;Inada 等,1991),这种工艺由三步工序组成:(1)用 H_2中热退火来消除硅表面自然氧化层,(2)用氮气稀释的5%B_2H_6使硅表面形成硼的吸附层,(3)在氢气氛中硼原子从硼吸附层扩散到 Si 衬底。在较低温度和无氧气氛中使硼原子扩散到 Si 中,这种工艺与常规的扩散工艺不同,在常规扩散工艺中硼扩散是在富氧气氛中完成,结果表明在 Si 表面硼吸附层中的硼浓度超过 Si 中硼的固溶度。而且已经获得超浅 p^+-n 结(结深≈700Å)和优良的电特性(5V 偏压下漏电流<$2\times10^{-16}A/\mu m^2$)(Kiyota 等,1991)。双极晶体管薄基区(基区宽度<25nm)的优良的性能也已展示(Inada 等,1991)。观察到在 SiO_2中也形成硼吸附层,结果表明在 SiO_2表面中吸附硼的总量是小于硅表面吸附量的1%,这表明可以选择性掺杂。

·p.434·

9.5.2.4 等离子体浸没离子注入

在等离子体浸没离子注入(PIII)方法中(Chueng,1991),一个10in 直径的片夹浸没在由电子回旋共振(ECR)源产生的高密度等离子体内。负偏置的微秒脉冲加到片夹时,片子表面排斥电子,建立鞘层(Sheath region),通过鞘层正电荷离子被加速,并且注入晶片。由连到片夹上 Rogowski 环的积分仪测量每个脉冲的电荷,注入时间可决定注入剂量。PIII 掺杂工艺主要的担心是多种气体等离子体以及片夹和腔壁的溅射所造成的沾污水平。因为在这个系统中没有质量选择或离子聚集,其结果是等离子源中产生的所有离子的大面积注入。因为处理腔和 ECR 源腔都由铝部件制成,因此必须仔细研究 PIII 的有害沾污。制备亚100nm p^+-n 结要求两步注入:首先在 SiF_4等离子体中注入离子形成非晶的 Si(a-Si)表面层,然后在 BF_3等离子中将 B 注入到 a-Si 层(Pico 等,1991;Qian 等,1991)。薄的非晶层减少 B 沿沟道进入衬底(Wu 等,1989)。Hong 等(1991)观察和报道了 a-Si 中 B 的增强扩散。此外,在退火期间,F 的存在是可以进一步减少 a-Si 中 B 的扩散(Jones 和 Cheung 1993)。极低能量(1-6keV)和高剂量速率的 PIII 的两步注入工艺可以在不破坏真空条件下完成。采用 PIII 工艺可制作低电阻率、超浅 p^+-n 结(Qian 等,1991;Minodo 等,1993)。PIII 其它一些优点是连续的偏置波形可调、高的生产量以及注入期间没有有害的场氧化层充电(浅结只要求很短的注入时间)(En 和 Cheung,1993)。

9.6 金 属 化

为了满足高性能集成电路的质量要求,越来越多的功能集成在一个器件中。为了芯片系统集成(Systen-on-chip)或高速设计多层金属是必不可少的。目前双极型和 CMOS 专用集成电路(ASIC)采用4-6层金属不是罕见的。为了节省空间和增加集成度要采用平面化

电介质、垂直墙、填充通孔以及小间距的金属线，如图9-21所示。

在多层金属化工艺开发中有几个关键问题：

——具有大的深宽比的通孔和接触孔的再填充。

——具有窄和宽线/间距平面化结构。

——开发新的导电材料。

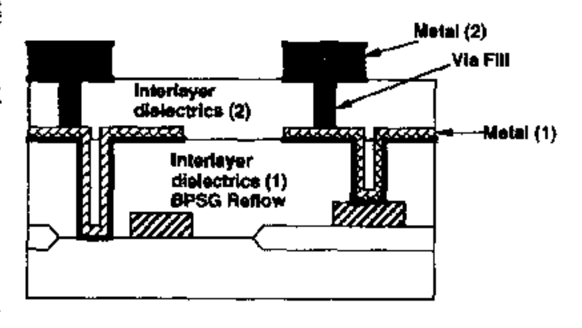


图9-21　两层金属互连系统的剖面示意图

·p. 435·

互连金属要求的理想特性是：(1)低的电阻率，(2)能够经受后续工艺高的温度，(3)金属层间的电介质及其形成方法在化学上兼容，(4)与其它金属化学兼容，(5)抗电迁移特性好，(6)抗应力迁移特性好。此外，金属必须均匀沉积在底层的表面上，并且容易用RIE 刻蚀。本章将涉及几种金属化专题：栅电极、接触和多层互连。对于深亚微米 CMOS 电路有用的先进的互连概念和工艺也将讨论。

9.6.1　栅电极

栅电极材料传统上属于重掺杂 n 型(n^-)多晶硅范围。一般来讲，采用 n^+多晶硅栅的 p 沟 MOSFET 的阈值太负，为了增加阈值要求硼注入。这种相反的掺杂产生埋沟器件，使器件有差的夹断或亚阈值特性。更大功函数允许器件设计者减少硼注入剂量，这样可改善亚阈值特性。相反，n^+多晶硅栅 NMOS 器件的阈值太低，因为 n^+多晶硅栅的低功函数使适度掺杂的 p 型硅表面耗尽，因此为了提升阈值，受主掺杂浓度必须增加。

使短沟效应减到最小的其它方法是采用表面沟器件(即 n^+多晶硅用于 NMOS，p^+多晶硅用于 PMOS)。适当选择多晶硅的厚度、注入剂量和退火条件可得到对应于简并掺杂多晶硅/SiO_2界面平带电压(Wong 等，1988)。即使做到合适的栅功函数，在反向偏置情况下还会发生弱的多晶耗尽，这种耗尽会使器件电流变坏。有证据表明，多晶硅注入以后的快速热退火(RTA)有助于减少耗尽，这主要因为增加了杂质激活率。在多晶硅中，这种耗尽将随栅氧化层厚度下降而变得更加严重，当栅氧化层厚度下降，为了限制由于多晶硅耗尽效应造成的电流的损失，要求增加载流子密度。考虑到晶界和界面分凝，一般认为晶界和界面处的掺杂原子是电不激活的，由 SIMS 测定的杂质的化学浓度应高于需要的载流子密度。

·p. 436·

p^+多晶硅的主要问题是由简并 p^+多晶硅中硼通过薄栅氧化层透入到沟道区(Sun 等，1989)，硼的透入会引起 V_T 漂移和使 V_T 的控制变坏。为了在不引起硼渗入情况下满足 p^+多晶功函数要求，应优化热周期、多晶硅栅的厚度以及硼剂量。通过监测 n-Si 衬底上制作的 p^+多晶硅栅 MOS 电容的 C-V 移动，最容易研究硼通过薄的栅氧化层的渗透。因为在氢气氛中硼的扩散系数大大增加，在硼注入到多晶硅栅以后，必须注意在退火气氛中使氢或湿度降到最小。对于 p^+多晶硅工艺来讲，RTA 可允许最高温度而不会造成硼透入。Sun 等(1989)已广泛地研究了 p^+多晶硅栅 MOS 器件中常规钝化/蒸气回流对硼渗透的影响，并总结于表9-7中。也报道了氟(由 BF_2注入)增强硼透入，硼穿过 p^+多晶硅栅的 p

沟 MOSFET 的栅氧化层(Baker 等,1989;Sung 等,1989;Wong 和 Lai,1986)。磷共注入或 $TiSi_2$Salicide 显示出这种影响会降到最小。硼渗透的现象可由硅衬底接近 SiO_2/Si 界面中很浅的全耗尽 p 型层来模拟。因此,对于表面沟亚微米 PMOS 器件来讲,认为元素硼是优于 BF_2作为注入离子。

表9-7 p^+多晶硅栅掺杂到1×10^{20}硼/cm^3以后,氧化和钝化/回流对硼透入的影响(Sun 等,1989)

t_{ox}(nm)	工艺条件	工艺温度		
		800℃	850℃	900℃
7	干氧化(10nm)	OK	OK	OK
7	湿氧化(20nm)	OK	—	$\Delta V_T=0.3V$
7	LTO 盖层+N_2退火 30 min	OK	OK	OK
7	LTO 盖层+蒸气退火 60 min	$\Delta V_T=0.1V$	—	—
13	BPSG 盖层+N_2退火 15 min	OK	OK	—
13	BPSG 盖层+蒸气退火 15 min	OK	OK	$\Delta V_T=0.2V$
13	LPCVD 氮化硅盖层 (100nm)	$\Delta V_T=0.2V$	—	—
13	LPCVD 氮化硅盖层+30min N_2	—	$\Delta V_T=0.2V$	$\Delta V_T=1V$
13	TEOS 盖层+N_2退火 60 min	OK	—	—

发现多晶硅栅另一个缺点是低的导电率,掺杂多晶硅的一种好的替代物是含有多晶硅化物的栅互连。多晶硅化物的结构是在掺杂多晶硅膜上加一层作为旁路用的硅化物,这样总的薄层电阻可降到1Ω/□。这种技术是将具有良好特性的 SiO_2-多晶硅界面的优点与硅化物的优点结合起来,该技术的优点是低的电阻率以及热和工艺的稳定性。各种硅化物及其材料特性列于表9-8中(Murarka,1983;Chow 等,1986;Kato 等,1986)。但是各种硅化物中的杂质横向扩散特别高(Chu 等,1990),引起栅功函数移动以及在多晶硅/SiO_2界面上形成耗尽电容。当多晶硅化物互连用于连接 p^+接触,观察到很高的接触电阻,这是由于在高温热处理期间 SiO_2/WSi_2界面有硼的分凝以及 As 和 B 通过 WSi_2的横向扩散的缘故,如图9-22所示(Fujii,1992)。为了减少双多晶硅化物栅 n^+/p^+ CMOS 多晶硅化物晶体管和双多晶硅化物互连特性变坏,热开销应保持尽可能低。

·p. 437·

表9-8 室温下的硅化物电阻率

材料	共溅射 ($\mu\Omega$ cm)	金属-多晶硅反应 ($\mu\Omega$ cm)
$CoSi_2$	25	17—20
$HfSi_2$		45—50
$MoSi_2$	100	
$NbSi_2$	70	
$NiSi_2$	50—60	50
$PdSi_2$		30—35
PtSi		28—35
$TaSi_2$	50—55	35—45
$TiSi_2$	35	13—16
WSi_2	40—70	
$ZrSi_2$		35—40

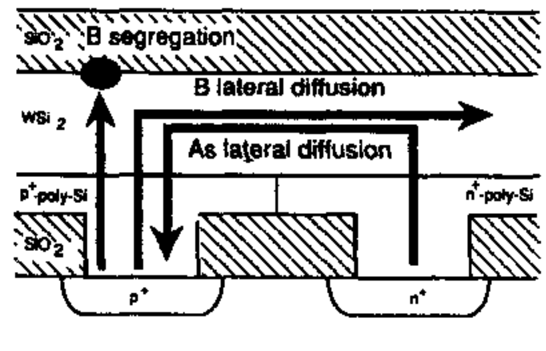


图9-22 在常规双多晶硅化物结构中的掺杂原子的扩散路径

近来，化学气相沉积(CVD)已用于生成多晶硅化物薄膜，特别是 WSi_x，因为这种膜有较低的电阻率、较少的氧沾污和较好的台阶覆盖。成功地用于生产的第一种工艺是基于硅烷(SiH_4)还原 WF_6(Saraswat 等，1983；Shioya 和 Maeda，1986)。但是由于这种工艺生产的 WSi_x 膜含有大量的氟($>10^{20}$原子/cm^3)，在退火期间氟会扩散到栅氧化层下面，使 MOS 器件的特性变坏(Shioya 等，1987a；Wright 和 Saraswat，1988)。此外，硅烷生产的膜有一些缺点，如不良台阶覆盖和附着问题，这种膜往往会龟裂和剥落，尤其在差的表面形貌更是如此(Ellwanger 等，1991)。

这些问题可通过将还原剂改成 SiH_2Cl_2(简称 DCS)而得到解决。近来已发表在成批加工的反应器中(Shioya 等，1987b；Selbrede，1988；Hara 等，1990)和在等离子体增强单片系统中(Wu 等，1988)制备 DCS-WSi_x 膜，这种膜具有更低的氟含量，并改善了台阶覆盖和粘附性能。DCS-WSi_x 的特殊问题是深度成分的不均匀性，DCS-WSi_x 膜(特别是生长在多晶 Si 上)在沉积的初始阶段 x 减少，是在2.2－2.6优化范围以下，已观察到 $x<2$(2是稳定钨硅化物的理想配比)(Hara 等，1990)。这是极不利的，因为在 WSi_x/多晶硅界面形成的富 W 在高温热氧化工艺以后会引起 Si 的过多的互扩散、局部的应力以及粘附问题。与基于硅烷的 WSi_x 相比，整个片子的薄层电阻不均匀也是 DCS-WSi_x 的一个问题。

用单片反应腔已能将高均匀成分 CVD(深度方向和横向都很均匀)的 WSi_x 膜沉积在200mmSi 片上，WSi_x 膜是靠 SiH_2Cl_2/WF_6反应沉积在 SiO_2或多晶硅上(Telford 等，1993)。沉积在掺 P 多晶硅上的这种膜在 N_2中900℃退火，使 x 均匀减小到2.1到2.2，电阻率在80－100$\mu\Omega$cm 之间。因为刚刚沉积的膜主要是 WSi_x 的六方晶系结构，温度高于600℃的退火将转换成四方晶系结构，这种膜即使在高的深宽比条件下都有十分好的台阶覆盖，而且退火期间不会龟裂和剥落，膜仅含小量的 F(约等于：$6\times10^{16}-2\times10^{17}$原子/$cm^3$)。

·p.438·

对于未来进一步按比例缩小而采用更薄的栅氧化层 CMOS 器件来讲，为了获得所要求的阈值电压，应用较大功函数栅电极材料是有利的。较大功函数的 Mo(4.7V)、W 或耐熔硅化物在适中掺杂衬底上所制出的 p 沟和 n 沟器件的阈电压不仅低而且对称(Kim 等，1983)。另外，耐熔金属栅 MOSFET 比 n^+多晶硅栅器件要求更少的沟道掺杂(Takeda 等，1985)，并使亚阈值电流减小。但是它们很少直接作为栅电极材料用于栅氧化层上，这是因为与下层栅氧化层不兼容，不能形成稳定的电介质以及差的抗沾污特性。

9.6.2 接触

铝沉积以后大多数工艺需要400℃退火，这样可以减少缺陷以及由于消除了铝和硅间的自然氧化硅而降低了接触电阻。在这一退火以及其它高温工序期间，硅要扩散到铝中而形成硅坑和铝钉。硅进入铝的扩散可以采用加0.5%－2%硅到 Al 的沉积源中来加以抑制。当这种合金冷却时，铝中硅的固溶度下降，也即铝中硅变得饱和了，产生了硅沉淀，沉淀的硅增加了接触电阻。在 Al 和 Si 之间加一层势垒层可减少烧结期间硅向铝扩散，同时还起到"腐蚀自停止"作用，避免由于控制误差而腐蚀接触区的硅。

扩散势垒在化学上对上、下两层材料不起作用，它分隔或者用少量杂质去填塞快速扩散通道(例如晶粒边界或者微裂缝)，以便防止沿这些快速扩散通道进行扩散。扩散势垒必须满足许多标准，例如，它们必须是化学稳定和热的稳定，必须能粘附于硅衬底和金属膜。

为了避免应力诱生的微裂缝失效，还必须有最小的本征应力(Kohlhase 等，1989)。

钛-钨(Ti-W)和氮化钛(TiN)是首选的势垒层，其理由是其具有十分高的热力学稳定性且比较容易加工。Ti-W 的主要成分是钨，为了改善粘附性、接触电阻和腐蚀特性，以及便于刻蚀，Ti-W 含有3%—28%的钛。虽然 Ti-W 合金已显示出优良的势垒特性，但是其薄膜有十分高的压应力，会造成这种薄膜从溅射腔内壁脱落，增加了微粒。此外在具有氯基干法刻蚀成分情况下，Ti-W 能很好做到刻蚀自停止，并容易后腐蚀和加工。

因为有下列优点，氮化钛(TiN)是极好的选择：

——极高的热稳定性——温度高到600℃(20h)TiN 可阻止硅互扩散(Wittmer 和 Melchior，1982)；

——采用钛化硅层其接触电阻低，而且稳定，在550℃处理20min，$Si/TiSi_2/TiN/Al$ 结构的接触电阻率仍保持稳定(Wittmer，1985)；

——低的薄层电阻，在 CMOS 工艺中可用于局部互连(Jeng 等，1993)；

——低的应力($\approx 10^9$dyn·cm^{-2})(Kohlhase 等，1989)；

——极好的刻蚀自停止能力(Brat 等，1987)。

·p. 439·

沉积 TiN 方法有几种，包括溅射、反应蒸发、纯钛热氮化以及 CVD。最近研究结果表明，高质量的 $TiN/TiSi_2$ 双层膜可由一块 $TiN_{0.4}$ 合金靶沉积的富 Ti 的 TiN 膜加快速热氮化来形成。已经证实，它有很好的接触电阻和 p-n 结热稳定性，并且能严格控制溅射膜的理想配比，如图9-23所示(Nakamura，1993)。在有 N_2 的情况下反应溅射 Ti，该膜具有低的应力和高的粘附性(Circelli 和 Hems，1988；Stimmell，1986)。典型的金属化方案包含10—30nm 厚的纯 Ti 层、80—120nm 厚的 TiN 层，以及800nm 厚的含1%Si 的铝膜。在有 NH_3 情况下，钛的热氮化也能形成 TiN，可用热炉子退火或用快速热处理，特别在两步、自对准硅化物工艺中快速热处理可形成 $TiN/TiSi_2$ 结构(Ku 等，1987)，但是所得的氮化钛质量及其厚度是受限制的。

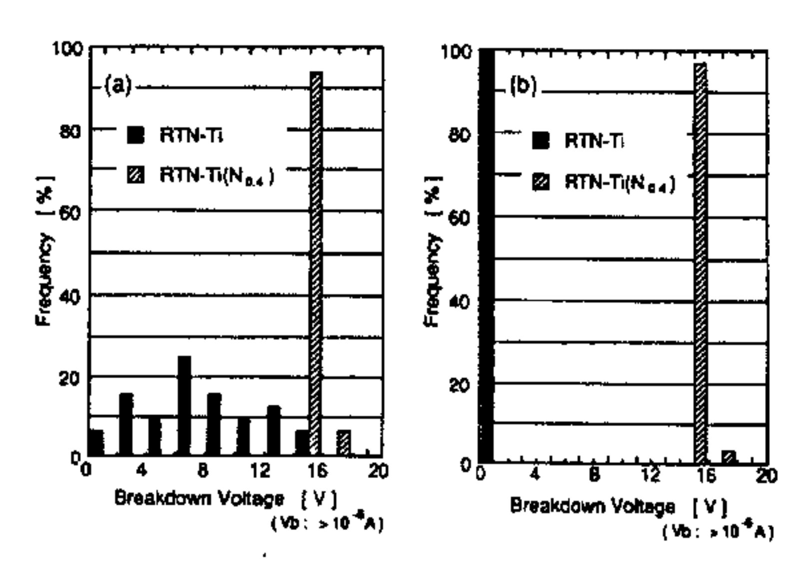


图9-23 纯钛和 $Ti(N_{0.4})$ 样品在(a)450℃，(b)525℃退火以后的击穿电压分布

对于高深宽比(>2:1)的接触或通孔膜的一致性是关键问题，为了沉积低电阻 Ti 和 TiW 膜去改善接触覆盖，已经开发出准直溅射(Collimated Sputtering)技术，准直器的深宽比为1.0，将其放在溅射靶和晶片之间，使晶片只能收集到垂直入射于晶片表面那部分 Ti 粒子。准直溅射的问题是接触边上不能沉积、沉积速率低，以及由准直器产生颗粒。CVD TiN 成为可行的方法，因为这些膜几乎能100%一致性，也可能去完全充填亚微米接触孔。传统的 CVD TiN 工艺包含在1000℃ $TiCl_4+N_2+H_2$反应或者在较低温度下 $TiCl_4+NH_3$($6TiCl_4+8NH_3 \rightarrow 6TiN+24HCl+N_2$)(Price 等，1986；Kurtz 和 Gordon，1986)。因为$TiCl_4$和 NH_3在室温下可反应形成固体产物，在不发生气相成核情况下，将这二种混合并通入反应腔是困难的，已经发现(Price 等，1986；Kurtz 和 Gordon，1986)在250—350℃的温度范围这两种气体既不发生气相反应，又一点也不沉积 TiN 膜到晶片表面。基于这个事实，已经开发了700℃低压、热管系统，以及常压、冷壁管反应腔在500—650℃沉积薄膜。新近许多研究已证实 $TiCl_4+NH_3$反应能在低压、冷壁、单片反应腔中进行，在相似的温度下有高的沉积速率(500—1000Å/min)(Yokoyama 等，1989；Sherman，1990；Smith，1989；Buiting 等，1991)。一个研究组为了防止在壁上沉积，采用暖壁(相对于冷壁而言)(约为250—350℃)反应腔(Smith，1989)。虽然这些膜的电阻率是比体 TiN 高许多，但是在较高温度下沉积也可以很低，典型值为100－300μΩcm，在最高温度下生长可得到最低值电阻率。

已证实在硅和铝之间有极好的扩散势垒特性(Sherman，1990；Reid 等，1991；Travid 等，1990)。TiN 沉积到钛化硅(Salicide)接触和 p^+-Si(Sherman，1990；Travid 等，1990)得到约为10^{-6}Ωcm 的接触电阻，并且漏电流小。许多研究表明，即使对于亚微米深槽 TiN 的一致性都是很好的(Yokoyman，等，1989；Sherman，1990；Smith，1989；Buiting 等，1991)。为避免氯沾污，人们宁可用有机金属分子而不用 $TiCl_4$作为 CVD TiN 的 Ti 的母体。两种选择可采纳，一种可能性是采用 $Ti(N[CH_3]_2)_4$并将其热解产生 TiN，因为分子中已含有氮。已经证明用 NH_3还原是更成功的方法(Fix 等，1989)，在这种情形下，在200—400℃的常压、冷壁管反应腔中，可沉积出相当纯的理想配比薄膜。另一种方法是采用$(C_5H_5)_2Ti$，还是用 NH_3还原(Yokoyama 等，1990)，已经报道该法在450℃、低压、冷壁反应腔可沉积出相当纯的薄膜。400℃温度下沉积的随便哪一种膜，如果有更高温度的 $TiCl_4$沉积膜相同的特性，相对于铝或硅来讲它们将是更好的选择。采用发光放电能降低沉积温度，许多研究已经表明这种降低温度对于 $TiCl_4+N_2+H_2$或者 $TiCl_4+NH_3$都是可能的，但都会导致大量氯的掺入。已报道了一种例外，用13.45MHz 激励 $TiCl_4+NH_3$混合气，发现在400℃膜中氯含量很低(Hilton 等，1986)。

MOS IC 的性能取决于几个参数，其中 *RC* 时间常数或许是最重要的。当 MOSFET 器件尺寸缩小时，用于接触器件栅、源和漏的连线(金属和多晶硅层)的 *RC* 时间延迟并不随器件物理尺寸缩小而减小。因此对于按比例下降的 MOSFET 来讲，由于连线而产生的时间延迟使 *RC* 速度增强变坏。包括 PtSi，$TiSi_2$，$CoSi_2$，$MoSi_2$和 WSi_2的自对准硅化物(SALICIDE)已经报道，硅化物是同时在源/漏、多晶硅栅和多晶硅内连线上形成。制造 n 沟 MOSFET 常规硅化物工艺流程由下列步骤组成：在多晶硅栅光刻刻蚀，轻掺杂源/漏离子注入和电激活以后形成侧壁氧化硅隔离墙；然后在整个晶片表面沉积上用于形成金属硅化物的薄金属膜，通过加热在多晶硅栅区和源/漏区形成金属硅化物，用选择性刻蚀工艺

将氧化硅表面没有反应的金属腐蚀掉，但是不能腐蚀金属硅化物，然后沉积掺杂的玻璃(BPSG 或 PSG)，接着进行流动、开接触孔、回流以及铝金属化。

·p. 441·

对于贵金属或近贵金属硅化物，反应期间的金属是主要移动粒子，因此不大形成横向硅化物，这样可以减少栅和源/漏之间形成桥接的可能性。贵金属和近贵金属硅化物的主要缺点是高温限制，借助于采用难熔金属硅化物这个温度限制能缓解，由于它们有高的温度稳定性。SALICIDE 技术中采用 $TiSi_2$和 $CoSi_2$比其它金属硅化物更受重视，因为它们有低的电阻率、好的粘附性以及高的温度稳定性。$CoSi_2$和 $TiSi_2$之间的比较如表9-9所示。

表9-9　$CoSi_2$和 $TiSi_2$的特性比较

特性	$CoSi_2$	$TiSi_2$
电阻率($\mu\Omega$/cm)	10—15	13—16
金属-杂质化合物的形成	不	是
单晶 Si 上的热稳定性	好	好
多晶 Si(未掺杂)上的热稳定性	差	差
机械应力(dyn/cm²)	$(8-10)\times10^9$	$(2-2.25)\times10^{10}$
与 SiO_2的反应温度(℃)	>1000℃	700℃
硅化物形成期间的主要扩散物	Co	Si
薄层电阻控制	好	差
抗干/湿腐蚀能力	好	差
消除自然氧化硅	差	好
Al/硅化物/Si 系统热稳定性	差	差
与 Si 晶格匹配	好	差

CMOS 工艺中采用常规的 $TiSi_2$ SALICIDE 工艺存在几个问题，例如，在金属/硅界面上形成的自然氧化硅，这种氧化硅减慢了反应，并产生粗糙的硅化物表面；苛刻的气氛控制；侧向硅化物的生长；在 p 沟和 n 沟器件中 Si 耗尽量的不同；在硅化物形成期间大的杂质再分布会引起非欧姆接触。在 Ti/Si 界面的自然氧化硅使反应在不相同的方式下进行，这样会导致粗糙的硅化物表面。此外，在 Ti/Si 界面高浓度 As 会阻止形成钛化硅，因此在 n^+(掺 As)和 p^+(掺 B)区形成钛化硅的生长速率是不同的，这样会造成 p 沟和 n 沟 MOS 器件结区硅的耗尽量不同。而且在硅化物形成期间，源和漏区中大的杂质再分布使得欧姆接触电阻控制变得十分困难。

·p. 442·

用源-漏扩展区结构可避免上面提到的问题(Taur 等，1993)。在这种结构中，用浅的 p^+(或 n^+)源-漏扩展区作为连接深的 p^+(或 n^+)源/漏区，这种深的源/漏区是在厚氧化硅侧壁隔离墙形成以后用注入形成的，如图9-24所示。深度浅的扩展区用作消除 SALICIDE 工艺所要求的深结影响，采用 Sb 预非晶化和低能 BF_2注入办法(Taur 等，1993)已制备深度为600 Å 的 p^+源-漏扩展区。另一种方法是采用选择性硅沉积办法去形成抬高的源-漏

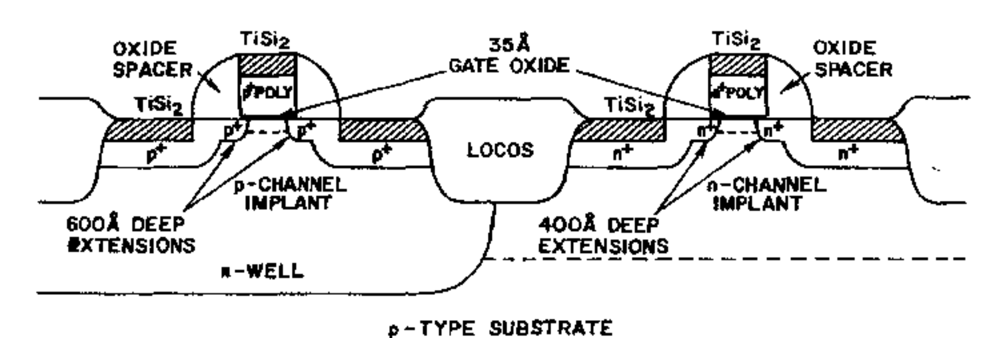


图9-24　具有硅化物和源/漏扩展结构的0.1μm CMOS 器件的断面示意图

结构(Mazure 等,1992;Kotaki 等,1993),制得这种结构和工艺存在的问题是电容增加和晶面效应。

9.6.3 互连

互连特征尺寸的减小已导致可靠性变坏,这是由电迁移和应力诱生迁移造成的。由于芯片尺寸的增加导致线电阻增加的问题用增加互连层数目解决。为了满足这一要求,导体和内层介质厚度要保持不变,以减小寄生电阻和电容,这样使得接触孔与通孔的深宽比>1。因此要求新的接触孔和通孔的充填工艺和高可靠性的多层互连的导体系统。256M-DRAM 的互连材料和工艺示于表9-10(Kikkawa,1992)。

·p. 443·

表9-10 256M DRAM 的互连材料和工艺(Kikkawa,1992)

互连	材料	工艺	设计规则	深宽比
字线	WSi_x/poly-Si	溅射/LP-CVD	0.25	1—1.4
位线	WSi_x	溅射	0.25	0.5—1.0
位接触	N^+ poly-Si	掺杂 LP-CVD	0.25	2—4
电容接触	N^+ poly-Si	掺杂 LP-CVD	0.25	3—6
外围接触	W/TiN/Ti	blanket W-CVD	0.3	3—4
		准直溅射		
	Al-Ge/TiN/Ti	回流溅射(L.T.) 准直溅射	0.3	3—4
	Al-Si-Cu/ TiN/Ti	回流溅射(H.T.) 准直溅射	0.3	3—4
金属线	TiN/Al-Si-Cu/ TiN/Al-Si-Cu/TiN	溅射	0.25	1—2
	Cu	溅射	0.25	1—2
	W/TiN/Ti	blanket W-CVD	0.6	1—1.5
通孔		反应溅射		
	Al-Ge/TiN/Ti	回流溅射(L.T.) 反应溅射	0.6	1—1.5

作为传统的互连材料 Al 和各种 Al 的合金早已使用。铝有很多理想的性质:(1)低的电阻率($\rho_{体}=2.8\mu\Omega cm$);(2)很好地粘附于 SiO_2;(3)良好的引线键合特性。但是,由于铝的熔点(660℃)很低,在比较低的温度和低的电流密度情况下会发生电迁移。铝原子的电迁移发生在金属线内的晶粒边界上,因为晶粒边界上的铝原子比束缚在晶格点阵上的晶粒内的原子结合弱,电子流会引起这些原子流通,因为原子流是沿着晶界并按电子流动方向流动,完全横断金属化互连线的晶界("竹"结构)会有较大的抗电迁移能力,但是这种类型的结构是制造不出来的,减少晶粒电迁移的实际方法是引入杂质,例如,Si 和 Cu,以钝化晶粒边界。

加含高百分比的 Cu 作成的合金有难于刻蚀和易于腐蚀的问题,因此大量的电路仍

旧用 Al(1%Si)或 Al(1%Si)再加小百分比的 Cu(≤0.5%)。加 Si 会形成 Si“球”,这是因为在冷却期间或器件工作期间在连线内硅会发生沉淀(Shen 等,1985)。当球生长到一定大小,球四周的 Al 中的电流密度增加,而且由于长大的硅球四周的 Al 的应力可能使连线发生断裂,球长大也会引起内层金属短路或者发生与时间有关的击穿。Al 金属化的另一个传统问题是形成小丘。在能发生塑性流动的温度下热处理,为了释放薄膜应力会发生 Al 的固相扩散,这种扩散会形成小丘。小丘也能由电迁移形成。

·p.444·

为了降低电迁移,Ti(0.2—3wt.%)替代 Cu 加到 Al(1%Si)合金中,附加的 Ti 增加了电阻率,已提出采用 Ti 和 Al(1%Si)薄的多层结构,并且证实平均故障时间比 Al(1%Si)膜大10—100倍(Shen 等,1985;Jones 等,1985;Gardner 等,1985),如果采用 Al-Si-Ti 金属化,接触和硅之间会形成一种好的势垒,要充分注意到这是特别重要的,因为 Al_3Ti 金属间化合物中 Si 的固溶度能高到15%(Shen 等,1985)。已经开发出采用 TiN/Al-1%Si-0.5%Cu/TiN/Al-1%Si-0.5%Cu/TiN/Ti 多层结构的膜,这种膜既能抗电迁移又能抗应力迁移(Kikkawa 等,1991)。与 Al-Si-Cu 单层相比,多层互连具有较大的维氏硬度值、较小的张应力弛豫和较长的电迁移寿命。这些改进是由于在 TiN 和 Al-Si-Cu 之间的界面存在硬质金属间化合物 Ti_xAl_y(Kikkawa 等,1991)。

深宽比大于1以及尺寸为0.25μm 左右的小尺寸接触孔,一定要用互连材料来填塞,这种互连材料必须有好的覆盖性、低的电阻率、热处理期间的稳定性以及与当今工艺兼容。为了填塞接触孔,铝合金回流溅射是有前途的低成本工艺,铝-锗(Al-Ge)合金(Kikuta 等,1991)在300℃能流动和填塞1/4μm 的接触孔,因为与其它 Al 合金相比,共晶温度低(424℃)。Nishimura 等(1992)已开发出一种高度可靠的采用高温溅射填塞 Al-Si-Cu 合金的亚半微米通孔和互连工艺。为了防止 Si 沉淀采用薄的 Ti 底层。为了填塞通孔,溅射期间衬底温度是500℃。深宽比为4.5、直径为0.15μm 的通孔的完全填塞已经成功,与通常的通孔溅射相比,抗电迁移能力提高4个数量级。

表9-11 Al,Cu,Ag 和 Au 的特性

	Al	Cu	Ag	Au
电阻率(μΩcm)	2.8	1.7	1.6	2.2
熔点(℃)	660	1083	960	1063
抗电迁移强度(与 Al 相比)	1	20	10	20
氧化物形成热(kcal/mol)	−400	−40	−7.3	−0.8
向 SiO_2的扩散	不	是	是	不
凝成团	无	小	严重	无
反应离子刻蚀	易	难	难	难

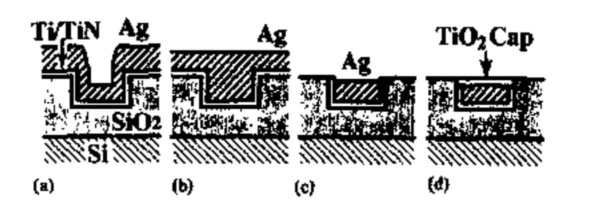


图9-25 Ag 互连技术的工艺流程:(a)Ag 沉积;(b)400℃退火;(c)回刻蚀或抛光;(d)600℃退火

对于 ULSI 互连来讲,银是一种可能的选择材料,因为它同其它互连材料相比有最低的电阻率。但是银有许多工艺难点,在过去的年代限制了其广泛应用(表9-11),主要的问题是缺少可靠的干法刻蚀和为了得到低的电阻率需要高温退火。Ushiku 等(1993)已开发出用 TiO_2钝化的新的平面化的银的互连工艺,工艺流程示于图9-25。在400℃第一次退火使 Ag 平面化,这是因为银的表面扩散很大,在回刻蚀或者化学机械抛光(CMP)工艺以后,样品

在600℃退火，退火期间 Ti 向上扩散通过 Ag 膜到达表面，并形成 TiO_2层，TiO_2层可防止退火期间 Ag 膜烧结成团。

·p. 445·

近来已开发出基于多晶塞和具有 TiN 势垒层的 Ni 硅化的新的接触填充技术（Iijima 等，1992），详细工艺如图9-26所示。这种工艺是自对准、选择性以及借助 TiN 硅化自停止层同时填充浅的和深的接触孔。Ni 硅化期间 Ni 扩散到多晶硅塞形成平的塞表面，用这些选择性的 Ni_3Si 接触塞技术已获得良好的结漏电流和晶体管特性。

在高的深宽比接触孔情况下，为了获得更低的接触电阻，金属塞是必需的。金属的 CVD，尤其是互连的选择沉积，与过去使用的相比有根本不同的集成电路制造能力。随着金属 CVD 的出现，纵向连线能力提高，将加速工业实现三层或更多层金属互连。特别在深亚微米领域，CVD 金属化将减少工艺问题，依靠有效的技术实现平面化连线和增加可靠性。

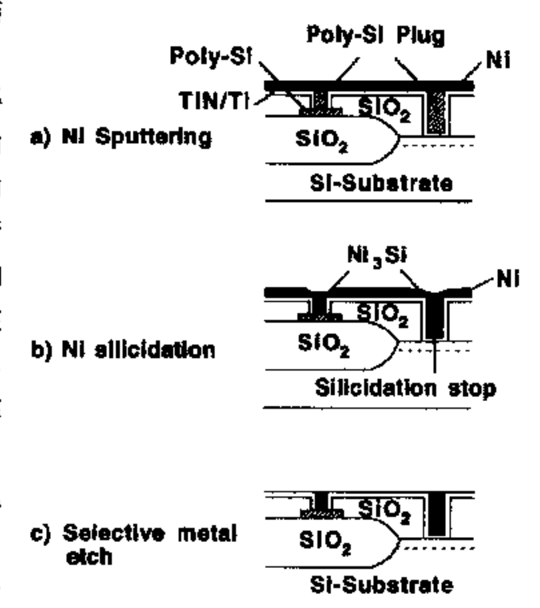


图9-26　Ni_3Si 接触塞技术的工艺流程图：a）Ni 溅射；b）Ni 的硅化；c）选择性金属刻蚀

在过去几年，Al CVD 已经研究用于实现敷形台阶覆盖（Ito 等，1982b；Cooke 等，1982；Lvey 等，1984），选择性生长到 Si 表面（Amazawa 和 Arita，1991a；Amazawa 等，1988；Sasaoka 等，1989；Masu 等，1990；Shinzawa 等，1989）以及在 Si 片上生长单晶（Kobayashi 等，1988）。为了提供全控制高质量 Al 的选择性和非选择性沉积，Tsubouchi 等（1992）已开发出一种 CVD 沉积 Al 的等离子激励技术，二甲铝混合物[DMAH；$(CH_3)_2AlH$]被选作为产物母体，由于它的高蒸气压（在20℃约2Torr，比三异丁基铝的蒸气压高10倍），DMAH 和 H_2通过下列反应产生 Al：

$$(CH_3)_2Al-H+\frac{1}{2}H_2 \rightarrow Al\downarrow+2CH_4\uparrow \qquad (1)$$

采用这个工艺，(100)单晶 Al 选择沉积在(111)Si，(111)单晶 Al 选择沉积在(100)Si，而电阻率接近体电阻率。选择生长的机理依次解释如下：(1)由稀释 HF 清洗以后 Si 表面被 H 端接，接着用纯水漂洗；(2)用于端接的氢原子选择性地同所吸附的 DMAH 的 CH_3 基（选择性反应基）反应；(3)Al 沉积以后 DMAH 分子的氢原子保留在沉积表面，作为新的端接原子。在非选择性沉积的情况，等离子体提供电子和 H 原子到 SiO_2表面，其结果是在 SiO_2表面发生 $CH_3+H\rightarrow CH_4$反应，在 SiO_2上形成薄的 Al 层。

·p. 446·

Amazawa 和 Arita（1991b）采用三异丁基铝（TIBA）已经开发出基于选择性 CVD 沉积用于多层互连铝的0.25μm 通孔塞工艺，如图9-27所示。Al，Ti 或 W 上表面自然氧化物

阻止 Al 生长。在这个研究中所采用的原位 RF 清洗是为了在 Al 沉积前除去自然氧化物。为了避免在介质上的 Al 成核用 RF 腐蚀，非晶 Si 沉积在介质上。已经证实，0.25μm 通孔具有十分低的接触电阻率和良好的电迁移可靠性。

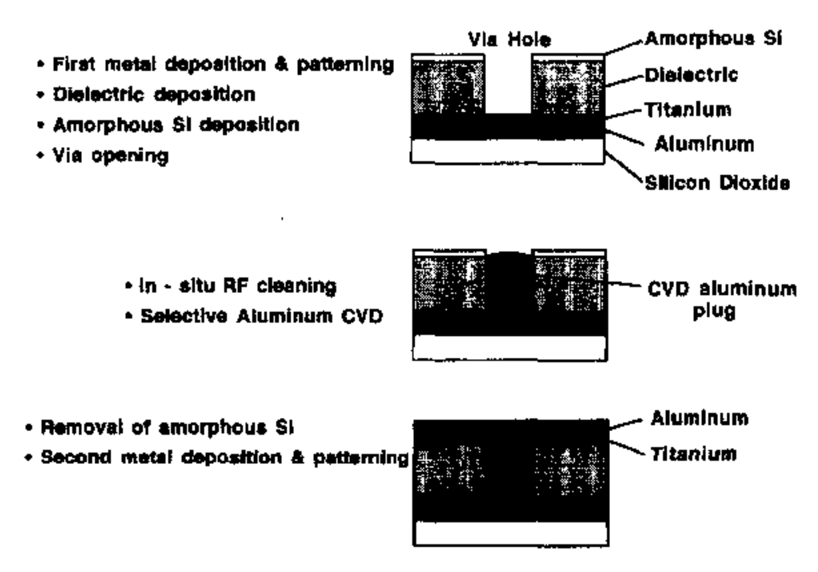


图9-27 选择性 CVD 铝通孔填塞工艺

近年来，在 CVD 金属中间最引人注意的是 CVD 钨，在底层金属化层中有可能代替铝合金，因为与铝相比，沉积均匀性更好且有良好的抗电迁移特性。能够容忍 W 比 Al 有更高的电阻率，因为在底层中的连线长度比较短。最初注意钨是因为它具有选择性沉积能力，钨只沉积在硅表面已开的氧化硅或氮化硅窗口中，而不沉积在氧化硅或氮化硅表面。在通孔的填塞、势垒金属膜和源漏栅并联层制作方面，选择性沉积是有吸引力的，因为这样可取消掩模和刻蚀工序，减少生产工艺的复杂性。而且由于沉积仅发生在器件的底部，这样自动地进行无孔洞的填塞，而且台阶覆盖也不成问题，但是钨对底层硅吸附力很差(在通孔情况下)。吸附性是可以改善的，方法是通过预清洗除掉可能存在的任何残留氧化硅或者自然氧化硅，再沉积上吸附层(例如 TiN)。Wang 等(1991)开发了一种适用于亚微米器件和内连的具有选择性 CVD 钨塞的新的双自对准 $TiSi_2$/TiN 接触方法。如图9-28所示那样，在介质-1上反应溅射一层 TiN，借此提供一个稳定的表面，该表面可防止选择性 CVD 钨工艺期间的钨在其它地方成核。但是钨将在 TiN/$TiSi_2$层上成核，在 NH_3气氛下 $TiSi_x$ 快速热退火可形成 TiN/$TiSi_2$层。

·p. 447·

钨沉积的选择特性由 WF_6同硅的高放热快速反应产生固体钨和气相氟化硅($2WF_6 + 3Si \rightarrow 2W + 3SiF_4$)所造成的。因为反应要消耗硅，所以沉积是选择性的。反应特性决定于快速生长的速率，但是钨的厚度是自限制的，一薄层 W 沉积后，就形成了势垒，这种势垒阻止 WF_6分子扩散通过 W 膜同硅表面反应，或者阻止 Si 到达表面同 WF_6反应。最终的钨膜厚度决定于衬底、沉积温度、WF_6分压以及总的压力。加还原剂(例如 H_2)到反应腔可沉积较厚的 W 膜，吸附在生长钨膜上的氢还原共吸附的 WF_6，产生 W 和易挥发的 HF($WF_6 + 3H_2 \rightarrow W + 6HF$)。氢不容易吸附在二氧化硅和氮化硅上，吸附特性的这种差异至少在原理上允许以选择方式不断沉积。

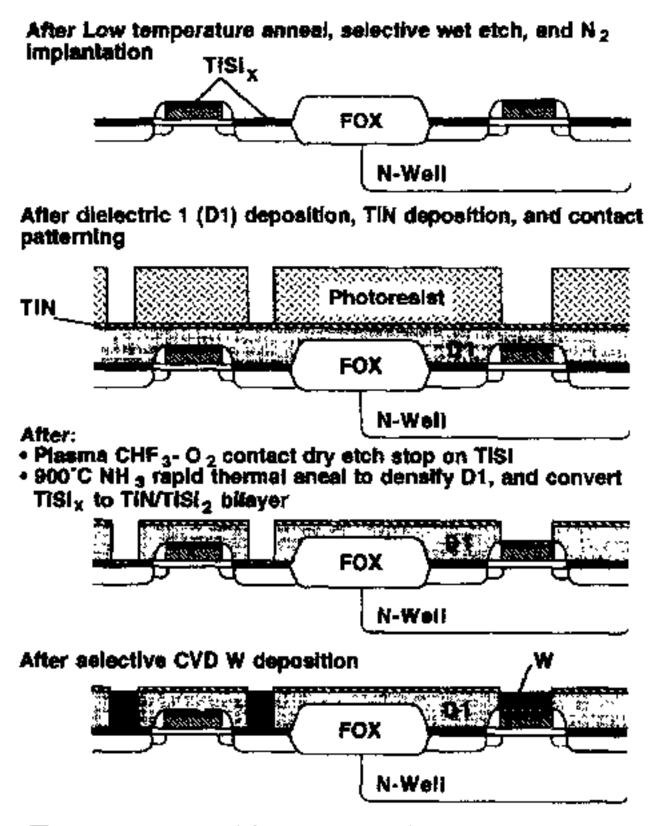


图9-28　SCVDW(选择 CVD 钨)填塞工艺的工艺流程图

·p. 448·

形成选择性沉积的硅还原反应会消耗接触孔底层氧化硅边缘下面的硅,同时在氧化层下面沉积上钨。光圈效应(在 Si/SiO_2界面 W 的侵蚀)和"蛀洞"(在 Si 中形成隧道)(Broadbent 和 Stacy,1985)可以减到最小,方法是气相中加硅烷,减少 W/Si 界面的 Si 消耗($3SiH_4+WF_6 \rightarrow 2W+3SiF_4+6H_2$),硅烷还原使沉积速率更快、沉积温度更低,以及工艺更干净,但是所得的 W 膜含有硅,与氢还原沉积膜相比有更大的电阻率(Kusumoto 等,1988;Yu 等,1989)。因为界面问题,势垒层(例如 TiN)要沉积在 Si 和 W 之间。已开发出敷形复合层金属化,例如钨选择性沉积到光刻成形的铝互连上(Hey 等,1986)。断路失效已大大地减少,这是因为将 Al 线封起来的均匀 W 覆盖层,改进了台阶覆盖和增强了抗电迁移。

选择性的损耗特别关系到选择性钨的沉积,在图形的硅片上的选择性损耗已涉及到反应的中间产物或者副产品,例如 WF_6腐蚀 SiO_2或者 HF 剥蚀 SiO_2都可产生低价硅氟化物和硅氟氧化物(Foster 等,1988;Hirase 等,1988;Kwakman 等,1988)。实验的结果认为,在钨表面上产生的易挥发的低价钨氟化物吸附在四周的 SiO_2上产生钨核(Creighton,1987)。影响选择损耗的工艺参数是 WF_6和 H_2的分压、总压力、沉积温度和时间以及反应腔结构。此外,介质表面性质也会影响选择性损耗,例如溅射-沉积 SiO_2比热生长 SiO_2显示更多地趋向于选择性损耗(Sumiya 等,1987)。因为选择钨 CVD 的这些困难,用回刻蚀(etch-back)的覆盖沉积已用于多层金属化流程,实现通孔的填充。

铜是有优势的互连候选材料,因为它有高的电导率和好的可靠性,理论上讲铜作为高

密度互连材料有胜过铝的优点，铜的电阻率比铝合金低30%—50%，由于铜有更高熔点温度，铜互连的电迁移性能预期比铝互连好2个数量级。于是铜互连用于 Al 合金相同的设计规则能增加器件的工作频率和允许更高的电流密度。

尽管有这些优点，铜互连的工艺还有一些问题：(1)缺少合适的 Cu 干法刻蚀工艺；(2)铜与硅不兼容，铜在禁带中形成深的受主能级陷阱，缩短少数载流子寿命，起了"毒化"器件有源区作用；(3)与 Si/SiO_2相比，氧化铜形成热更低，这样使得退火、平面化以及回刻蚀(etch-back)工艺期间热稳定性更差；(4)在二氧化硅中铜的扩散系数很大。可用完全包封 Cu 来阻止铜通过氧化硅快速扩散到硅衬底，如图9-29所示(Cho 等，1991)。图9-29(A)采用选择性钨作为包封。图9-29(B)开始用钨的子晶层(TiW)沉积到 LTO 沟槽，采用氮化硅侧墙隔离物防止 Cu 扩散到沟槽侧壁。

·p. 449·

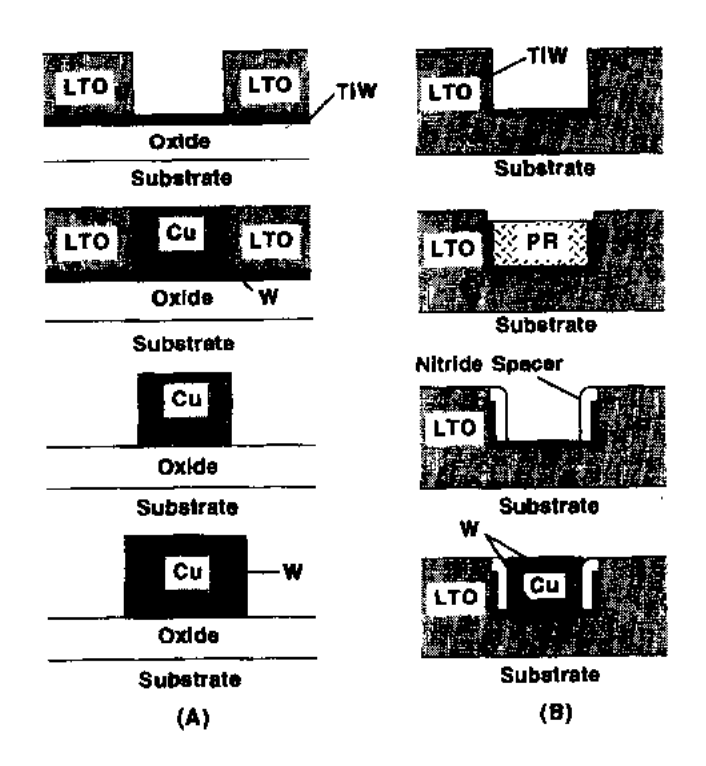


图9-29 (A)非平面和(B)用 W 覆盖的平面 Cu 互连的工艺流程

对于金属表面选择性 CVD 在近年来文献中有一些矛盾的报道，这是因为各个研究组采用不同的表面处理、不同的反应系统和各不相同的沉积条件(Jain 等，1992a；Reynold 等，1991；Norman 等，1991；Baum 和 Larson，1992)。许多研究组已经提出金属有机化合物同 SiO_2表面的相互反应是金属选择性沉积的关键的方面，例如有 SiO_2的情况下 W 和 Cu (Cheek 等，1992；Creighton，1991)。

二氧化硅表面部分有氢氧基组(Si-OH)和氧-组(Si-O-Si)组成，这些组最可能激活吸附的原始反应物分子。在 SiO_2表面上(Cab-O-Sil)一系列模型实验中选择性的差别起因于(hfac)CuL 分子与氢氧基组反应的差别(Hardcastle 等，1991)。化学钝化或除去表面氢氧基组合会改进选择性(Jain 等，1992b；Dubois 和 Zegarski，1992)。根据石英表面上 SiO_2表面氢氧基组的有意修正，采用各种各样铜(Ⅰ)原始反应物(copper(Ⅰ) precursou)的 Cu

CVD 可导致 SiO_2表面和其它金属表面的可控的 Cu 选择性沉积。

9.6.4 用于多层互连的平面化

·p.450·

采用计算机辅助互连布线的积木式 VLSI 设计促进了工艺向多层金属结构发展，这样除了容易布线外，还增强了电路的性能，并缩小了芯片尺寸，因为每一晶片上有更多的芯片，所以也降低了成本。可惜第一层金属化形成后的表面形貌使得上面金属层的金属连线变得困难，严重地影响成品率，为了弥补这种形貌，已开发了各种平面化和平滑工艺。

为了使恶劣表面形貌上所沉积的介质层平面化，所沉积的介质层厚度必须比所要求的最终膜的厚度要更厚，因为平面化工艺要去掉大部分，并且厚的沉积介质层必须无缺陷，层间介质所要求的关键薄膜特性是：

——在金属和介质上要有良好的台阶覆盖；

——为了平面化要有良好的隙缝填充；

——低的沉积膜压力和小的热处理热滞(hysteresis)；

——热处理或长期存贮时金属线中无应力释放；

——高的介电击穿强度；

——离子迁移的稳定性；

——低密度缺陷/微粒。

公共的问题是具有高深宽比缝隙中空洞的形成。用于沉积缝隙填充介质层的 CVD 工艺是采用硅烷的氧化，然而用硅烷做的氧化硅在深宽比为0.5或更大情况下不能得到很均匀的覆盖，采用 CVD TEOS/氧工艺可大大改进沉积氧化硅的敷形性，因此 TEOS 氧化硅已成为在亚微米器件中互连层绝缘的最普通的薄膜，在 Al 金属化下面的回流氧化硅膜通常采用常压 CVD TEOS 氧化硅膜。引人注意的一种工艺是 TEOS 和 O_3常压 CVD 的组合。台阶覆盖可由 TEOS+O_2来改进，并且可消除凹截面的空洞。热 TEOS/臭氧工艺沉积的介质膜往往会有相当多的孔，并且会吸收大量的水分(Nguyen 等，1990)，因此通常用浸漂/刻蚀工艺将大部分热 TEOS/臭氧生成的膜除掉，仅留下填充在缝隙区的膜(Pennington 等，1989)。

用增加沉积压力来改进 TEOS/臭氧膜的台阶覆盖能力和介质质量，在常压(APCVD)或亚常压(SACVD)并用高臭氧浓度沉积的 TEOS/臭氧膜往往在缝隙内角长得较厚，这样使台阶上外形变圆或者称为“回流”(Nishimoto 等，1989；Fujino 等，1991；Kotani 等，1989；Lee 等，1990)。与此相反，用标准 CVD 介质膜覆盖台阶会形成尖点，与低压沉积的 TEOS/臭氧膜相比 AP-TEOS/臭氧或者 SA-TEOS/臭氧沉积的膜趋向于更致密，并且更少吸收水分(Kotani 等，1989；Lee 等，1990)。但是，用高臭氧/TEOS 比的 AP-TEOS/臭氧沉积的薄膜趋向对表面和图形的密度更灵敏，这就使台阶覆盖随不同表面和图形密度而变化。加 Ge 到 AP-TEOS/臭氧膜能够大大地改变膜的机械性质，显著地降低了回流温度以及改进膜的稳定性(Baret 等，1991)。AP-CVD TEOS/臭氧沉积工艺能够填充亚微米高深宽比的缝隙或者凹角，这样可大大简化未来 ULSI 结构的平面化工艺。

·p.451·

为了提供低温平面化工艺开发了光刻胶涂布和回刻蚀(etch-back)工艺(Adams 和

Capio,1981),这个工艺是以光刻胶平面化能力为基础,用高速旋转晶片的办法将光刻胶以液体形式涂布在晶片表面,这技术开始用 CVD 沉积1—1.5μm 厚的氧化硅膜,精确的厚度由一些参量来决定,譬如多晶硅厚度、第一层金属层厚度以及图形的间距。氧化硅沉积以后,光刻胶涂布在片上,为了回流光刻胶和建立平的表面,应在玻璃转变温度以上进行烘烤。下一步是采用干法刻蚀工艺,几乎平的光刻胶的表面变成其下面介质膜的平面,干法刻蚀工艺按几乎相等速率腐蚀光刻胶和介质层(1:1的选择性),腐蚀工艺持续进行到光刻胶被全部除去,这样光滑的光刻胶表面外形变成光滑的介质膜。最后,第二次氧化硅沉积使金属层间的介质达到第二层金属所要求的厚度。这种工艺已经广泛应用到 Al 金属上面的平面介质层,但是平面化的程度不仅取决于光刻胶涂层厚度,而且也取决于下面的几何形状,只有小而紧密的间距图形可获得好的平面化,当图形的宽度或缝隙宽度超过几个微米时,平面化变得很坏。虽然这个问题能用附加的光刻工序来减少(Shelden 等,1988),但是增加了工艺的复杂度。如果涂布层采用热流动的聚合物,那么涂布层的表面平面化能大大地改进,几何图形大到几百微米,也可实现充分的平面化(Ting 等,1989)。

采用光刻胶回刻蚀工艺可得到一个非常平面化的表面,这种平的表面使得不同区域(如源/漏区、场区或多晶硅区)的第一层金属层上面的二氧化硅的厚度各不相同,从一个区到另一个区氧化层厚度能变化100%。例如源/漏区上面的氧化层厚度接近1.8μm,而多晶硅区上面的氧化层厚度薄到0.9μm。如果不采用通孔填充或钨塞工艺,为了保证合适的金属台阶覆盖进入到通孔,用光刻胶腐蚀锥形通孔的工艺是必需的。在厚光刻胶层中做成锥形通孔要求后曝光烘烤或者小心地控制厚光刻胶的后显影烘烤。这些工艺对温度很灵敏,并常常导致多晶硅通孔的不完全显影。此外,通孔刻蚀期间光刻胶会腐蚀掉一些,因此其厚度至少要考虑到最后氧化硅的刻蚀需要,通孔刻蚀时间必须长到足够刻透最厚的氧化层,而多晶硅上较薄的氧化层已经有100%过刻蚀,这样导致这些通孔尺寸过大,而且没有锥形。

·p.452·

如果涂布材料采用可独立使用的介质层或者与 CVD 介质膜配合使用,那么光刻胶涂布回刻工艺能够得到简化,为此目的,涂布 SiO_2乳胶(SOG)膜已受到很大重视。有许多不同类型的 SOG 材料,例如硅酸盐、掺杂硅酸盐以及多种的聚硅氧烷,它们能够以液体形式涂敷成具有良好表面平整性的涂布膜。SOG 膜能在相当低的温度下固化得到类似氧化硅的薄膜,但是膜的性质取决于原始材料、固化条件以及后续工艺条件(Pai 等,1987)。通常 SOG 的密度低于热氧化硅,而且厚的层容易裂开,因此常常与其它 CVD 介质层连起来使用,形成 CVD-SOG-CVD 夹心结构(Nguyen 等,1990)。为了避免在 SOG 膜中吸附过多水气,通常采用部分回刻工艺除掉通孔开口区的 SOG 膜。在低温固化的硅酸盐 SOG 膜是多孔的,会吸附大量水气。如果 SOG 在高温致密(即900℃),则膜的孔隙率会减少,但对铝来讲这种温度是不容许的。减少孔隙率的其它方法是采用硅氧烷材料,此材料在硅-氧链的末端有有机基,例如甲烷基或苯基,能释放膜应力和减少水气吸附。选用合适的材料,可使硅氧烷膜的水气吸附能减少到可忽略的程度。

通常涂膜后晶片在150—350℃适度烘烤,这是为了除去溶剂。然后425℃经60min 固化,所得的膜几乎100%是具有一些有机取代基的氧化硅。这种光滑工艺可填满原始氧化硅沉积工艺所形成的任何空隙。固化后工艺继续进行“覆盖”回刻蚀,然后该衬底再用

CVD 氧化硅盖一层，形成 CVD-SOG-CVD 夹心结构。SOG 厚单层涂膜往往会开裂，晶片形貌使最小间距线对上的 SOG 厚到8000Å，突出点上面的 SOG 薄到几百埃。为了减少开裂的几率，采用涂布二次 SOG，每次涂膜都要适当烘烤一下。

最终的固化对所制作膜的质量起重要作用，SOG 是因热冲击而开裂的，如果有通孔的区域留有 SOG 残留的外气或者吸附的水气会引起通孔的"爆炸"或"毒化"(Ting 等，1987)。这会导致高的接触电阻或者断路。为了防止这一问题，SOG 应该回刻蚀，使通孔区没有任何东西，只留下 CVD 氧化硅之间的夹心结构。

含有有机取代基的硅氧烷膜的完整性因氧等离子体而破坏，这种等离子体通常是用于除去有机光刻胶的。硅氧烷膜中的有机基被氧等离子体部分清除后膜变得非常多孔，而且容易开裂和吸附大量的水分，因此如果硅氧烷膜保留在晶片表面，氧等离子体工序必须取消，也即要采用无回刻蚀的 SOG 平面化工艺，否则硅氧烷膜必须用致密的顶盖层将 SOG 膜盖起来防止氧等离子体破坏。

·p. 453·

物理刻蚀工艺的腐蚀速率与入射角有关，一般来讲平面比斜的表面有更低的刻蚀速率，因此物理刻蚀工艺能用来消除尖角，得到更光滑的表面。多次刻蚀和沉积循环，在小尺寸范围内可得到平的表面。为了减少晶片的多次沉积/刻蚀循环加工工作量，几家设备制造商已经开发出将刻蚀和 CVD 沉积工艺联合在单一自动化系统中。采用沉积和刻蚀循环的不同组合能得到最终介质层表面各种程度的平面化。著名的 AMP-500系统用等离子体 TEOS 作为主要介质层。然而等离子体 TEOS 对于密集的几何图形没有足够台阶覆盖度，因此要与热 TEOS/O_3共同使用去满足台阶覆盖的要求。但是热 TEOS/O_3介质特性很差(也即如前面所提到的高的水分)，所以要采用回刻蚀工艺，除去极大部分的膜，只在隙缝中留下热 TEOS/O_3罩，这样可得到平的表面。

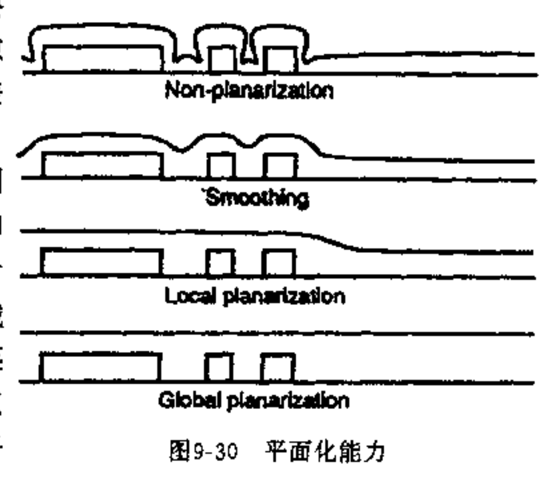


图9-30　平面化能力

SOG 和光刻胶回刻蚀在几十微米范围内平面化，对于深亚半微米器件回刻蚀和 SOG 技术是不足以使晶片平面化或者晶片形貌光滑化。化学机械抛光(CMP)采用机械衬盘(pad)-抛光系统以及将发烟石英(fumed-silica)作为悬浮体，CMP 的主要优点是全晶片平面化，如图9-30所示，整个晶片平面化的理由如下：

——全晶片平面化能补偿高数值孔径物镜(i-line，365nm)的浅焦深(DOF)($<0.5\mu m$)，对于分步重复光刻机大视场的精细线条光刻来讲，这是主要的，在晶体表面形貌上光刻胶厚度变化情况下，CD 控制是十分困难。

——全晶片平面化也改进了金属台阶覆盖及与其相关的可靠性，因为金属位于器件形貌最恶劣的地方，完全平面化的金属将改进器件的成品率和可靠性。

——全晶片平面化对最终的金属层施加附加形貌影响。

机理上，抛光期间玻璃表面磨除速率 dr/dt 由下列 Preston 方程(Preston，1927)决定：

$$dr/dt = Kp(ds/dt) \tag{9-1}$$

此处 p 是外加压力，ds/dt 是玻璃表面和衬盘之间的相对速度，比例常数 K 称作为 Preston 系数。K 的单位是面积/力，与玻璃的机械性质有关，在好的抛光情况（平面化的正常情况）下，Preston 系数与杨氏模量和玻璃的硬度有关，和所加压力及相对速度关系很小。在粗磨情形下，从玻璃表面磨去肉眼可见的碎片材料，而抛光的特征是近表面的相互作用和磨去材料的分子团。

·p. 454·

CMP 设备的关键工具部件示于图9-31(Thomas 等，1991)，晶片固定在旋转的晶片卡盘上，晶片表面正对着抛光衬盘的表面，抛光衬盘也是旋转的，在加工期间控制外加的压力，悬浮液以一定的控制速率加到抛光衬盘和晶片表面，抛光工艺认为按下列步骤进行：

(a) 悬浮液中的溶剂和溶解的氧化硅表面之间形成氢键，溶解的氧化硅表面既从属于晶片表面，又从属于悬浮液颗粒表面。

(b) 在晶片上的溶解的氧化硅表面和悬浮液颗粒表面之间形成氢键。

(c) 上述两个表面之间形成分子键。

(d) 随着悬浮液颗粒的移开，除去已成键的晶片表面。

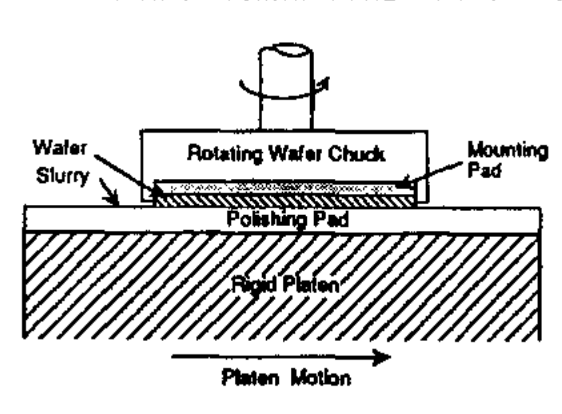


图9-31　CMP 设备的关键工具部件

当去聚合反应进行得比聚合反应快时就发生抛光，在晶片氧化硅表面下面的 Si-O-Si 键的裂开受通过氧化硅扩散的水的控制，悬浮液颗粒的作用是对化学“牙”引入抛光工艺。悬浮液颗粒表面和晶片表面之间的键合强度决定了抛光期间两个表面之间的有效动摩擦系数，于是弥散在悬浮液中氧化物的化学性质对最终的氧化硅磨削速率起决定作用，氧化铈有最高磨削速率，接着是氧化锆和氧化钛。但是对于平面化工艺悬浮液成分的选择不仅仅取决于磨削速率，而且也取决于获得平面化和有效地将颗粒变成稳定的胶态分布的能力。

为了实现平面化用抛光工艺比较简单，但是同时得到稳定、高磨削速率和整个晶片均匀性是复杂的，磨削速率随着抛光衬盘的寿命下降，这样会引起工艺控制问题，这种伴随衬盘寿命下降的原因是衬盘表面塑性形变和衬盘磨光，抛光衬盘磨光出现的两种现象：(1)衬盘和晶片之间接触的净面积增加，因此有效的抛光压力下降。(2)悬浮液传输到晶片表面的沟道被堵塞，认为后者影响最大。

也观察到，在大面积是平的，仅有小的孤立抬高的表面抛光，比密集排列的抬高的表面抛光要更快；面大面积抬高表面抛光最慢。因此，圆片内不同密度的形貌会造成平面化变坏，这是因为磨削速率不同的缘故(Daubenspeck 等，1991)。抛光的上述结构灵敏度使圆片内均匀性变坏，假如不控制，可以使晶片的一部分露出下面的层，面其余部分抛光不足。

采用不同抛光液的 CMP 也可用来形成铝接触和引线塞(Hayashi 等，1992；Kikuta，1993)。已经证实，铝回流溅射和 CMP 用于多层平面化-沟槽-铝互连。

·p. 455·

激光平面化是制作 VLSI 和 ULSI 互连层的一种可行的技术(Magee 等,1988;Wang 和 Ong,1990)。如图9-32所示,用金、铝或铜薄膜充填的通孔可有效地实现平面化,其方法是在真空处理腔中加热晶片,并用脉冲 XeCl(308nm)准分子激光熔化金属。平面化是非常快的,因为干净的液相金属有高的表面张力和低的粘度。在合适的条件下,已经用 Al 充填微米、亚微米直径的接触孔和通孔(Magee 等,1988;Wang 和 Ong,1990;Liu 等,1989;Pramanik 和 Chen,1989)。由于 Al($1cm^2/s$)的高热扩散系数,通过$1\mu m$ 厚的膜传导这些热仅需要约10ns 时间。几十纳秒的脉冲激光一方面足以熔化金属覆盖层,另一方面对金属膜和其下层势垒或介质层之间冶金和热反应的作用又最小。

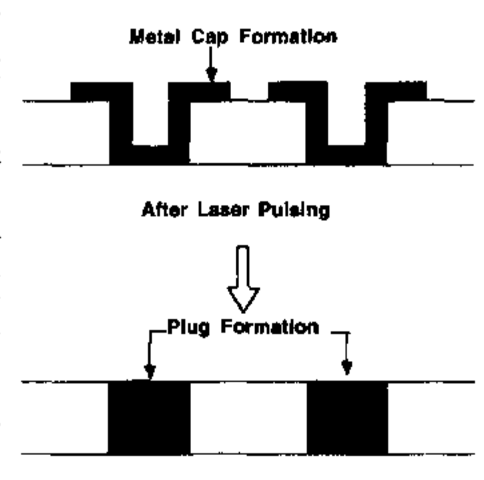


图9-32 激光平面化工艺

介质膜(例如 SiO_2)热导率只有熔化 Al 的热扩散率的1/100,因此介质膜可以防止热转移到下面的衬底。Al 的高表面应力、低的粘度和好的热扩散率,再加上 SiO_2的良好热势垒使激光可用于 Al 互连膜平面化,并且不破坏下层的器件。

在激光处理以后,合成膜的应力由弱的压应力变为弱的张应力,在激光处理期间发生金属应力释放以及氧和其它杂质外扩散,类似于区熔提纯技术,这样可得到高纯铝合金膜,这种膜可抑制小丘生长。在激光平面化样品中观察到器件接触电阻分布的一般性改善,阈电压或击穿电压并无明显变化。Pramanik 等(1989)已表明,用激光平面工艺制作的亚微米接触和通孔的接触电阻和通孔电阻均有大的改善,并且没有观察到结的变坏。激光处理 Al 的晶片抗电迁移能力优于对比器件(Boeck 等,1990)。对于激光回流工艺来讲,铜也是一种好的可选材料,因为与 Al(≈90%)相比,Cu 的电阻率可下降更多(≈35%),尽管 Cu 的熔点(≈1035℃)高于 Al(≈660℃),回流 Cu 只需要更低的入射激光能量。

9.7 集群设备技术

因为制造的质量和价格的激烈竞争,再加上制造工艺的复杂性不断提高,所以未来的半导体制造将努力减少每一个给定的工艺和设备的缺陷,像图9-33所指示的那样,对于4 MbDRAM来讲1.6个缺陷/cm^2相对应的成品率为40%,同样的缺陷密度制作16Mb

·p. 456·

DRAM 成品率为10%,而64Mb DRAM 的成品率降到0。在2000年前,制造先进 DRAM 的独立的工艺步数期望会增加到700,这势必要求更严格地控制设备和加工所引入的缺陷。此外,在2000年前,将采用300mm 直径的晶片,晶体直径的增大将大大增加工艺设备的成本,这主要由于为了满足大晶片内均匀性而增加了设备复杂度。目前8in 晶片的制造厂的成本大约60%—70%是花在设备上。如图9-34所示,制造1GB DRAM(300—400mm 晶片上的0.18μm 特征尺寸,并有5—6层互连)工厂要20亿美元(Chatterjee 和 Larrabee,1993)。

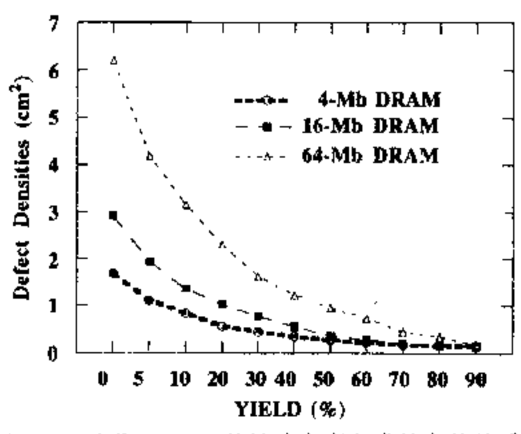


图9-33 几代DRAM的缺陷密度和成品率的关系

而且前沿的IC典型寿命周期已经从5年下降到2或3年。当晶片制造领域改成新的IC设计时，他们常常需要处理掉一些仍旧可用的工艺设备，这样使得制造成本大大提高。在过去几年已经看到，硅半导体工业有如下趋势：

——器件/电路按比例缩小；

——晶片更大；

——干法刻蚀更多；

·p. 457·

——单晶片处理更多；

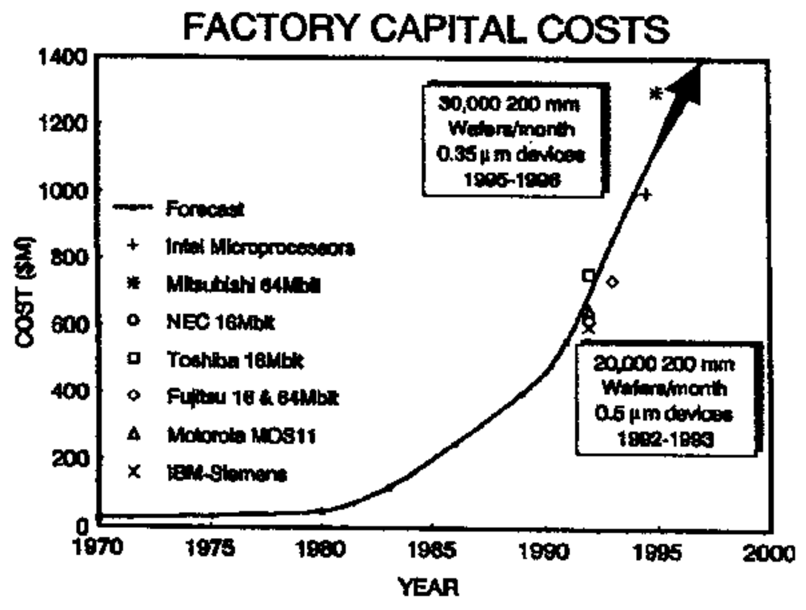


图9-34 晶片制造厂投资费逐年上升

——新的清洗哲学：与其集中精力消除落在晶片上的颗粒，不如使颗粒产生降低到最少；

——实时处理和工厂控制的自动化增多；

——不同的产品；

——快（处理周期）而经济（价格）地制造多种多样的产品（灵活性），而且首次成功（质量）。

9.7.1 优点

这些要求为新型的未来IC制造设备带来了一个重要机遇，这种新型设备可单片式处理大晶片，并且可以将相继的工序组合成多腔原位加工的积木式组件或者相连多室的独立积木式组件（Doering，1992）。单片式集群设备技术大大有利于IC制造，加工腔和晶片传送环境的固有的洁净度使薄膜和界面质量大大提高，这是因为颗粒沾污和反应杂质（H_2O，O_2等）减少的缘故。上述因素再加上减少了工序间的"用手"传送晶片的次数，必定会降低缺陷密度和提高成品率。此外，新式设备的快速加工使得公司的学习曲线（learning

curve)很快上升，允许更早地产品引入，这样能够使晶片产品价格更高以及增加市场份额。加工周期数的减少也加速了工艺开发和成品率/缺陷学习(learning)，对于降低制造成本来讲是一个极重要因子。此外在晶片尺寸加大，每一个晶片的价值变得更大(特别对于ASIC)的情况下，将大批晶片放在一个舟上加工的风险变得很大。在为了改进设备的可靠性而将注意力集中于工艺监测和实时检测的时代，单晶片加工与成批的舟加工相比也改进了监控信息提取。因为新的工艺可开发成生产的积木式组件，所以将研究与开发(R&D)转变成生产所需的时间很可能缩短。

集群设备的主要功能单元示于图9-35，主要单元包括如下：

——中央操作平台：包含将晶片从一个积木式组件送到另一组件的传送机构；

——晶片盒操作台；

——单晶片加工的积木式组件：提供清洗、CVD、PVD、RIE、RTP以及其它工艺的单晶片加工环境，一些加工积木式组件可专门设计，另一些可用独立的加工积木式组件；

——成批的舟式积木式组件：采用成批的舟式积木式组件或小批量的小舟式积木组件来提高某些慢加工工艺的产量。

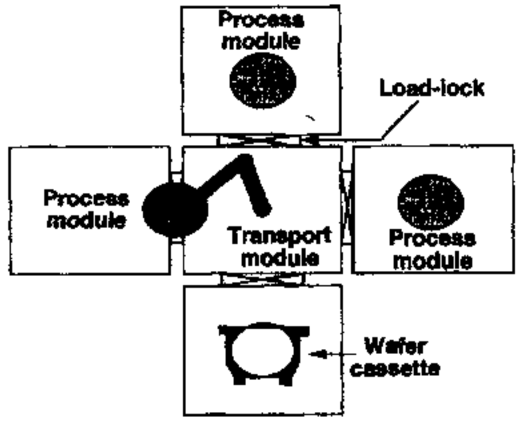


图9-35 集群设备的主要功能单元

·p. 458·

集群设备后面的重要思想是，改变IC制造仅需改变加工的积木式组件。在这种方式下，半导体制造商可以提供新的集成工艺，该工艺要求完全不同的全套工序，他们保留集群设备平台，这平台是由集群设备的控制器以及配有真空泵、控制和电源的晶片传送和晶片盒积木式组件组成，只有一些周边加工站需要升级、扩充或者置换。为了快速地转变成生产，这种由灵活的积木式组件构成的设备可以根据未来工艺要求重新组合(这种新工艺是在单独使用的R&D积木式组件上开发的)，这样可以减少设备更新费用以及延长原先装备的设备寿命，因此大大地节省了开支。

集群设备的优点之一是能够做用别的技术很难、甚至不可能做的工艺。大多数集群工作是打算减少由于完善和提高集成工艺设备所需要的费用，改进工艺是为了增加性能和成品率。有些情况集群是打算开发新材料、新工艺和新奇的结构。

9.7.2 快速热处理

对于亚微米制造来讲，快速热处理(RTP)设备非常重要，因为大直径晶片趋向要减少热开销[1]和加强工艺控制，RTP设备所希望的特性是快速灯光加热、冷的腔壁、快速改变原位多次加工工艺的晶片温度和处理环境的能力以及单片处理。快速上升速率允许短时间处理，可增强温度编程能力和扩大温度范围。因为化学反应是热激活的，其反应速率随着温度提高而大大增加，所以采用RTP的CVD工艺可以大大提高产量，这样可以克服

1) 指所需要的热处理温度和时间。——译者注

单片加工的固有的缺点。冷壁对 CVD 是重要的，沉积应主要发生在晶片上而不应在腔壁，这样可使沾污和颗粒问题降到最小。在同一设备中，实现原位多次加工工序能借助于改进晶片环境控制来减少颗粒沾污以及靠缩短整个处理时间去提高产量。单晶片加工特性对于改善大晶片工艺控制是重要的。在注意力集中于工艺监测和实时控制的时代，与批量舟式加工相比，单片加工也可改进监测信息的提取。每一个独立的单项工艺组件能够集成或者"集群"起来以满足专门用途的工艺需要。各种硅工艺组件正在开发成用于亚微米器件制造的 RTP 形式，这类工艺中的一些工艺是 SALICIDE 和 TiN 形成、P-N 结形成、沟道掺杂分布的控制、薄栅介质的形成、消除自然氧化硅、玻璃回流以及接触金属的烧结。将 RTP 和 CVD 结合起来(RT-CVD)，衬片温度和反应气体流可用作为 CVD 反应的快速"开"和"关"的转换开关，因此衬片的热照射最小，可以沉积超薄薄膜。此外还可以获得薄膜厚度，成分以及结构的精确控制。RT-CVD 能够原位做成高纯界面的多层工艺，这对制造超薄高质量叠层介质来讲非常重要。层厚和成分的精确控制以及 RT-CVD 能够进行原位清洗和加工，使单腔进行多次加工成为可能，使 ULSI 技术得到了惊人的进展。

·p. 459·

因为 RT-CVD 有独有的特性，它将变成集成工艺最重要的工艺组件，使用 RTP 和 RT-CVD 的一些重要的集群工艺将在下面讨论。

9.7.2.1 原位干法清洗

不同层(半导体/介质、半导体/半导体、金属/半导体)之间的结构及化学和电特性很大程度上影响所制成的器件的全部性能和可靠性。当今 IC 的制作工艺中大约40%是清洗工序。清洗晶片表面的湿法清洗工艺是专门用于清除每次工艺后留在晶片表面上的颗粒和沾污，当器件变得越来越小，用湿法化学清洗陡的接触孔和深的槽将越来越困难。此外，深亚微米器件的晶体表面清洗要求更高水平的清洗。这种清洗工艺所产生的大量废化学试剂必将危害环境，适当地处理这些废弃物是非常贵的。因为设备和工艺不相容，传统的湿法清洗工艺已经阻碍集群设备的发展。

由于上述理由，清洗工艺必须大大改进，采用仅需少量化学试剂的汽相或者气相干法清洗工艺是一种有前途的选择(Moslehi 等，1992)。与液体成分相比，反应气体很容易通到晶片表面，这是因为气体分子不需要通过一厚层水再到达晶片表面。气相系统用1瓶5磅(约2.3kg)的无水 HF 可清洗90000晶片，而湿法槽式系统要用2000磅(约900kg)的10% HF。

·p. 460·

RT-CVD 原位清洗的典型方法是在 H_2中预烘烤(≥1000℃，≥1min)，为了减少自动掺杂和原有掺杂分布加宽，将限制有助于原位清洗的总的热辐射。Ghidini 和 Smith(1994)已经报道，只要 O_2和 H_2O 分压低于给定温度下的临界值，氧化硅腐蚀速率是很高的，Smith 和 Ghidini(1982)将预烘烤时间降到秒的数量级。近来已经建立一种条件(不是由于用 HF 处理来氢钝化)，在这种条件下用500—800℃H_2预烘烤15—30s 可得到 Si 和 Ge_xSi_{1-x}外延(Jung 等，1991a)。还报道了用无水 HF(AHF)在 H_2中加热到325—750℃进行原位清洗(Apte 等，1991)。AHF 清洗工艺不仅简单而且可行，在某种意义上讲它有选择性，只消除表面自然氧化层而留下的热氧化硅一点也不受影响。另一个有前途的低温气相

RTP 清除自然氧化层和别的表面沾污方法是采用锗烷清洗(Moslehi 等,1992)。清洗工艺的成分组成是 GeH_4和 H_2的混合物,为了防止热清洗期间锗沉积或表面成核,锗烷与氢流量之比保持十分低。GeH_4/H_2清洗硅衬底表面的原理是 GeH_4直接与自然氧化硅层反应,产生易挥发的 GeO。虽然这工艺能很好地消除自然氧化硅和 CVD 氧化硅,但不易消除热生长氧化硅。基于 RTP 的气相干法腐蚀工艺能很容易地集成到各种基于 RTP 的薄膜生长和淀积工艺积木式组件中去,形成集群设备环境。

9.7.2.2 界面工程

界面工程对于高速双极晶体管和 Bi-CMOS 工艺是非常关键的。界面工程是由表面清洗、界面氧化硅或氮化硅生长控制以及多晶硅沉积等工序组成(RTP 清洗、RTP 氧化硅/氮化硅生长、RT-CVD 原位掺杂多晶硅沉积)。

9.7.2.3 氧化硅和氧氮化硅叠层栅

叠层栅工艺是这种工艺的好范例,它得益于 RTP 集群设备工艺,由 RTP 清洗、RTP 栅介质生长以及原位多晶硅沉积组成。为了得到优良的器件性能和可靠性集群设备要保持晶体表面不沾污。制作单一 MOS 电容是一个好的例子,能够在同一个 RT-CVD 腔内用快速热氧化(RTO)和原位掺杂多晶硅沉积工艺完整地制作 MOS 电容。增加工艺可以很容易地将 MOS 电容转变成 MOSFET。高质量 MOS 电容和 MOSFET 已经展示(Sturm 等,1986),已经得到栅氧化层厚度为290Å、面积为$4.5\times10^{-3}cm^2$的电容,禁带中间界面态密度约为$1010cm^{-2}$(对于固定电荷)和击穿电场为10MV/cm。

硅片在 N_2O 气氛中用 RTP 办法生长氮氧化硅栅介质性能要优于通常硅在 O_2中生长 SiO_2(N_2O 的氧化硅在固定电应力下的电荷陷阱和表面态更少,电荷-击穿和时间-击穿值增加10倍,以及更好的掺杂剂扩散势垒特性)(Hwang 等,1990)。具有 N_2O 的氧化硅栅的 MOSFET 在相同的沟道载流子应力条件下的寿命几乎比对比器件高一个数量级。

·p. 461·

叠层氮化硅/氧化硅(NO)薄膜因其低缺陷密度、低漏电流、扩散势垒特性以及好的长期可靠性,已广受重视(Watanabe 等,1984;Young 等,1988;Weinberg 等,1990)。在氮化硅内或在氮化硅/氧化硅界面的电荷陷阱已经限制了这种薄膜用于存储器。已经展示了在 RT-CVD 反应腔内制作高纯界面的原位多层工艺的办法使 NO 层中的电荷陷阱大大减少。这一实验中 NO 结构的底层氧化硅是由1050℃温度下氧气中 RTO 制成,接着在850℃用 SiH_4和 N_2稀释的 NH_3反应原位沉积氮化硅(RT-CVD)。底层氧化硅标称厚度是40Å和氮化硅厚度是30Å。在1050℃用 RTO 制得的对比氧化硅漏电流和 NO 器件在低场下的漏电流差不多。具有 NO 介质的电容的 V_{fb}十分接近于对比氧化硅样品。对比样品和 NO 器件的 D_{it}值$\approx2\times10^{10}cm^{-2}eV^{-1}$,说明有优良的界面完整性。NO 器件与对比氧化硅相比,在击穿电场分布方面有大的改进,尽管对比氧化硅和 NO 层的底层氧化硅是在同一个 RT-CVD 反应腔按相同方法相继组成。高质量顶层氮化硅是覆盖或堵塞了底层氧化硅的缺陷,使得低场击穿事件的出现频率大为减少(Roy 等,1988)。原位氮化硅沉积还能够有效地防止沉积多晶硅前的氧化硅受到沾污。

9.7.2.4 DRAM 存储介质的沉积

用 RT-CVD 工艺制作超高密度 DRAM 存储介质变得特别重要。这种工艺是由 RTP 清洗/表面钝化、RT-CVD 方法沉积存储介质、原位沉积后 RTP 退火、用 RT-CVD 沉积原位掺杂的多晶硅顶层电极等组成。

对于氧化硅/氮化硅/氧化硅(ONO)DRAM 存储介质来讲，在底层多晶硅电极上面的底层 SiO_2对薄膜完整性起着重要作用，其理由是薄的底层 SiO_2(通常是低级的自然氧化硅)使 ONO 薄膜质量变坏。底层 SiO_2妨碍有效介质厚度进一步缩小，并且限制其达到最大可能得到的电容值。因此为了制造先进的 DRAM，在沉积介质前完全消除自然氧化层特别重要。已经展示了在 Si_3N_4沉积前将多晶硅表面在纯 NH_3中快速氮化，这样可得到高可靠的(无底层自然氧化硅)的 Si_3N_4介质($t_{ox,eff} \approx 35$ Å)(Lo 等，1992)。用 RTN 可完全消除由低级自然氧化硅引起的与缺陷有关的介质击穿。此外，用 RTN 处理的电容的寿命比不用 RTN 处理的电容有提高(增加10^3倍)。

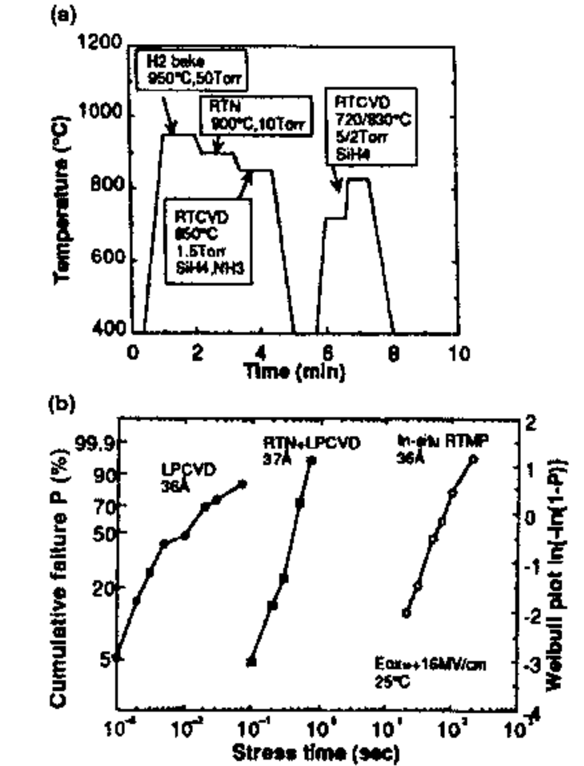


图9-36 (a)用于制作 DRAM 存储电容的原位多次加工的时间-温度分布图；(b)不同工艺制作的介质的 TDDB 特性比较

用原位多次加工(RTMP)也能制作超薄叠层 NO 层(Ando 等，1993)。如图9-36a 所示，多次加工工序包括原位表面清洗、RTN、RT-CVD 沉积 Si_3N_4膜以及 RT-CVD 沉积多晶硅。这些工序是在不破坏真空的条件下先后进行的，消除 Si_3N_4/Si 界面的界面氧化硅可得到低漏电流密度和很高可靠性的高质量氮化硅膜。如图9-36b 所示，用原位 RTMP 制作的 Si_3N_4膜的 TDDB 特性比通常的 LPCVD Si_3N_4膜提高10^4倍，这一结果清楚表示原位多次加工能够制作用于 ULSI 的高质量超薄的薄膜。

9.7.2.5 选择性沉积工艺

·p.462·

随 IC 工艺一代一代发展，工艺的复杂度和掩模数不断增加，预计在2000年前 IC 工艺的工序要多到700步。多采用选择性工艺是减少工序(掩模、光刻和刻蚀工序)的一种办法，选择性金属沉积(W、Cu、TiN)和选择性硅化物($TiSi_2$)工艺是各种选择性工艺中更著名、更成熟的两个。用于先进 CMOS 隔离和抬高源漏的 CMOS 器件的选择性外延是另一个有希望的工艺，此处强调选择性工艺是因为它们会大大影响集群设备，选择性工艺可不用光刻工序，并且在单一的集群设备中容易地进行相继的多个工序，一直到下一次光刻才从设

备中取出晶片。

选择性外延生长已经用于新的晶体管结构[应用于先进 CMOS 的低杂质沟道晶体管(LICT)]。在重掺杂阱的顶上选择性生长薄的不掺杂硅外延层可以降低阈值电压，并使能带弯曲更平缓，其结果是载流子有效场变弱和表面粗糙引起的散射减小。此外因为没有沟道注入，也就消除了载流子冻结。重掺杂阱是为了使关态更陡和防止穿通。实现 LICT 结构的0.1μm-CMOS 器件已达到非常好的晶体管特性(Aoki 等，1990)。LICT 要求很陡的杂质分布，因此 RT-CVD 成为制作 LICT 的理想方法，这是因为 RT-CVD 可提供最小的自动掺杂和杂质外扩散(Gibbons 等，1985；Lee，1989；Jung 等，1991b)。

9.7.2.6 超浅结制作

为了制作十分浅的高质量 p^+-n 结，Nishizawa 等(1990b)和 Inada 等(1992)已经开发一种新的方法，该方法是晶体表面化学吸附从引入的掺杂气体分子中分解出来的原子。这一工艺是将晶片处于较低温度和无氧气氛中，硼原子会扩散到 Si 中。它是不同于在富氧气氛中进行的常规扩散工艺。Kiyota 等(1994)已经开发一种快速加热气相掺杂工艺，这一工艺可制作超浅掺硼 p-n 结，其结深小于30nm，表面硼浓度为$5.8\times10^{19}cm^{-3}$。

·p.463·

9.7.2.7 基于 RTP 的集成 CMOS 工艺

采用全 RTP 热处理的0.25μm CMOS 工艺已经开发和演示(Moslehi 等，1993a)，这些 RTP 的处理温度为450—1100℃，工艺特性列于表9-12。用大大简化的工艺已经制出了高性能的 CMOS 晶体管。已经展示出 RTP 控制优于炉子，这些结果表明 RTP 能用于 IC 制作。

表9-12 基于灯光加热 RTP 的 CMOS 制造工艺一览表(Moslehi 等，1993a)

基于 RTP 的工艺	应用	RTP 参数范围
锗烷清洗	分裂栅形成	650—750℃，低压(750℃/15 torr)GeH_4/H_2
干 RTO	栅氧化，PBL 氧化硅	1000—1050℃，高压(1000℃/650 torr)O_2
湿 RTO	厚氧化硅("ONED"-槽和牺牲氧化层)	950—1000℃，高压(1000℃/650 torr)H_2O/O_2
源/漏 RTA 和栅 RTA	源/漏激活，栅退火	950—1050℃，高压(950℃/650 torr)Ar 或 NH_3
RTP 槽的形成	CMOS n & p 阱形成	1050—1100℃，高压(1100℃/650 torr) NH_3
LPCVD 多晶硅	CMOS 栅形成	650—750℃，低压(650℃/15 torr)SiH_4/Ar
LPCVD 无定形硅	CMOS 栅形成	500—590℃，低压(560℃/15 torr)SiH_4/Ar
LPCVD 钨	多层金属	475—500℃，低压(475℃/20 torr)$SiH_4/H_2/WF_6$/Ar
TiN/$TiSi_x$ RTA 反应和退火	自对准硅化物，硅化物接触	650—750℃，低压(650℃/750℃/1 torr)N_2，Ar
RTP 烧结 (FGA)	形成气中退火	450—475℃，高压(475℃/650 torr)H_2/N_2
LPCVD 氮化物	PBL 氮化硅沉积	800—850℃，低压(3 torr)SiH_4/NH_3
LPCVD 氧化物	氧化硅间隔，不掺杂氧化硅	700—750℃，低压(740℃/1 torr)TEOS/O_2

9.7.2.8　用 RT-CVD 制作 Ge_xSi_{1-x}/Si 异质外延

首先不采用 UHV 技术的 RT-CVD 方法可做出高性能 Ge_xSi_{1-x}/Si 异质结双极晶体管(HBT)，早期工作表明，与硅相比可得到400的高电流增益和28GHz 的特征频率(Kamins 等，1989)，用控制基区杂质外扩散和采用陡的基区层的办法可改进 HBT 特性(Sturm 和 Prinz，1991)。最近用于单晶体管与非门的双基区 HBT 已经展示(Prinz 等，1992)。

·p.464·

由于硅和 $Si_{1-x}Ge_x$ 沟道在应变层中有更高的载流子迁移率，$Si_{1-x}Ge_x/Si$ 异质结构 FET 能够有更好的特性。用 RT-CVD 生长的 GeSi/Si 异质结构的 FET(具有 SiGe 埋层沟道)与硅表面沟道 FET 相比在室温下有更高的空穴迁移率(Garone 等，1992)。与此类似，已经报道在 $Si_{0.71}Ge_{0.29}$ 弛豫层顶上的张应力 Si 表面沟道和埋层沟道的电子迁移率也有提高(Welser 等，1992)，在室温下其峰值有效迁移率比制作在体硅上的器件的迁移率高2.2倍。

由于良好的硅 VLSI 技术，低成本 $Si_{1-x}Ge_x$ 合金可取代化合物半导体制作长波长接收器和其它光电集成电路，调整 SiGe 层中 Ge 含量可以在技术上很重要的1.3—1.55μm 范围内调节工作波长。RT-CVD 可以生长适用于这种器件的 GeSi 外延层。已制出低损耗波导和直接耦合器(Mayer 等，1991)。已经展示了能工作在1.5Gbit/s(在1.3μm)具有高内量子效率和低暗电流的 SiGe/Si 超晶格波导 PIN 光电探测器(Jalali 等，1992)。用 RT-CVD 生长50周期超晶格(含有24Å SiGe 层、23Å Si 层)，已证明这种超晶格控制得很好(Sturm 等，1991)。快速开关气体和生长温度的能力可以优化各层的生长温度，这样可得到最小互扩散的理想的多量子阱(MQW)结构以及高的产量。为了避免孤岛生长，SiGe 层是在低的温度(550—650℃)下生长，为了得到合适的生长速率在略高的温度(700—800℃)下生长 Si 势垒层。RT-CVD 宽的生长速率范围可以用于生长厚波导层和薄的 MQW 层，这样可制得集成波导光电探测器结构。RT-CVD 能够选择性外延 SiGe 层(Kamins 等，1992)和 SOI 上外延 SiGe(Hsieh 等，1991)，藉此可以进一步改进器件性能。

用于 CVD 的 RTP 积木式组件的商业型号在均匀性和控制方面满足不了制造环境要求，这主要是由于难于测量和控制晶片温度以及大晶片的均匀性。已经证明，单片 RTP 加工的主要问题是晶片绝对温度的非接触式测量和控制以及晶片上的温度均匀性。目前许多实验室正在研究上述这些问题，并得到了进展(Moslehi 等，1992；Peyton 和 Kwong，1990)。譬如采用多区加热技术可得到晶片均匀加工。多种方法探索了表面发射率校正，发射率校正是用于光测高温计的非接触式温度测量和控制。所有这些方法都是有前途的，但是目前还没有在均匀性和控制方面设计得很好的 RTP 积木式组件。

9.7.3　单片集成工艺

·p.465·

目前正在将集群集成工艺推向更宽的应用领域，在这种领域中，特性(温度、化学过程、压力)很不同的各个相继工艺组成集群，这是大大得益于集成工艺的优点的发挥，这种工艺组合能够得到最高质量的材料与结构。为了设计加工具有相配的物理、结构、介电、力

学、化学、结晶以及电特性的薄膜,必须联合使用现有的工艺和未来的工艺。一些重要的集群工艺是:

——清洗、CVD、PVD以及腐蚀工艺必须集成起来解决上层金属化(包括多层金属化)的表面形貌问题。

——自对准硅化物工艺(清洗、PVD、RTP、腐蚀)。

——多层薄膜腐蚀或者多步腐蚀,这些腐蚀对复杂结构是必须的,因为各个工序需要不同的化学反应和腐蚀工艺,交叉沾污和颗粒成为重要问题(清洗、腐蚀)。

——界面工程,对于双极晶体管和 BiCMOS 来讲这是很关键的,其包括表面清洗、可控的界面氧化硅或氮化硅生长以及多晶硅生长(清洗、RTP、CVD)。

——选择性沉积/生长工艺取决于限定的阱和特别制作的表面,这种工艺特别适合于集成工艺(清洗、钝化、CVD)。多采用选择性工艺是大大减少工序数的一种办法,因为每一个选择工艺可以消除多个其它工序(通常是掩模、光刻和腐蚀工序)。在这里强调选择工艺是因为它们对集群设备有大的影响。

——氧化硅(或氧氮化硅)叠栅以及原位掺杂多晶硅(清洗、RTP、CVD),叠栅工艺是大大得益于集群设备工艺的一个范例(Apte 等,1992)。这种工艺由预-栅清洗、栅介质生长、多晶硅电极沉积和退火组成。最主要的是在集群设备中界面保持无沾污,制出的器件特性和可靠性均很好。

——DRAM 存储介质沉积(清洗、CVD、RTP)

——超浅结制作,其原理是表面化学吸附由加入的掺杂气分子所分解的原子(清洗、RTP)(Nishizawa 等,1990b;Inada 等,1992;Kiyota 等,1994)。

——BPSG 回流(清洗、CVD、高压 RTP),为了减小回流的热开销,单晶片高压 RTP 系统已经用于 BPSG 回流(在 N_2中温度低到720℃)。

——氧化硅间隔(spacer)/套环(collar)制作(腐蚀、CVD、腐蚀)(Matuszak 等,1989)。

产量成为集群设备的一个问题,对于单晶片加工来讲,每小时60片认为是一个合理的数值。在集群设备中所用的多数单晶片工艺是可以达到这一数值的,包括清洗、剥层、RTP和许多腐蚀工艺,但是另一些腐蚀工艺和许多 CVD 工艺要大于1min。当这些较慢的工艺集成到集群设备制造中去,典型的产品是每小时10—25片。集群设备的产量取决于最慢的(或"瓶颈")工艺,此外,机器的处理量(也就是晶片操作速度,包括抽真空、通气)也限制了产量提高。对于瓶颈工艺已经下功夫去减少处理时间,对于一些长时间的工艺可以采用舟式批量加工积木式组件。

但是单晶片工艺的独特的特性之一是可以少量快周期地制作,这一特点对于工艺开发和要求周期短比晶片价格更重要的应用来讲是非常吸引人的。模拟结果表明在集群设备中制作单晶片的理论周期时间可短至5天,这对于少量 ASIC 流水来讲是非常有价值的。已经进行了常规制作和集群设备制作的性能对比(Wood 等,1991),这一对比中画出了每晶片的价格对平均周期的关系曲线。可以清楚看出,在高产量情况下晶片价格相差不大,但是在低产量情况下常规制作的晶片价格更高。近来已经展示了用单晶片加工用于快周期 IC 生产(Moslehi 等,1993b)。已经用全 RTP 热处理来制作完整的0.35μm CMOS 工艺仅需3天。

集群设备的前途及其渗人和支配 IC 制造的程度取决于拓宽单晶片加工技术运用范

围的成功开发。此外，为了获得基本的机械学知识和发展新的工艺控制和材料结构质量，已经详细研究了加工期间的晶片表面和工艺环境，采用了表面科学各种成熟的技术，如质谱仪和光谱仪。假如改进工艺控制，那么就可实现晶片到晶片(Wafer-to-Wafer)的工艺配置以及简易工艺配合，改进工艺传感器是非常有效的，并可用于集群设备。用于关键工艺变量(如晶片上的气体种类和气体流量以及晶片沉积或腐蚀期间的厚度)的合适的工艺传感器实在太少了。多数传感器仅提供间接数据或者测量远离表面的相同点参数。这可用这种间接测量的参数按合适的工艺和设备模型推算出晶片的有关参数。但是还有很多研究、开发和工艺特征化工作有待进一步开展。

9.8 参考文献

Note: IEDM stands for International Electron Device Meeting.

Abe, T., et al. (1992), *ECS Softbound Proc. 92-7*, p. 200.
Adachi, H., Nishikawa, H., Komatsu, Y., Hourai, H., Sano, M., Shigamatsu, T. (1992), *Mater. Res. Soc. Symp. Proc. 262*, 815.
Adams, A. C., Capio, C. P., (1981), *J. Electrochem. Soc. 128*, 423.
Ahn, J., Kwong, D. L. (1992), *IEEE Electron. Device Lett. 13*, 494.
Ahn, J., Ting, W., Kwong, D. L. (1992a), *IEEE Electron. Device Lett. 13*, 117.
Ahn, J., Ting, W., Kwong, D. L. (1992b), *IEEE Electron. Device Lett. 13*, 186.
Ajmera, A. C., Rozgonyi, G. A. (1986), *Appl. Phys. Lett. 49*, 1269.
Amazawa, T., Arita, Y. (1991a), in: *IEDM Tech. Digest*. New York: IEEE, p. 265.
Amazawa, T., Arita, Y. (1991b), *IEDM Tech. Digest*. New York: IEEE, p. 625.
Amazawa, T., Nakamura, H., Arita, Y. (1988), *IEDM Tech. Digest*. New York: IEEE, p. 442.
Ando, S., Horie, H., Imai, M., Oikawa, K., Kato, H., Ishiwari, H., Hijiya, S. (1990), *VLSI Tech. Symp.*, 65.
Ando, K., Yokozawa, A., Ishitani, A. (1993), *VLSI Tech. Symp.*, p. 47.
Aoki, M., Ishii, T., Yoshimura, T., Kiyota, Y., Iijima, S., Yamanaka, T., Kure, T., Ohyu, K., Nishida, T., Okazaki, S., Seki, K., Shimohigashi, K. (1990), *IEDM Tech. Digest*. New York: IEEE, p. 939.
Appels, J. A., Kooi, E., Paffen, M. M., Schatorji, J. J. H., Verkuylen, W. H. C. G. (1970), *Philips Res. Rep. 25*, 119.
Apte, P. P., Moslehi, M. M., Yeakley, R., Saraswat, K. C. (1991), in *Extended Abstracts*, PV 91-1, 573. Pennington, NJ: Electrochem. Soc.
Apte, R., et al. (1992), *VLSI Tech. Symp., Tech. Digest*, p. 52.
ASTM (1988), *Annual Book of ASTM Standards*, Vol. 10.05: Philadelphia, PA: ASTM.
Baglee, D. A., Smayling, M. C., Duane, M. P., Itoh, M. (1984), *Jpn. J. Appl. Phys. 23*, 884.
Baglee, D. A., et al. (1985), *IEDM Tech. Digest*. New York: IEEE, p. 384.
Baker, F. K., Pfiester, J. R., Mele, T. C., Tseng, H. H., Tobin, P. J., Hayden, J. D., Bunderson, C. D., Parrillo, J. C. (1989), *IEDM Tech. Digest*. New York: IEEE, p. 443.
Baret, G., Madar, R., Bernard, C. (1991), *J. Electrochem. Soc. 138*, 2830.
Bassous, E., Yu, H. N., Maniscalco, V. (1976), *J. Electrochem. Soc. 123*, 1729.
Baum, T. H., Larson, C. E. (1992), *Chem. Mater. 4*, 365.
Bentini, G. G., Bianconi, M., Summonte, C. (1988), *Appl. Phys. A45*, 317.
Boeck, B., et al. (1990), *Proc 7th Int. IEEE VLSI Multilevel Interconnection Conf., Santa Clara, CA*, p. 90.
Borland, J. (1987), *IEDM Tech. Digest*. New York: IEEE, p. 13.
Borland, J. (1989), *Overview of the Latest in Intrinsic Gettering, Parts I&II*. Semiconductor International.
Borland, J., Deacon, T. (1984), *Solid State Technol. 27*, 123.
Borland, J., Koelsch, R. (1993), *Solid State Technol. 35*, 28.
Bousetta, A., van den Berg, J. A., Armour, D. G. (1991), *Appl. Phys. Lett. 58*, 1626.
Brat, T., Parikh, N., Tsai, N. S., Sinha, A. K., Poole, J., Wickersham, Jr., C. (1987), *J. Vac. Sci. Technol. B5*, 1741.
Broadbent, E. K., Stacy, W. T. (1985), *Solid State Technol. 12*, 51.
Brotherton, S. D., Ayres, J. R. Clegg, J. B., Gowers, J. P. (1989), *J. Electron. Mater. 18*, 173.
Buiting, M. J., Otterloo, A. F., Montree, A. H. (1991), *J. Electrochem. Soc. 138*, 500.
Carey, P. G., Sigmin, T. W., Press, R. L., Fahre, T. S. (1985), *IEEE Electron Device Lett. 6*, 291.
Chatterjee, P. K., Larrabee, G. B. (1993), *ULSI Science and Technology*, Vol. 93–13: Celler, G. K., Middlesworth, E., Hoh, K. (Eds.). Pennington, NJ: Electrochem. Soc., p. 1.
Cheek, R. W., et al. (1992), in: *Advanced Metallization for ULSI Applications*. Pittsburgh, PA: MRS, p. 227.
Chen, M. C. (1982), *J. Electrochem. Soc. 129*, 1294.
Chiu, K. Y., et al. (1982), *IEEE Trans. Electron Devices 29*, 536.
Cho, J., Kang, H. K., Beiley, M., Wong, S. (1991), *VLSI*, p. 39.
Chow, T. P., Lu, W. J., Steckl, A. J., Baliga, B. J. (1986), *J. Electrochem. Soc. 133*, 175.
Chu, C. L., et al. (1990), *IEDM Tech. Digest*. New York: IEEE, p. 245.
Chueng, N. W. (1991), *Nucl. Instrum. Methods B 55*, 811.
Circelli, N., Hems, J. (1988), *Solid State Technol. 31*, 75.
Cooke, M. J., Heinecke, R. A., Stern, R. C., Maes, J. W. C. (1982), *Solid State Technol. 25*, 62.
Creighton, J. R. (1989), *J. Electrochem. Soc. 136*, 271.
Creighton, J. R. (1991), in: *Advanced Metallization for ULSI Applications*. Pittsburgh, PA: MRS, p. 51.
da Silva Jr., E. F., Nishioka, Y., Ma, T. P. (1987), *IEEE Trans. Nucl. Sci. 34*, 1190.
Daubenspeck, T. H., DeBrosse, J. K., Koburger, C. W., Armacost, M., Abernathy, J. R. (1991), *J. Electrochem. Soc. 183*, 506.
Davari, B., Koburger, C., Furukawa, T., Taur, Y., Noble, W., Megdanis, A., Warnock, J., Mauer, J.

(1988), *IEDM Tech. Digest.* New York: IEEE, p. 92.
Davari, B., Ganin, E., Harame, D., Sai-Halasz, G. A. (1989a), *VLSI Tech. Symp.*, p. 27.
Davari, B., Koburger, C., Schulz, R., Warnock, J. D., Furukawa, T., Jost, M., Taur, Y., Schwittek, W. G., DeBrosse, J. K., Kerbaugh, M. L., Mauer, J. L. (1989b), *IEDM Tech. Digest.* New York: IEEE, p. 61.
Davies, D. E. (1985), *IEEE Electron Device Lett. 6*, 397.
Deal, B. E., Sklar, M., Grove, A. S., Snow, E. H. (1967), *J. Electrochem. Soc. 114*, 266.
Deroux-Dauphin, P., et al. (1985), *IEEE Trans. Electron. Devices 32*, 2392.
Doering, R. (1992), *VLSI Tech. Symp., Tech. Digest*, p. 2.
Dori, L., Sun, J., Arienzo, M., Basavaiah, S., Taur, Y., Zichermann, D. (1987), *VLSI Tech. Symp., Tech. Digest*, p. 25.
Dubois, L. H., Zegarski, B. R. (1992), *J. Electrochem. Soc. 139*, 3295.
Dunn, G. J., Scott, S. A. (1990), *IEEE Trans. Electron Devices* 37, 1719.
EerNisse, E. P. (1977), *Appl. Phys. Lett. 30*, 290.
Ellwanger, R. C., Prall, K. D., Malinaric, D. R., Williams, R. W., Schmitz, J. E. J., Bromley, E. I. (1991), in: *Tungsten and Other Advanced Metals for VLSI Applications:* Smith, G. C., Blumenthal, R. (Eds.). Pittsburgh, PA: Materials Research Society, p. 335.
En, B., Cheung, N. W. (1993), *Nucl. Instrum. Methods B 74*, 311.
Fair, R. B. (1988), *IEEE Trans. Electron Devices 35*, 285.
Fazan, P., et al. (1993), *IEDM Tech. Digest.* New York: IEEE, p. 57.
Fix, R. M., Gordon, R. G., Hoffman, D. M. (1989), *Mater. Res. Soc. Mtg.* Pittsburgh, PA: MRS, p. 351.
Foster, R., Lane, L., Tseng, S. (1988), in: *Tungsten and Other Refractory Metals for VLSI Applications,* Vol. III: Wells, V. A. (Ed.). Pittsburgh, PA: Materials Research Society, p. 159.
Foulon, F., Slaoui, A., Fogarassy, E., Stuck, R., Fuchs, C., Siffert, P. (1989), *Appl. Surface Sci. 36*, 384.
Fujii, T. (1992), *IEDM Tech. Digest.* New York: IEEE, p. 845.
Fujino, K., et al. (1991), *J. Electrochem. Soc. 138*, 550.
Fukuda, H., Arakawa, T., Odake, Y. (1992), *IEEE Trans. Electron Devices 39*, 127.
Fuse, G., Ogawa, H., Tateiwa, K., Nakao, I., Odanaka, S., Fukumoto, M., Iwasaki, H., Ohzone, T. (1987), *IEDM Tech. Digest.* New York: IEEE, p. 732.
Gardner, D. S., et al. (1985), in: *Proc. VLSI Multilevel Interconnection Conf.: New York: IEEE,* p. 102.
Gardner, M., et al. (1994), *Symposium on VLSI Technology.*
Garone, P. M., Venkataraman, V., Sturm, J. C. (1992), *IEEE Electron Device Lett. 13*, 1.
Georgiou, G. E., Sheng, T. T., Kovalchick, J., Lynch W. T., Malm, D. (1990), *J. Appl. Phys. 68*, 3707.
Ghidini, G., Smith, F. W. (1984), *J. Electrochem. Soc. 131*, 2924.
Gibbons, J. F., Gronet, C. M., Williams, K. E. (1985), *Appl. Phys. Lett. 47*, 721.
Gilles, D., Weber, E. R., Hahn, S. (1990), *Phys. Rev. Lett. 64*, 196.
Grider, D. T., Öztürk, M. C., Wortman, J. J., Littlejohn, M. A., Zhong, Y. (1990), *Proc. SPIE Symp. on Rapid Thermal and Related Processing Techniques 1393*, 229.
Grider, D. T., Öztürk, M. C., Wortman, J. J. (1991), *Proc. 3rd Int. Symp. ULSI Sci. Tech., Electrochem. Soc., Spring 1991, Washington, D. C.* Pennington, NJ: Electrochemical Society, p. 259.
Grunthaner, F. J., Maserjian, J. (1978), in: *The Physics of SiO_2 and its Interfaces,* Pantelides, S. (Ed.). Elmsford, NY: Pergamon Press.
Gupta, D. C., Swarroap R. B. (1984), *Solid State Technol. 27*, 113.
Gupta, A., Pancholy, R. K., Spero, J. (1980), *IEEE Trans. Nucl. Sci. 27*, 1749.
Hahn, P. O., Henzler, M. (1984), *J. Vac. Sci. Technol. A 2*, 574.
Hamel, J. S., Roulston, D. J., Selvakumar, C. R. (1992), *IEEE Electron Device Lett. 13*, 114.
Hara, T., Miyamoto, T., Hagiwara, H., Bromley, E. I., Harshbarger, W. R. (1990), *J. Electrochem. Soc. 137*, 2955.
Harama, D. L., et al. (1991), *IEDM Tech. Digest.* New York: IEEE, p. 645.
Hardcastle, F. D., et al. (1991), in: *Advanced Metallization for ULSI Applications.* Pittsburgh, PA: MRS, p. 413.
Havemann, R. H., Pollack, G. P., U. S. Patent 4 541 167.
Hayashi, Y., et al. (1992), *IEDM Tech. Digest.* New York: IEEE, p. 976.
Hey, H. P., et al. (1986), *IEDM Tech. Digest.* New York: IEEE, p. 51.
Hilton, M. R., et al. (1986), *Thin Solid Films 139*, 247.
Hirase, I., Sumiya, T., Schack, M., Ukishima, S., Rufin, D., Shishkura, M., Matsuura, M., Ito, A. (1988), in: *Tungsten and Other Refractory Metals for VLSI Applications,* Vol. III: Wells, V. A. (Ed.). Pittsburgh, PA: Materials Research Society, p. 133.
Hizuki, K., Sakon, M., Kaneko, T. (1990), *Proc. 7th Crystal Technol. Symp. (The Jpn. Soc. Appl. Phys.)*, p. 27.
Hong, S. N., Ruggles, G. A., Paulos, J. J., Wortman, J. J., Öztürk, M. C. (1988), *Appl. Phys. Lett. 53*, 1741.
Hong, S. H., Ruggles, G. A., Wortman, J. J., Myers, E. R., Hren, J. J. (1991), *IEEE Trans. Electron Devices 38*, 28.
Hori, T., Iwasaki, H., Tsuji, K. (1989), *IEEE Trans. Electron Devices 36*, 340.
Hsieh, T. Y., Chun, H. G., Kwong, D. L., Spratt, D. B. (1990), *Appl. Phys. Lett. 18*, 1779.

Hsieh, T. Y., Jung, K. H., Kwong, D. L., Lin, S., Marcus, H. L. (1991), *Mater. Res. Soc. Proc. 224*, 135.

Hu, S. M. (1980), *Appl. Phys. Lett. 36*, 561.

Huang, C. G. (1993), *Int. Conf. on VLSI and CAD*, p. 29.

Hui, J. C., Chiu, T., Wong, S., Oldham, W. G. (1982), *IEEE Trans. Electron Devices 29*, 554.

Hunt, C. E. et al. (1991), *Mater. Conf.*, Boulder, CO, June 19–21.

Hwang, H., Ting, W., Kwong, D. L., Lee, J. (1990), *IEDM Tech. Digest*. New York: IEEE, p. 421.

Hwang, H., Ting, W., Kwong, D. L., Lee, J. (1991), *IEEE Electron. Device Lett. 12*, 495.

Iijima, T., et al. (1992), *VLSI Tech. Symp.*, p. 70.

Imai, K., et al. (1984), *IEEE Trans. Electron Devices 31*, 297.

Inada, T., Kuranouchi, A., Hirano, Y., Nakamura, T., Kiyota, Y., Onai, T. (1991), *Appl. Phys. Lett. 58*, 1748.

Inada, T., Kuranouchi, A., Hirano, H., Nakamura, T., Kiyota, Y., Onai, T. (1992), *Appl. Phys. Lett. 58*, 1748.

Inui, S., Nii, T., Matsumoto, S. (1991), *IEEE Electron Device Lett. 12*, 702.

Irene, E. A. (1978), *J. Electrochem. Soc. 125*, 1708.

Ito, T., Nakamura, T., Ishiwaka, H. (1982a), *IEEE Trans. Electron Devices 29*, 498.

Ito, T., Sugii, T., Nakamura, T. (1982b), *Symp. VLSI Technol., Digest of Tech. Papers, Oslo*. Tokyo: Business Center for Acad. Soc., Japan, p. 20.

Iwai, H., Momose, H. S., Morimoto, T., Ozawa, Y., Yamabe, K. (1990), *IEDM Tech. Digest*. New York: IEEE, p. 235.

Iyer, S. S., et al. (1989). *IEEE Trans. Electron Devices 36*, 2043.

Iyer, S. S. (1993), *ECS Extended Abstracts*, Vol. 93–1, p. 1176.

Jain, A., et al. (1992a), *Mater. Res. Soc. Symp. Proc. 260*, 113.

Jain, A., Farkas, J., Kodas, T. T., Chi, K.-M., Hampden-Smith, M. J. (1992b), *Appl. Phys. Lett. 61*, 2662.

Jalali, B., Naval, L., Levi, A. F. J., Watson, P. (1992), *SPIE Proc.*, p. 214.

Jellison, G. E., Modine, F. A. (1982), *Appl. Phys. Lett. 41*, 180.

Jeng, S. P., et al. (1993), *VLSI Tech. Symp.*, p. 105.

Jones, R. E., et al. (1985), in: *Proc. VLSI Multilevel Interconnection Conf.* New York: IEEE, p. 2194.

Jones, E. C., Cheung, N. W. (1993), *IEEE Electron Device Lett. 14*, 444.

Joshi, A. B., Kwong, D. L. (1992), *IEEE Trans. Electron. Devices 39*, 2099.

Joshi, A. B., Lo, G. Q., Shih, D. K., Kwong, D. L. (1992), *IEEE Trans. Electron. Devices 39*, 883.

Jung, K. H., Hsieh, T. Y., Kwong, D. L. (1991a), *Appl. Phys. Lett. 58*, 2348.

Jung, K. H., Hsieh, T. Y., Kwong, D. L. (1991b), *JOM 43(10)*, p. 38.

Kamins, T. I., et al. (1985), *IEEE Electron Device Lett. 6*, 617.

Kamins, T. I., Nauka, K., Kruger, J. B., Hoyt, J. L., King, C. A., Noble, D. B., Gronet, C. M., Gibbons, J. F. (1989), *IEEE Electron Device Lett. 10*, 503.

Kamins, T. I., Nauka, K., Jacowitz, R. D., Hoyt, J. L., Noble, D. B., Gibbons, J. F. (1992), *IEEE Electron Device Lett. 13*, 4.

Kao, D. B., deLarios, J. M., Helms, C. R., Deal, B. E. (1989), *Proc. Int. Rel. Phys. Symp.*, 9.

Kao, D. B., Cairns, B. R., Deal, B. E. (1991), *Abstract no. 536, 180th Electrochem. Soc. Mtg., Phoenix, AZ.*

Kasai, N., et al. (1987), *IEEE Trans. Electron Devices 34*, 1331.

Kasi, S. R., Liehr, M. (1992), *J. Vac. Sci. Technol. A 10*, 795.

Kato, J. (1990), *J. Electrochem. Soc. 137*, 1918.

Kato, J., Asakina, M., Shimura, H., Yamamoto, Y. (1986), *J. Electrochem. Soc. 133*, 794.

Kato, S., Nagahori, T., Matsumoto, S. (1987), *J. Appl. Phys. 62*, 3659.

Kawamoto, G. H., Magyar, G. R., Yau, L. D. (1987), *IEEE Trans. Electron Devices 34*, 2450.

Kern, W. (1990), *J. Electrochem. Soc. 137*, 1887.

Kern, W., Puotinen, D. A. (1970), *RCA Review 31*, 187.

Kern, F. W., et al. (1991), *Proc. IES Symp.*, May 1991.

Kikkawa, T. (1992), *SSDM Extended Abstracts 1992*, 90.

Kikkawa, T., Aoki, H., Ikawa, E., Drynan, J. M. (1991), *IEDM Tech. Digest*. New York: IEEE, p. 281.

Kikuta, K. (1993), *IEDM*. New York: IEEE, p. 285.

Kikuta, K., Kikkawa, T., Aoki, H. (1991), *VLSI Tech. Symp.*, p. 35.

Kim, M., et al. (1983), *IEEE Trans. Electron Devices 30*, 598.

Kim, Y. M., Lo, G. Q., Kinoshita, H., Kwong, D. L. (1991), *J. Electrochem. Soc. 138*, 1122.

Kiyota, Y., Onai, T., Nakamura, T., Inada, T., Kuranouchi, A., Hirano, Y. (1991), *SSDM Extended Abstracts 1991*, 47.

Kiyota, Y., Onai, T., Nakamura, T., Inada, T., Kuranchi, A., Hirano, Y. (1992), *IEEE Trans. Electron Devices 39*.

Kiyota, Y., Matsushima, M., Kaneko, Y., Kanetomo, M., Tamaki, Y., Muraki, K., Inada, T. (1994), *Appl. Phys. Lett. 64*, 910.

Kobayashi, T., Sekiguchi, A., Hosokawa, N., Asamaki, T. (1988), *Jpn. J. Appl. Phys. 27*, L1775.

Kohlhase, A., Mändl, M., Pamler, W. (1989), *J. Appl. Phys. 65*, 2464.

Kotaki, H., et al. (1993), *IEDM Tech. Digest*. New York: IEEE, p. 839.

Kotani, H., et al. (1989), *IEDM Tech. Digest*. New York: IEEE, p. 669.

Koyanagi, M., et al. (1984), *IEEE Trans. Electron Devices 34*, 839.

Ku, Y., Louis, E., Shih, D. K., Lee, S. K., Kwong, D. L., Aloi, N. S. (1987), *Appl. Phys. Lett. 50*, 1598.

Ku, Y., Lee, S. K., Kwong, D. L. (1988), *IEEE Electron Device Lett. 9*, 293.

Ku, Y., Lee, S. K., Kwong, D. L., Chu, P. (1989), *Appl. Phys. Lett. 54,* 1684.
Ku, Y., Lee, S. K., Kwong, D. L. (1990), *J. Electrochem. Soc. 137,* 728.
Kubota, M., et al. (1986), *IEDM Tech. Digest.* New York: IEEE, p. 814.
Kurosawa, K., et al. (1981), *IEDM Tech. Digest.* New York: IEEE, p. 384.
Kurtz, S. R., Gordon, R. G. (1986), *Thin Solid Films 140,* 277.
Kusumoto, Y., Takakuwa, Y., Hashinokuchi, H., Ikuta, T., Hakayama, I. (1988), in: *Tungsten and Other Refractory Metals for VLSI Applications,* Vol. III: Wells, V. A. (Ed.). Pittsburgh, PA: Materials Research Society, p. 103.
Kwakman, L. F. T., Veruelen, W. J. C., Granneman, H. A., Hitchman, M. L. (1988), in: *Tungsten and Other Refractory Metals for VLSI Applications,* Vol. III: Wells, V. A. (Ed.). Pittsburgh, PA: Materials Research Society, p. 141.
Lai, S. K., Lee, J., Dham, V. K. (1983), *IEDM Tech. Digest.* New York: IEEE, p. 190.
Landi, E., Carey, P. G., Sigmon, T. W. (1988), *IEEE Trans. Computer-Aided Design 7,* 205.
Lasky, J. B., et al. (1985), *IEDM Tech. Digest.* New York: IEEE, p. 684.
Lee, K., et al. (1993), *IEDM Tech. Digest.* New York: IEEE, p. 131.
Lee, S. K., Ku, Y. H., Kwong, D. L. (1989), *Appl. Phys. Lett. 54,* 1775.
Lee, S. et al. (1990), in: *Semiconductor Silicon,* Vol. 90-7: Huff, H. R., Barraclough, K. G., Chikawa, J. I. (Eds). Pennington, NJ: Electrochem. Soc., p. 851.
Li, G. Q., Cheng, Y. C. (1988), *J. Electrochem. Soc. 135,* 418.
Lin, W. (1990), in: *Semiconductor Silicon,* Vol. 90–7: Huff, H. R., Barraclough, K. G., Chikawa, J. I. (Eds). Pennington, NJ: Electrochem. Soc., p. 569.
Liu, R., Cheung, K. P., Lai, W. Y.-C., Heim, R. (1989), *Proc. 6th Int. IEEE VLSI Multilevel Interconnection Conf.,* Santa Clara, CA, p. 329.
Lo, G. Q., Kwong, D. L. (1991), *IEEE Electron Device Lett. 12,* 175.
Lo, G. Q., Ting, W., Ahn, J., Kwong, D. L. (1991), *VLSI Tech. Symp.,* p. 43.
Lo, G. Q., Ito, S., Kwong, D. L. (1992a), *IEEE Electron Device Lett. 13,* 372.
Lo, G. Q., Ting, W., Ahn, J. H., Kwong, D. L., Kuehne, J. (1992b), *IEEE Trans. Electron Devices 39,* 148.
Lovey, R. A., Green, M. L., Gallagher, P. K. (1984), *J. Electrochem. Soc. 131,* 2175.
Ma, T. P., Dressendorfer, P. V. (1989), *Ionizing Radiation Effects in MOS Devices and Circuits.* New York: Wiley-Interscience.
Maex, K., et al. (1988), *ULSI Science and Technology 1991 JES,* p. 254.
Magee, T. J., Osborne, J. F., Gildea, P., Leung, C. H. (1988), U. S. Patent 4 758 533.
Marcus, R. B., Sheng, T. T. (1982), *J. Electrochem. Soc. 129,* 1278.
Masu, K., Tsubouchi, K., Shigeeda, N., Matano, T., Mikoshiba, N. (1990), *Appl. Phys. Lett. 56,* 1543.
Matsumoto, S., Yoshioka, S., Wada, J., Inui, S., Uwasawa, K. (1990), *J. Appl. Phys. 67,* 7204.
Matsushita, Y., Wakatsuki, M., Saito, Y. (1988), *Extended Abstracts, Int. Conf. Solid State Devices and Materials,* p. 529.
Matuszak, E., et al. (1989), *Multichamber and In-situ Processing of Electronic Materials.* Bellingham, WA: SPIE, p. 96.
Mayer, R. A., Jung, K. H., Hsieh, T. Y., Kwong, D. L., Campbell, J. C. (1991), *Appl. Phys. Lett. 58,* 2744.
Mazara, W. (1991), *J. Electrochem. Soc. 138,* 341.
Mazure, C., et al. (1992), *IEDM Tech. Digest.* New York: IEEE, p. 853.
Mets, E. J. (1965), *J. Electrochem. Soc. 112,* 420.
Meuris, M., et al. (1992), *Microcontamination 10–5,* 31.
Minondo, M., et al. (1993), in: *Proc. Ion Implantation Technology-92:* Downey, D. F., Farley, M., Jones, K. S., Ryding, G. (Eds.). Gainesville, FL, pp. 539–543.
Mitani, K., et al. (1991), *Jpn. J. Appl. Phys. 30,* 615.
Miyashita, M., Matsushita, Y. (1993). *Proc. 256th Workshop of ULSI Ultra Clean Tech.,* p. 30.
Miyashita, M., Fukui, M., Kubota, A., Samta, S., Hiratsuka, H., Matsushita, Y. (1991), *Extended Abstracts, Int. Conf. Solid State Devices and Materials,* p. 568.
Momose, H., et al. (1991), *IEDM Tech. Digest.* New York: IEEE, p. 359.
Morehead, F. F., Lever, R. F. (1986), *Appl. Phys. Lett. 48,* 151.
Moslehi, M. M., Saraswat, K. C. (1985), *IEEE Trans. Electron Devices 32,* 106.
Moslehi, M. M., Chapman, R. A., Wong, M., Paranjpe, A., Najm, H. N., Kuehne, J., Yeakley, R. L., Davis, C. J. (1992), *IEEE Trans. Electron Devices 39,* 4.
Moslehi, M., et al. (1993a), *VLSI Tech. Symp., Tech. Digest,* p. 101.
Moslehi, M., et al. (1993b), *IEDM Tech. Digest.* New York: IEEE, p. 649.
Mumola, P. B., Gardopee, G. J., Clapis, P. J., Zarowin, C. B., Bollinger, L. D., Ledger, A. M. (1992), in: *Proc. 1992 IEEE SOI Conf.* Piscataway, NJ: IEEE, p. 152.
Murarka, S. P. (1983), *Silicides for VLSI Applications.* New York: Academic Press.
Nakamura, H. (1993), *VLSI Tech. Symp.,* p. 127.
Nguyen, S., Dobuzinsky, D., Harmon, D., Gleason, R., Fridmann, S. (1990), *J. Electrochem. Soc. 137,* 2209.
Nikkei (1993), *Nikkei Microdevices,* June, p. 49.
Nishihara, T., et al. (1988), *IEDM Tech. Digest.* New York: IEEE, p. 100
Nishimoto, Y., et al. (1989), *Proc. V-MIC Conf.,* p. 382.
Nishimura, H., Yamada, T., Sinclair, R., Ogawa, S. (1992), *VLSI Tech. Symp.,* p. 74.
Nishioka, Y., da Silva, Jr., E. F., Wang, Y., Ma, T. P.

(1988), *IEEE Electron Device Lett. 9*, 38.
Nishioka, Y., Ohyu, K., Ohji, Y., Natsuaki, N., Mukai, K., Ma, T. P. (1989), *IEEE Electron Device Lett. 10*, 141.
Nishizawa, I., Aoki, K., Akamine, T. (1990a), *Appl. Phys. Lett. 56*, 1334.
Nishizawa, J., Aoki, K., Akamine, T. (1990b), *IEEE Electron. Device Lett. 11*, 105.
Norman, J. A. T., et al. (1991), *J. Phys. (Paris) IV*, C2-271.
Nouri, F., Scharf, B. (1992), *IEEE Bipolar Circuit and Tech.*, 88.
Ohmi, T., et al. (1991), *Proc. Microcontamination*, p. 491.
Ohmi, T., Miyashita, M., Itano, T., Imaoka, T., Kawanabe, I. (1992), *IEEE Trans. Electron Devices 39*, 537.
Ohsawa, J. (1990), in: *Semiconductor Silicon*, Vol. 90–7: Huff, H. R., Barraclough, K. G., Chikawa, J. I. (Eds). Pennington, NJ: Electrochem. Soc., p. 601.
Ohyu, K., Itoga, T., Natsuaki, N. (1990), *Jpn. J. Appl. Phys. 29*, 457.
Omer, C. H., Lewis, R. K., Aumick, S. (1992), *J. Vac. Sci. Tech. A10*, 501.
Omura, Y., Izumi, K. (1990), *ECS Softbound Proc. 90–6*, p. 509.
Osburn, C. M., (1990), *J. Electron. Mater. 19*, 67.
Pai, P. L., Chetty, A., Roat, R., Cox, N., Ting, C. (1987), *J. Electrochem. Soc. 134*, 2829.
Park, B. G., Bokor, J., Luftman, H. S., Rafferty, C. S., Pinto, M. R. (1992), *IEEE Trans. Electron. Devices 30*, 507.
Pennington, S., et al. (1989), *Proc. V-MIC Conf.*, p. 335.
Peyton, D., Kwong, D. L. (1990), *Proc. Symp. Rapid Thermal and Related Processing Techniques*. Bellingham, WA: SPIE, p. 295.
Pfiester, J. R., et al. (1993), *VLSI Tech. Symp.*, p. 139.
Pico, C. A., Qian, X. Y., Jones, E., Lieberman, M. A., Cheung, N. W. (1991), in: *Mater. Res. Soc. Symp., Vol. 223: Low Energy Ion Beam and Plasma Modification of Materials*: Harper, J. M. E., Miyake, K., McNeil, J. R., Gorbatkin, S. E. (Eds.). Pittsburgh, PA: MRS, pp. 115–119.
Pierce, J. M., Renteln, P., Burger, W. R., Ahn, S. T. (1991), *Proc. 3rd. Int. Symp. ULSI Sci. Tech.*, Vol. 91–11, p. 650.
Pramanik, D., Chen, S. (1989), *IEDM Tech. Digest*. New York: IEEE, p. 673.
Preston, F. (1927), *J. Soc. Glass Tech. 11*, 214.
Price, J. B., et al. (1986), U. S. Patent 4 570 328.
Prinz, E. J., Xiao, X., Schwartz, P. V., Sturm, J. C. (1992), *Device Res. Conf. Tech. Digest*, IIA-2.
Probst, V., Schaber, H., Lippens, P., Van den Hove, L., De Keersmaecker, R. (1988), *Appl. Phys. Lett. 52*, 1803.
Qian, X. Y., Cheung, N. W., Lieberman, M. A., Felch, S. B., Brennau, R., Current, M. I. (1991), *Appl. Phys. Lett. 59*, 348.
Raicu, B., Keenan, W. A., Current, M., Mordo, D., Brennan, R. (1990), *Proc. SPIE Symp. on Rapid Thermal and Related Processing Techniques 1393*, 161.
Reid, J. S., Chen, J. S., Kolawa, E., Sherman, A., Nicolet, M.-A., Ruiz, R. P. (1991), *Mater. Res. Soc. Spring Mtg., Anaheim, CA*, p. 342.
Reynold, S. K., Smart, C. J., Baran, E. F. (1991), *Appl. Phys. Lett. 59*, 2332.
Roth, S., Ray, W., Mazure, C., Kirsch, H. C. (1991), *IEEE Electron Device Lett. 12*, 92.
Roy, P. K., Doklan, R. H., Martin, E. P., Shive, S. F., Sinha, A. K. (1988), *IEDM Tech. Digest*. New York: IEEE, p. 714.
Ruggles, G. A., Hong, S. N., Wortman, J. J., Öztürk, M., Myers, E. R., Hren, J. J., Fair, R. B. (1989), *Mater. Res. Soc. Symp. Proc. 128*, 611.
Ruzyllo, J., Hoff, A. M., Frystak, D. C., Hossain, S. D. (1989), *J. Electrochem. Soc. 136*, 1474.
Ryuta, J., Morita, E., Tanaka, T., Shimanuki, Y. (1990), *Jpn. J. Appl. Phys. 29*, L1947.
Sai-Halasz, G. A., Harrison, H. B. (1986), *IEEE Electron. Device Lett. 7*, 534.
Saito, M., et al. (1992), *IEDM Tech. Digest*. New York: IEEE, p. 897.
Samato, S., Numano, M., Arnai, T., Matsushita, Y., Kobayashi, H., Yamamoto, A., Kawaguchi, T., Nadahar, S., Yamabe, K. (1993), *Extended Abstracts Vol. 93–2, Abst. No. 264, Electrochem. Soc. Fall Mtg., New Orleans, LA, Oct. 10–15, 1993.*
Sameshima, T., Usui, S., Sekiya, M. (1987), *J. Appl. Phys. 62*, 711.
Sanchez, J. J., Hsueh, K. K., DeMassa, T. A. (1989), *IEEE Trans. Electron. Devices 36*, 1125.
Sanganeria, M., Öztürk, M. C., Harris, G., Maher, D. M., Batchelor, D., Wortman, J. J., Zhang, B., Zhong, Y. L. (1991), *Proc. 3rd Int. Symp. ULSI Sci. Tech., Electrochem. Soc. Spring Mtg. 1991, Washington, D. C.*.
Saraswat, K. C., Brors, D. L., Fair, J. A., Monning, K. A., Beyers, R. (1983), *IEEE Trans. Electron Devices 30*, 1497.
Sasaoka, C., Nori, K., Kato, Y., Usui, A. (1989), *Appl. Phys. Lett. 55*, 741.
Sedgwick, T. O., Michel, A. E., Deline, V. R. Cohen, S. A., Lasky, J. B. (1988), *J. Appl. Phys. 63*, 1452.
Seidel, T. (1975), *J. Appl. Phys. 46*, 600.
Selbrede, S. C. (1988), *Semicond. Int. 88*, p. 254.
Shahidi, G., et al. (1991), *IEDM Tech. Digest*. New York: IEEE, p. 663.
Sheldon, D. J., et al. (1988), *IEEE Trans. Semicond. Manuf. 1*, 140.
Shen, B. W., et al. (1985), in: *Proc. VLSI Multilevel Interconnection Conf.*: New York: IEEE, p. 114.
Sherman, A. (1990), *J. Electrochem. Soc. 137*, 1892.
Shibahara, K., Fujioto, Y., Hamada, M., Iwao, S., Tokashiki, K., Kunio, T. (1992), *IEDM Tech. Digest*. New York: IEEE, p. 275.
Shibata, T., et al. (1983), *IEDM Tech. Digest*. New York: IEEE, p. 27.
Shibata, T., Okita, A., Kato, Y., Ohmi, T., Nitta, T. (1990), *VLSI Tech. Symp.*, p. 63.
Shimizu, N., Naito, Y., Itoh, Y., Shibata, Y., Hashimoto, K., Nishio, M., Asai, A., Ohe, K., Umimoto, H., Hirofuji, Y. (1992), *IEDM Tech. Digest*. New

York: IEEE, p. 279.
Shinzawa, T., Sugai, K., Kishida, S., Okabayashi, H. (1989), *Workshop on Tungsten and Other CVD Metals for ULSI/VLSI Applications VI, Tokyo, Mater. Res. Soc. Symp. Proc.*, Vol. V. Tokyo: Materials Research Society, p. 377.
Shioya, Y., Maeda, M. (1986), *J. Appl. Phys. 60,* 327.
Shioya, Y., Ikegami, K., Maeda, M., Yanagida, K. (1987a), *J. Appl. Phys. 61,* 561.
Shioya, Y., Kawamura, S., Kobayashi, I., Maeda, M., Yanagida, K. (1987b), *J. Appl. Phys. 61,* 5102.
Smith, G. C. (1989), in: *Workshop on Tungsten and Other Refractory Metals for VLSI Applications 1988:* Blewer, R., McConica, C. (Eds.). Pittsburgh, PA: Materials Research Society, p. 275.
Smith, F. W., Ghidini, G. (1982), *J. Electrochem. Soc. 129,* 1300.
Stimmell, J. (1986), *J. Vac. Sci. Technol. B 4,* 1377.
Sturm, J. C., Prinz, E. J. (1991), *IEEE Electron Device Lett. 12,* 42.
Sturm, J. C., Gronet, C. M., King, C. A., Wilson, S. D., Gibbons, J. F. (1986), *IEEE Electron Device Lett. 7,* 577.
Sturm, J. C., Schwartz, P. V., Prinz, E. J., Manoharan, H. (1991), *J. Vac. Sci. Technol. B 9,* 204.
Sumiya, T., Hirase, I., Rufin, D., Ukishima, S., Schack, M., Shishikura, M., Matsuura, M., Itoh, A. (1987), in: *Proc. 10th Int. Conf. on Chemical Vapor Deposition:* Cullen, G. W. (Ed.). Pennington, NJ: Electrochem. Soc., p. 645.
Sun, J. Y.-C., Wong, C. Y., Taur, Y., Hsu, C. C.-H. (1989), *VLSI Tech. Symp.*, p. 17.
Sung, J. M., Lu, C. Y., Chen, M. L., Hillenius, S. J., Lindenberger, W. S., Manchanda, L., Smith, T. E., Wang, S. J. (1989), *IEDM Tech. Digest.* New York: IEEE, p. 447.
Sung, J. M., Lu, C. Y., Fritzinger, L. B., Sheng, T. T., Lee, K. H. (1990), *IEEE Electron Device Lett. 11,* 549.
Takeda, E., et al. (1985), *IEEE Trans. Electron Devices 32,* 322.
Takemura, H., Ohi, S., Sugiyama, M., Tashiro, T., Nakamae, M. (1987), *IEDM Tech. Digest.* New York: IEEE, p. 375.
Tan, T. Y. (1977), *Appl. Phys. Lett. 30,* 175.
Tanaka, A., Yamaji, T., Nishikawa, S. (1991), *Jpn. J. Appl. Phys. Lett. 30,* L775.
Taur, Y., et al. (1993), *IEDM Tech. Digest.* New York: IEEE, p. 127.
Tay, S. P., Ellul, J. P., White, J. J., King, M. I. H. (1987), *J. Electrochem. Soc. 134,* 1484.
Tay, S. P., Kalnitsky, A., Kelly, G., Ellul, J. P., DeLalio, P., Irene, E. A. (1990), *J. Electrochem. Soc. 137,* 3579.
Telford, S. G., Eizenberg, M., Change, M., Sinha, A. K., Gow, T. R. (1993), *Appl. Phys. Lett. 62,* 1766.
Teng, C. W., Slawinski, C., Hunter, W. R. (1984), *IEDM Tech. Digest.* New York: IEEE, p. 586.
Teng, C. W., et al. (1985), *IEEE Trans. Electron Devices 32,* 124.
Thomas, M. E., et al. (1991), *Tech. Proc. Semicond. Jpn. (SEMI)*, p. 295.
Ting, P. L., et al. (1987), *Proc. IEEE VLSI Multilevel Interconnection Conf.*, p.61.
Ting, C. H., et al. (1989), *Proc. V-MIC Conf.*, p. 491.
Travid, E. O., et al. (1990), *IEDM Tech. Digest.* New York: IEEE, p. 47.
Tsai, M. Y., Streetman, B. G., Williams, P., Evans Jr., C. A. (1978), *Appl. Phys. Lett. 32,* 144.
Tseng, H. H., Tobin, P. J., Hayden, J. D., Chang, K. M. (1991), *IEDM Tech. Digest.* New York: IEEE, p. 75.
Tseng, H. H., et al. (1993), *IEDM Tech. Digest.* New York: IEEE, p. 321.
Tsuboushi, K., Masu, K. (1992), *J. Vac. Sci. Technol. A 10,* 856.
Tsuya, H. (1991), *The 9th Workshop of ULSI on Ultra Clean Tech.*, p. 5.
Usami, A., Ando, M., Tsunekane, M., Wada, T. (1992), *IEEE Trans. Electron Devices 39,* 105.
Ushiku, A., et al. (1993), *VLSI Tech. Symp.*, p. 121.
Vasquez, R. P., Madhukar, A. (1985), *Appl. Phys. Lett. 47,* 998.
Vasquez, R. P., Madhukar, A. (1986), *J. Appl. Phys. 60,* 234.
Verhaverbeke, S., Meuris, M., Mertens, P. W., Heyns, M. M., Philipossian, A., Graf, D., Schnegg, R. (1991), *IEDM Tech. Digest.* New York: IEEE, p. 71.
Verhaverbeke, S., et al. (1992), *VLSI Tech. Symp.*, p. 22.
Walters, M., Reisman, A. (1990), *J. Electrochem. Soc. 137,* 3596.
Wang, S.-Q., Ong, E. (1990), *Proc. 7th Int. IEEE VLSI Multilevel Interconnection Conf.*, Santa Clara, CA, p. 431.
Wang, M., Bradbury, D., Hu, H. K., Chiu, K. Y. (1991), *VLSI,* 41.
Watanabe, T., Ishikawa, M., Kumagai, J. (1984), *IEDM Technical Digest.* New York: IEEE, p. 173.
Weber, E. R. (1988), *Properties of Silicon.* London: INSPEC, p. 236.
Weber, E. R. (1990), in: *Semiconductor Silicon, Vol. 90–7:* Huff, H. R., Barraclough, K. G., Chikawa, J. I. (Eds). Pennington, NJ: Electrochem. Soc., p. 585.
Wei, C. Y., et al. (1992), *IEEE Trans. Electron Devices 38,* 2433.
Weinberg, Z. A., Stein, K. J., Nguyen, T. N., Sun, J. Y. (1990), *Appl. Phys. Lett. 57,* 1248.
Welser, J., Hoyt, J. L., Gibbons, J. F. (1992), *IEDM Tech. Digest.* New York: IEEE, *31,* 7.
Wen, D. S., et al. (1991), *VLSI Tech. Symp.*, p. 83.
Wittmer, M. (1985), *J. Vac. Sci. Technol. A 3,* 1797.
Wittmer, M., Melchior, M. (1982), *Thin Solid Films 93,* 397.
Wong, C. Y., Lai, F. S. (1986), *Appl. Phys. Lett. 48,* 1658.
Wong, C. Y., Sun, J. Y.-C., Taur, Y., Oh, C. S., Angelucci, R., Davari, B. (1988), *IEDM Tech. Digest.* New York: IEEE, p. 238.
Wood, S., et al. (1991), *Proc. Int. Semiconductor Manufacturing Sci. Symp.*, p. 208.
Wright, P. J., Saraswat, K. C. (1988), *IEEE Trans.*

Electron Devices 36, 1707.
Wright, P. J., Saraswat, K. C. (1989), *IEEE Trans. Electron Devices 36*, 879.
Wright, P. J., Kermani, A., Saraswat, K. C. (1990), *IEEE Trans. Electron Devices 37*, 1836.
Wu, T. H. T., Bosler, R. S., Lamartine, B. C., Gregory, R. B., Tompkins, H. G. (1988), *J. Vac. Sci. Technol. B6*, 1707.
Wu, C. P., McGinn, J. T., Hewitt, L. R. (1989a), *J. Electron. Mater. 18*, 721.
Wu, I. W., Koyanagi, M., Holland, S., Huang, T. Y., Mikkelsen Jr., J. C., Bruce, R. H., Chiang, A. (1989b), *J. Electrochem. Soc. 136*, 1638.
Xu, X., Kuehn, R. T., Öztürk, M. C., Wortman, J. J., Nemanich, R. J., Harris, G. S., Maher, D. M. (1993), *J. Electron. Mater. 22*, 335.
Yamabe, K. (1990), in: *Semiconductor Silicon*, Vol. 90–7: Huff, H. R., Barraclough, K. G., Chikawa, J. I. (Eds). Pennington, NJ: Electrochem. Soc., p. 349.
Yamabe, K., Imai, K. (1981), *IEEE Trans. Electron Devices 34*, 1681.
Yamabe, Y., Taniguchi, T., Matsushita, Y. (1983), *Proc. Int. Reliability Physics Symp.* New York: IEEE, p. 184.
Yamagishi, H., Fumegawa, I., Fujimake, N., Katayama, M. (1992), *Semiconductor Sci. Technol. 7*, A135.
Yang, W., Jayaraman, R., Sodini, C. G. (1988), *IEEE Trans. Electron Devices 35*, 935.
Yokoyama, N., Hinode, K., Homma, Y. (1989), *J. Electrochem. Soc. 136*, 882.
Yokoyama, N., Homma, Y., Hinode, K., Mukai, K. (1990), U. S. Patent 4 897 709.
Yoon, G. W., Ahn, J., Lo, G. Q., Kwong, D. L. (1993a), *Int. Conf. SSDM*, p. 145.
Yoon, G. W., Joshi, A. B., Kim, J., Kwong, D. L. (1993b), *IEEE Electron Device Lett. 14*, 179.
Young, K. K., Hu, C., Oldham, W. (1988), *IEEE Electron Device Lett. 9*, 616.
Yu, M. L., Eldridge, B. N., Joshi, R. V. (1989), in: *Tungsten and Other Refractory Metals for VLSI Applications*, Vol. IV: Blewer, A., McConica, C. M. (Eds.). Pittsburgh, PA: Materials Research Society, p. 221.
Yu, C., Fazan, P. C., Mathews, V. K., Doan, T. T. (1992), *Appl. Phys. Lett. 61*, 1344.
Zorinsky, E. J., et al. (1986), *IEDM Tech. Digest*. New York: IEEE, p. 431.

一般阅读资料

Tungsten and Other Refractory Metals for VLSI Applications, Vols. I, II, III, IV, V, VI: Pittsburgh, PA: Materials Research Society.

10 化合物半导体器件工艺

John M. Parsey, Jr.

Motorola, Semiconductor Products Sector, Communication Products Laboratory, Tempe, AZ, U. S. A.

（陈培毅 译 谭智敏 校）

目录

符号和缩语表

符号	含义
A^*	Richardson 常量
C	浓度;电容
D	扩散率
D_0	扩散系数
E_a	激活能
E_C	导带能量
E_D	施主能级
E_F	费米能级
E_g	半导体能隙
E_V	价带能量
g_m	跨导
I_{ds}	漏源电流(单位:mA/mm)
I_{sat}	反偏饱和电流
I_0	热离子电流
J	通量
J_{sat}	沟道饱和电流密度
k	玻尔兹曼常量;波矢
l	有效长度
L	长度
m	离子质量
n	理想因子
b	电荷
R	电阻
R_p	峰范围,射程
ΔR_p	离散度,标准偏差
t	时间;厚度
T	温度
V	电压
V_{app}	供给电压
V_{bi}	内建势
V_{ds}	漏源电压
V_{gs}	栅源电压
V_t	施加电压
V_{sg}	侧栅电压
W	宽度
W_c	有效接触宽度
x,y	方向坐标

α	热膨胀系数
ε_r	介电常量
$\varkappa$	热导率
ρ	电阻率
ϕ_B	肖特基势垒高度
ϕ_m	金属功函数
χ_s	电子亲和势

略 语 表

AC	交流电
CBE	化学束外延
C-HIGFET	互补异质结构绝缘栅场效应晶体管
CMOS	互补金属氧化物硅
CVD	化学汽相沉积
DC	直流电
ECR	电子回旋共振
ECRE	电子回旋共振刻蚀
EOR	射程终点,终止区域
erfc	余误差函数
FA	扩散炉退火
FIB	聚焦离子束
FMA	失效模式分析
GSE	气相源外延
GSMBE	气态源分子束外延
HBT	异质结双极晶体管
HEMT	高电子迁移率晶体管
HFET	异质结构场效应晶体管
HIGFET	异质结构绝缘栅场效应晶体管
HPA	高频大功率放大器
HV	高真空
IC	集成电路
JFET	结型场效应晶体管
LDD	轻掺杂漏
LEC	液相闭管 Czochralski 法
LPE	液相外延
LTB	低温缓冲
MBE	分子束外延
MESFET	金属-半导体场效应晶体管
MIS	金属-绝缘体-半导体
MOCVD	金属有机化学汽相沉积
MODFET	调制掺杂场效应晶体管
MOVPE	金属有机汽相外延
PCM	工艺控制模块
PE	等离子刻蚀;压电

PECVD 等离子增强化学汽相沉积

PR 光刻胶

RF 射频

RIBE 反应离子束刻蚀

RIE 反应离子刻蚀

RTA 快速热退火

SAGFET 自对准栅场效应晶体管

SAINT 用于 n^+ 层工艺的自对准离子注入

SARGIC 自对准难熔栅集成电路

SEM 扫描电子显微镜

SPC 统计过程控制

TEM 透射电子显微镜

UHV 超高真空

UV 超紫外

VPE 气相外延

• p. 478 •

公 司

AT-Assembly Technology, Kulicke and Soffa Industries, Inc., Willow Grove, PA.

Disco Hi-Tec America, Inc., Tempe, AZ.

Dynatex International, Santa Rosa, CA.

Electrotech Corp., Santa Rosa, CA.

Nitto Denko Corp., Ltd., Tokyo.

Plasmatherm, St. Petersburg, FL.

TriQuint Semiconductor, Inc., Beaverton, OR.

Vitesse Semiconductor Corp., Camarillo, CA.

• p. 479 •

10.1 导　　言

化合物半导体材料用于制作超高速模拟和数字及微波器件，发光器件，如激光器和发光二极管，还有探测器和太阳能电池。近 10 年来，GaAs，InP 及其相关材料的制造工艺取得惊人的发展。超过 10^5 门数字应用的复杂集成电路已研制成功(Vitesse，1990；Tsen 等，1993)。与此同时，器件的尺寸在不断地缩小：亚微米栅长已不足为奇(Gamand 等，1988；Matsunaga 等，1988；Saunier 等，1988)，而小于 100nm 的特征尺寸也在实验室中实现(Bernstein 和 Ferry，1988；Han 等，1990；Studebaker，1994)。

化合物半导体集成电路的制造综合了材料科学、材料的表征和半导体制造工艺。一个关于材料生长和器件制造的隐含规则是：这种制造工艺必须是能产业化的：可控性，重复性，并且得到实际制造和工作容错的支持，尤其是针对精细特征尺寸几何图形。就此意义来讲，化合物半导体的一个制造流程应与硅类似，在 1 级或 10 级的超净厂房中完成，制造过程具有精确的限定，使用自动化工艺设备的批量制造工艺来保证相对平面化制作形貌，并使用自动分步重复光刻技术产生图形。在目前采用的多数金属化方案中，都使用金和金基合金，它们适合的集成度达 10^5 门。某些铝基的互连方案被开发出来用于高密度互连的数字应用(Vitesse，1990，1995)。多层金属化的应用正在迅速发展：三层和四层金属结构在工厂很容易实现，例如 TriQuint 和 Vitesse 这样的成功工艺线必须通过统计过程控制(SPC)和失效模式分析(FMA)方法学来确保制造工艺的高质量和成品率。

与制造工艺有关的关键问题是：1)选择材料和设计标准，以获得预想的器件特性和性能，2)确定及控制必要的工艺流程中的每一环节。原始材料可以由离子注入掺杂或外延生长产生，也可以是二者的结合。典型的工艺流程包括掺杂(扩散或离子注入)、光刻、隔离、退火、刻蚀、金属化、电介质沉积，以及芯片级的检测、芯片的固定，并多次重复上述某些步骤。所有这些工艺都必须以高成品率成功地完成，以制造出功能强大、有价格竞争力的器件。

化合物半导体器件制造的先驱是金属-半导体场效应晶体管(MESFET)及其相关变种。这些器件制作过程相对较简单，但是必须特别严格控制栅的制作过程(特别是表面的制备和栅凹槽的刻蚀工序)，从而实现对整个器件阈电压和均匀性的控制。非常细致的(亚微米)栅尺寸是实现 MESFET 高频工作特性(即获得>10～20GHz 的 f_t 的值)所需要的。
• p. 480 •

从 80 年代初开始，异质结构场效应晶体管[HFET，HEMT，MODFET，HIGFET 等，看 Daembkes(1991)]就因其较高的频率特性、较好的传输特性和实现与 MESFET 器件相似的性能，可以相对放宽对光刻的要求而得到特别的关注。这些器件的基本材料是用 MBE，MOCVD 或类似的方法生长的。在 HFET 器件中，传输特性在很大程度上由多层化合物半导体异质结及材料生长过程决定。然而制作过程必须很好地加以表征和控制，因为每相差一个原子层，会引起阈电压 5—15mV 的变化，这与 MESFET 的波动值相类似。因此，表面制备中的极小误差、光刻中的随机材料损失或离子注入及干法刻蚀引入的损伤，都会导致器件特性的巨大改变。对于 HFET 家族，它的历史和性能表征在 Daembkes

(1991)的论文中有深入的评论。

异质结双极晶体管(HBTs)目前受到某种程度的注意,因为它已进入生产阶段。这种器件制作在外延层上,且其性质几乎完全决定于晶体生长过程。对 HBT 家族,Ali 等(1991) 有很中肯的评论。HBT 的制造过程相当直接,但需要非常高精密的工艺控制,特别是基区和收集区的刻蚀及金属化工序。此外,输运特性对 p 型或 n 型杂质分布非常敏感(在 C-B 或 E-B 结区),即要求冶金学结和电学结的重合。各层中材料的质量和性质对器件的高频特性也是很关键的。

必须注意的还有,HBT 器件的主要障碍是它的可靠性问题。这一问题在多次会议上都进行了较多的讨论而却没有明确的结论(参阅 GaAs IC,1992,1993a,b,1994)。器件的主要问题在于,当有大电流存在或温度升高时(即充满应力的工作条件),在结区附近的杂质可能发生再分布,从而改变器件的性能。这个问题目前存在尖锐的争论,且仍在研究中(Yamada 等,1994;Sugahara 等,1993)。

在寻求极低功耗的高速工作方面,有几种互补器件研制出来。例如像结型场效应晶体管(JFET)(Zuleeg 等,1984,1990;Wilson 等,1989;Wada 等,1989)这样的 NPN,和 PNP 器件,互补异质结 FET(C-HIGFET)(Grider 等,1991)和最新的 HBT(Ali 等,1991;Slater 等,1990;Kim 等,1988),已生产出超高性能的器件和电路。近年来 C-HIGFET 电路性能取得奇迹般的改善(Abrokwah),它提供的超低功耗以 GaAs 为基的集成电路具有比同类的硅 CMOS 器件高得多的性能。

• p. 481 •

在以上讨论中隐含的意义是整个工艺流程的每一步都必须保持相当高的成品率。例如,考虑一个如图 10-1 所示的 GaAs 集成电路的制造工艺流程。这一工艺流程所生产的集成电路具有 2,3 或更多层的金属互连、电阻器、电容器和电感器。这里讨论的一次光刻包含很多道工序:清洗、涂胶、烘烤、曝光、显影、测量、检查、清洗,某层材料的形成,如离子注入,金属化或电介质沉积,加上必要的检查或测量,然后返回到新的一次光刻前的清洗工序。每一单独的工艺流程工序的成品率必须是 99%左右,才能保证一次光刻 90%的成品率。如果 10 次光刻级的制造工艺,每次光刻都具有 90%的成品率,那么在估价晶片上器件的电学性能之前,仅有 38%的毛成品率。这就必须要求晶片工艺操作人员确保达到和保持工艺高水平的完整性和成品率。

此外,还有许多其它的与过程和材料有关的现象,如众所周知的侧栅和背栅等电学现象(将在 10.3.3 节中加以讨论),必须考虑并控制它们对电路性能的影响(D'Avanzo,1982;Makram-Ebeid 和 Tuck,1982;Vuong 等,1990;Finchem 等,1988)。这些器件间的相互作用对器件性能有很强的不稳定性影响。而后者的问题正接近得到克服(Smith 等,1988;Brown 等 1989),但化合物半导体制造的这种器件间的相互作用至今还没有完全被消除。例如,直流侧栅性能在某种条件下观察是相当满意的(Smith 等,1988b),但是电路的高频性能仍可能受到侧栅现象的各种困扰(Lin 等,1990;Hitchens 等,1989)。

• p. 482 •

本章将讨论在制造化合物半导体 IC 的工艺中所遇到的且被解决的某些一般性问题。但这不是,也不可能是问题的全部,因为这个题目太大了。然而,在此将提供很广范围的有关材料、器件和工艺问题,以便说明关键的概念以及当前工艺的特征和存在的问题。其它

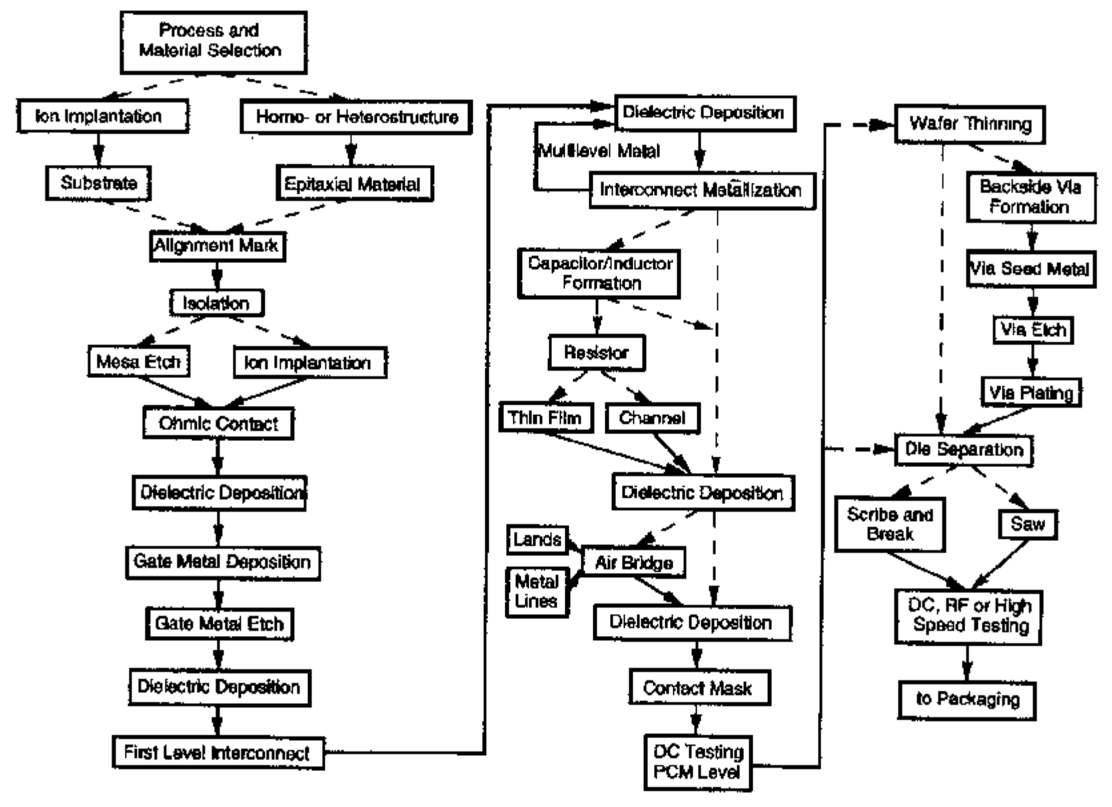


图 10-1 制造 FET 或集成电路的工艺流程简图

各种工序在适合时都可能加入或取消。工艺次序依照个别工艺流程、器件的

要求及所需要的热消耗而改变(PCM＝Process Control Module,过程控制模块)

章节将详细介绍材料生长技术、器件结构和有关的特征化技术的发展,并在需要之处提供有关的参考。

第一部分将介绍关于在化合物半导体衬底上或内,产生有用电性能的题目,然后讨论制造步骤和工艺流程。这里提供的一般性的工艺流程最终可导致有源或无源器件的制造,但是我们必须强调,这种描述并不代表任何特定的工艺流程,因为它们的详尽信息被看作是具有高度专利权的。

10.2 掺杂工艺

虽然研究工作以及小规模生产活动遍及所有Ⅲ-Ⅴ和Ⅱ-Ⅳ族二元、三元和四元系统,而 GaAs 和 InP 仍是化合物半导体器件领域中最主要的材料。这种集中源自对电子学和光学性质及市场方面的要求,特别是光通信领域。目前的电子学应用以 GaAs 基的材料为主,而电光器件,在某些 GaAs 基器件应用的同时,主要用 InP 基的三元和四元材料制作。

化合物半导体相对于硅的主要优点在于其较大的能隙和较高的载流子迁移率。一般说来,这些性质允许它们在较高温度和较高频率下工作。一个附加的化合物半导体的性质是其应用带隙工程的本领(Capasso,1987,1990),通过组分改变(Ⅲ族和Ⅴ族元素或Ⅱ族

和Ⅵ族元素的混合)产生二元、三元、四元或更复杂的化合物。Ⅲ-Ⅴ族(或Ⅱ-Ⅵ族)化合物半导体元素可以子晶格混合来调整能隙、光学及电学性质。当出现由于热力学和材料物理所形成的某些限制时,电学和光学性质很容易对应用实现优化,这使得这些材料的应用对于高速电子器件和光电器件具有如此大的吸引力。图 10-2 给出带隙能、直接和间接跃迁、晶格参数和化学混合的比例关系。这个图为我们提供了了解整个Ⅲ-Ⅴ族化合物半导体合金系统的基础。

• p. 483 •

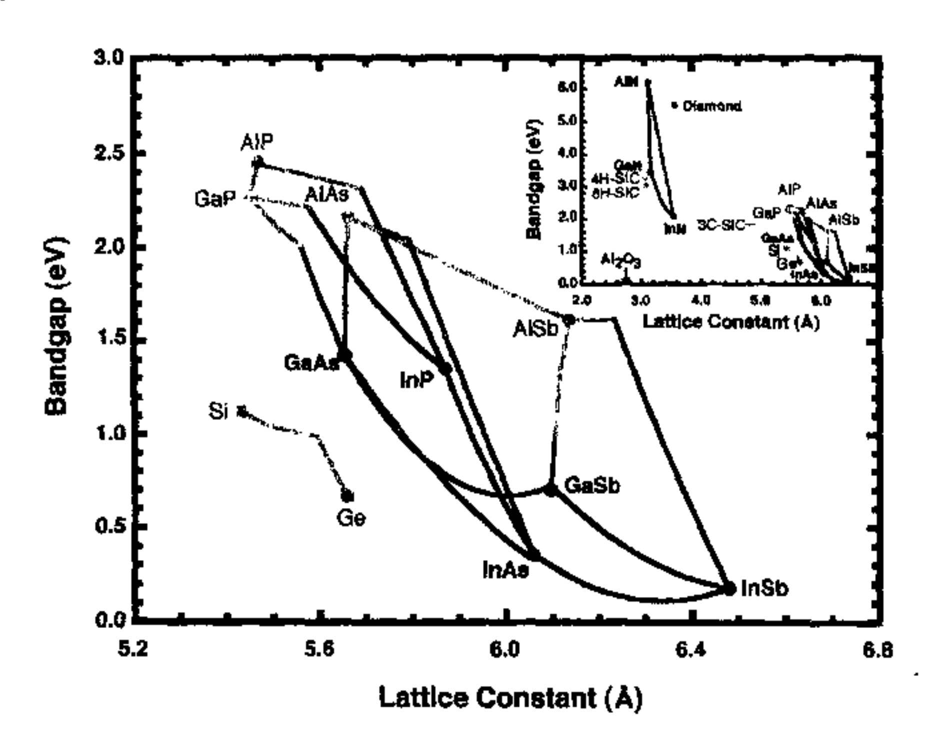


图 10-2 Ⅲ-Ⅴ族化合物半导体的多元树。领带线连接沿三元组分的二元化合物。粗实线代表直接带隙跃迁,浅线代表间接带隙跃迁。硅-锗包括在内作为参考。x 轴为晶格常量;y 轴是以电子伏为单位的带隙能量。插图(右上角)给出了氮化物材料、碳化硅和金刚石相对于Ⅲ-Ⅴ族材料的关系(图的提供者为 Dr. J. Woodall 和 E. S. Harmon, MellWood Laboratories, Inc., West Lafayette, IN.)

用化合物半导体制造有源或无源器件,必须产生一个导电区或导电层。这些区在性质上可以是 n 型或 p 型。但是对于大多数化合物半导体器件来说,都使用 n 型(多子)导电性。这是由于基于空穴输运(载流子迁移率低)的器件,其高频性能相当差。

作为一个例子,在 n 型 GaAs 中,最大室温电子漂移迁移率在 8000—8800$cm^2V^{-1}s^{-1}$范围,而 n 型硅中只有 1200—1500$cm^2V^{-1}s^{-1}$(Sze, 1981, App. G, H; EMIS, 1990, Chap. 5)。在 GaAs 中,最大空穴漂移迁移率为 400—450$cm^2V^{-1}s^{-1}$,而在硅中还稍微高一点,为 450—500$cm^2V^{-1}s^{-1}$。对于 InP,最大电子迁移率和空穴迁移分别为 4800$cm^2V^{-1}s^{-1}$和 150$cm^2V^{-1}s^{-1}$(EMIS, 1991, Chaps. 2, 4, 5)。化合物半导体中的高载流子迁移率是来自晶格的极性以及伴随的能带结构和费米面的差别(Sze, 1981, Chap. 1; EMIS, 1990, Chap. 7)。电子的输运特性和直接带隙使化合物半导体在性能上比硅器件具有很大的优势。直

接带隙是指价带极大值点和导带极小值点都位于布里渊区中心 $k=0$ 点的能量跃迁。这在 Sze 所著书中已有讨论(1981,Chap. 1)。表 10-1 提供了某些化合物半导体材料的重要物理性质。

对于 n 型掺杂层,杂质物种如 Si,Sn,Te,Se 和 S 是适当的候选者。受主杂质包括 Be,C,Zn,Cd 和 Mn。一些过渡金属物种,如 Cr,Ni 和 Fe,倾向在带隙中部产生深能级和高电阻率("半绝缘体")特性。图 10-3 给

表 10-1　室温下半导体材料的某些性质

	Si[a]	GaAs[a]	InP[b]
熔点(℃)	1415	1238	1065
晶格常数(nm)	0.5431	0.5653	0.5869
密度($g\ cm^{-3}$)	2.328	5.32	4.79
热导率($W\ cm^{-1}K^{-1}$)	1.5	0.46	~0.7
热膨胀系数($\times10^{-6}K^{-1}$)	2.6	6.86	4.56
热容量($J\ mol^{-1}K^{-1}$)	19.6	50.7	45.3
禁带宽度(eV)	1.12	1.424	1.347
电子迁移率($cm\ V^{-1}s^{-1}$)	1500	8500	4800
空穴迁移率($cm^2V^{-1}s^{-1}$)	450	400	150

[a] Sze (1981);[b] EMIS(1991).

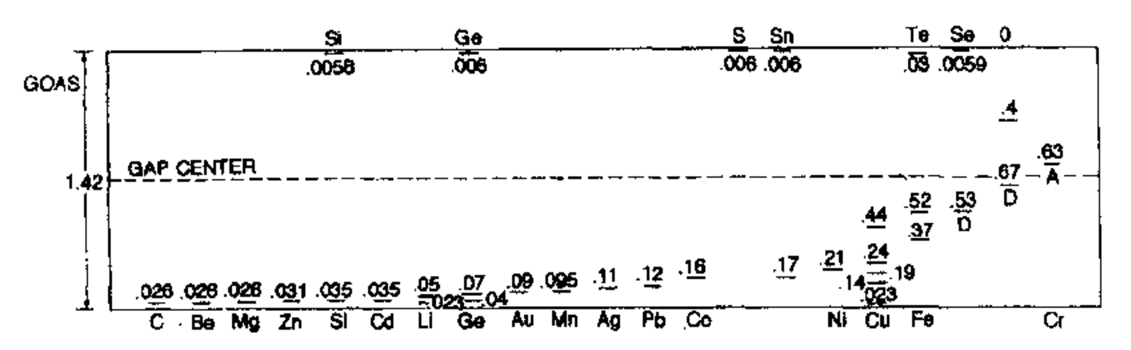


图 10-3　测量得到的 GaAs 中的杂质原子离化能。"D"和"A"分别表示施主和受主行为。此外,高于能隙中心的能级称为类施主态,低于能隙中心的能级称为类受主态[原始图选自 Sze(1981). 重印得到 John Wiley & Sons,Inc. 的许可]

出 GaAs 中一些杂质的能级概况。由于各种化合物半导体在能带结构和原子排列上的差别,Ⅳ族杂质,如碳和硅,在不同的Ⅲ-Ⅴ合金中可以起施主或受主作用。使用离子注入和扩散技术,各种掺杂剂可以进入衬底或外延层,或者它们也可在外延层生长的同时长入。

• p. 484 •

在Ⅲ-Ⅴ族材料中,同样剂量和能量下或同样的原子浓度下,Ⅵ族杂质一般产生比Ⅳ族杂质高的电子浓度,原因在于Ⅳ族原子的自补偿效应(掺杂剂的位置选择)。碳虽然是一种Ⅳ族元素,它在 GaAs 中仅是一种有效的受主(作为 C_{As}),只有很低的自补偿作用。在 InP 中,碳也主要作为受主。这一性质对于 GaAs 和 InP 用 MOCVD 或 CBE 生长的同时掺杂过程是很有益的。

• p. 485 •

选择离子注入还是扩散方法,或直接由外延生长产生导电层,这取决于器件所要求的电学特性和允许的制造工艺。用扩散产生结的方法近年来在化合物材料中并不常用,虽然在 GaAs 工艺中它有一些重要应用(Vogelsang 等,1988;Wada,等,1989;Harrington 等,1988;Yuan 等,1983)。正如上面所指出的,扩散层深度和剖面的控制比离子注入或外延生长掺杂方法困难得多。因此基于扩散的掺杂工艺日益被冷落。离子注入的广泛应用是许多制造工厂的选择(Rode 等,1982;Shen 等,1987;TriQuint,1986;Vitesse,1991)。这主要

是由于其类似硅的工艺流程和相对低的器件制造成本。尽管外延层成本高于离子注入的衬底，但它以异质结构材料的发展和对掺杂及组分接近原子级的精确控制充分发挥出化合物半导体的能力。由于异质结构的许多优点，这些材料很快取代了基于离子注入或外延工艺的 MESFET，特别是在高频和光电子应用方面。

在化合物半导体晶格中，大多数 n 型杂质相对更加稳定。然而扩散率可能在很大程度上依赖于带隙（束缚能）、缺陷结构、浓度和晶格结构中的应变。例如硅在 $Al_{0.3}Ga_{0.7}As$ 中的扩散率约比在 GaAs 中大 10 倍(Schubert，1990；Schubert 等，1990)。p 型杂质，如 Zn 和 Be 倾向于非常快地扩散，并表现出间隙和代位扩散的联合效应。这一行为本身显示间隙扩散杂质具有比替位原子更快的内扩散性质的双扩散前沿(Tuck，1988，Chap. 4；Gösele 和 Moorbead，1981；Dobkin 和 Gibbons，1984)许多 p 型杂质(即 Mn，Zn，或 Be)在化合物半导体中表现出非常大的反常扩散率(Jordan，1982；Klein 等，1980；Tuck，1988，Chap. 5；Small 等，1982)。

· p. 486 ·

在退火时，控制热量消耗(即时间-温度积分)，处理受主与处理施主相比，要求更加严格。在 GaAs 中，Zn 双扩散行为的一个例子示于图 10-4 中。由于 n 型和 p 型杂质扩散率相差很大，这一现象可能导致不可控的 p-n 结位置。这样最后的电荷分布强烈地依赖于制作工艺的时间-温度的先后次序。人们发现在大多数化合物半导体中，碳原子在热处理中是十分稳定的(Schubert，1990)。因此，对于许多 p 型掺杂应用，都迅速选择碳作为掺杂剂。然而在某些化合物半导体材料中，如 InGaAlP，碳并不是有效的掺杂剂，而 Be，Mg 或 Zn 仍保持其供选择的掺杂剂地位。

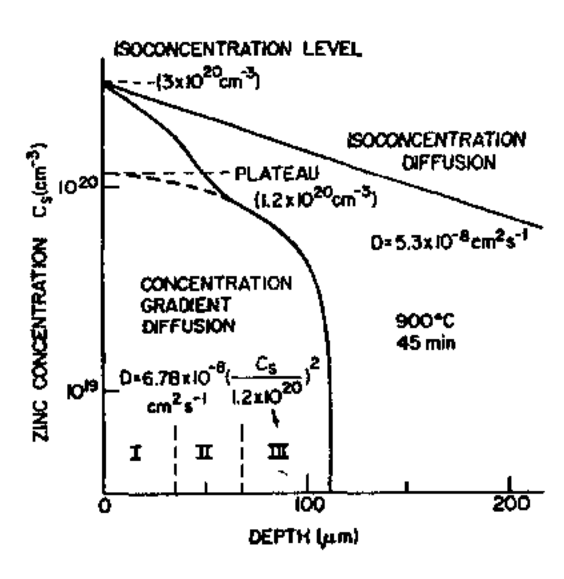


图 10-4 GaAs 中的 Zn 扩散行为。恒定浓度(非限定源)扩散具有 erfc(complementary error function，余误差函数)分布。浓度梯度型扩散揭示了扩散常量的浓度关系，并通过Ⅰ，Ⅱ，Ⅲ区反映了代位和间隙扩散行为[图源自 Gösele 和 Moorhead (1981)，重印得到作者的许可]

遇到的另一困难是像 Cr 和 Mn 这样的杂质，它们倾向于外扩散并积聚在半导体材料的表面或界面(Small 等，1982；Tuck，1988，Chap. 5)。这种积聚剧烈地改变了表面区电子的性质，并引起电荷(电阻率)分布的严重不均匀性。由于这一性质，使人们放弃在工业上使用 Cr 掺杂的半绝缘 GaAs 衬底，改而使用“非掺杂”(基质缺陷控制)的半绝缘性质的衬底。

快速热退火(RTA)或其它短时间的低温过程用于使不需要的杂质再分布最小化。即使对于具有较小扩散率的施主杂质，也希望最小化任何原子级的再分布，以保持陡的载流子分布和避免杂质进入器件不允许的区域。例如为保证 HBT 的增益，必须最小化 c-b 结和 e-b 结区的杂质扩散。对 HEMT 情况，高载流子迁移率性质是借助将施主杂质和电子积聚区分开的方法而实现的，如果施主原子扩散进入沟道区，则很易使这一性质

劣化。

在外延器件结构的制作过程中,只有形成欧姆接触和器件隔离才需要小于 500℃的热退火过程,这样仅引起很小的杂质再分布。然而在自对准工艺中[SAGFET-Mitsubishi (Noda 等,1988),SARGIC-AT & T (Dautremont-Smith 等,1990),SAINT-NIT(Yamasaki 等,1988)],或在实现轻掺杂漏(LDD)工艺时,必须使用离子注入来改变源栅和漏栅区的杂质浓度,以降低沟道电阻。因此,退火时的杂质再分布效应对器件特性和性能是非常关键的:载流子的横向扩展可能改变有效栅长;过多的电荷和缺陷可能产生漏电通道或使电路短路。因此必须严格采用小的热处理过程时间,并确切了解有关器件的隐性的电荷分布及它们对器件性能的影响。本书 10.4 节和 10.8 节提供了进一步的有关信息和处理扩散效应的详细内容,也可参看 Tuck(1988)的文章。

• p. 487 •

离子注入的一个关键问题是需要使用热退火过程(参阅 10.8 节),使注入杂质激活,即使杂质原子处于主晶格的代位位置,并使离子流引起的晶格无序得以恢复。这种热处理过程必须在金属化步骤之前完成,或所用金属在 800—900℃高温下是稳定的。扩散掺杂过程比离子注入过程需要更高的温度。另一方面,外延方法在材料生长的同时掺入杂质,但是在以上所述工艺过程的任何工序中,只要温度超过 400—600℃,杂质分布也会受到重要影响。

高剂量的离子注入或高掺杂外延层通常用来制作高电导的"n^+"或"p^+"层,并允许形成非常低的电阻率的欧姆接触。接触电阻,n 型材料典型的最佳值为 10^{-7}—$10^{-6}\Omega cm^{-2}$,p 型材料为 10^{-6}—$10^{-5}\Omega cm^{-2}$[Sharma(1981)和 references therein]。离子注入也可用于器件的选区掺杂。例如,制作电阻条或以隐埋 p 型层增强器件的工作特性。(Makino 等,1988;Noda 等,1988),将 p 型杂质放在 n 型导电沟道之下产生较陡的夹断特性,或选择掺杂栅漏区实现 LDD(Kikaura 等,1988)结构,以改善增益线性和击穿特性。

作为对 LDD 工艺的发展,附加的施主浓度选择注入 FET 的漏-栅区,以降低漏-栅电阻率和产生渐变的电场分布。LDD 有效地减小了 HEMT 器件的噪声,降低了源电阻并减轻了短沟效应(Kikaura 等,1988)。对应于低噪声器件,功率 FET 需要高掺杂源漏区,以降低与大电流工作有关的发热问题。高剂量离子注入的选择性掺杂可以增加这些区的电荷。此外,所有器件都受益于低的接触电阻,它一般也是用选择区离子注入实现的。

在其它应用中,如低噪声放大器(LNA)或大功率,高频大功率放大器(HPA),关键问题是获得低源电阻、短的具有高导电性的栅结构、非常高的沟道掺杂、短的(offset)栅-源间隙。对于 LNA,高密度电荷必须局限于很靠近选区中的半导体表面。因此,离子注入以非常低的能量(10—20keV)完成最小化电荷分布的深度。在功率器件中,要折衷考虑击穿电压、阈电压、欧姆接触与栅的间隔、功率要求和最大的工作频率。为优化器件的性能,电荷和间距必须仔细地综合考虑。外延方法可以精确控制表面区内的电荷分布,目前它被用于 LNA 和功率器件制作工艺中,并获得巨大的成功(Ayaki 等,1988;Danzilio 等,1990)。

• p. 488 •

随着对化合物半导体工艺了解的深入,许多制作工艺都采用外延材料结构。这主要是由于它能更精确地决定电荷的空间分布,并将它引入同质和异质结器件及其制造过程,该过程应用外延生长工艺,可再现半导体层结构至数个原子间距的精度(例如参阅 Daem-

bkes,1991;Ali 等,1991)。新的器件结构设计利用了外延材料对电荷分布精确控制和生长异质结构势垒的优点,实现了超水平的电学特性和高速性能,而不单纯依赖非常精细的栅几何结构。然而进一步探索产生精细几何图形(0.1μm)的能力,可采用深紫外光(Saito 等,1989)或直接扫描方法(电子束或 X 射线)制造 HFET(Aust 等,1989;Suzuki 等,1989),或 HBT 器件(其中关键尺寸是基区厚度,它预先由外延生长工艺确定)(Kim 等,1988),使开关速度超过了 185GHz。(Nubling 等,1989)。

10.2.1 离子注入

离子注入掺杂是将所需杂质注入半导体材料中的工艺过程。它把杂质原子离化,并使其通过高压区(数 keV—1000keV)进行加速,用横向磁场和电场选择正确的离子,并准直和导引离子流形成束,撞击在半导体衬底上。离子注入机结构简图示于图 10-5。离子与晶格碰撞消耗了能量,并在基质材料中的某个距离上停止运动。

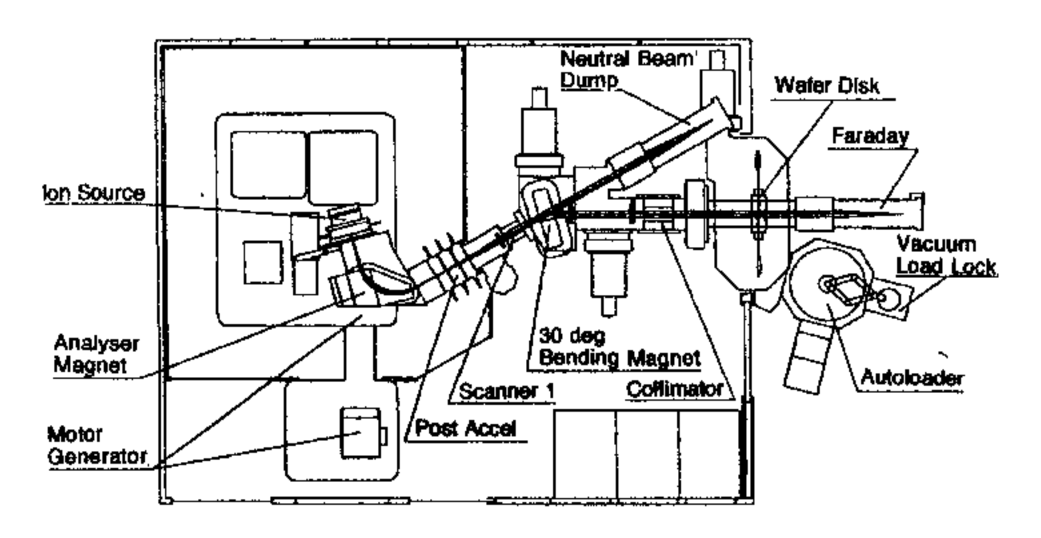


图 10-5 高能、高压束流离子注入机结构简图。图中标出该系统的主要部件名称(图源自 Dr. L. Parachanian-Allen,Ibis Technology Corporation,Danvers,MA.)

离子注入的关键问题是控制离子通量和离子纯度,及离子能量和选择离子物种(实际为 m/q 的比值,其中 m 是离子质量,q 是离子的电荷态)。后者要求仔细考虑并确信所选 m/q 值是主要需要的离子物种,因为有多种元素或复合原子团可能具有所要求的 m/q 值。长束线虽然增加了仪器的复杂性,但它允许过滤离子束以增强对预期标样的选择。注入机系统的高清洁度和超高纯源材料对于离子注入工艺的成功是绝对必须的。

· p. 489 ·

离子注入深度比例于离子能量、离子质量和基质原子的平均重量。典型的使用 5—400keV 的能量对化合物半导体进行离子注入。正在开发的能量高达 1MeV 的系统是为特殊应用创造的。各种能量提供的注入深度范围从数十 nm 至超过 1μm,决定于离子标样和基质材料的性质,如表 10-2 所示(Gibbons 等,1975)。离子剂量的范围由 $10^{11}cm^{-2}$至 10^{15} cm^{-2}以上。离子注入受到离子束流和总功率能力的限制。高注入剂量需要很长时间,它有害于离子源,并引起靶晶片升温,除非使用致冷设备。

表 10-2　70 和 150keV 能量的离子射程

Ion	Si^{b}		$GaAs^{b}$		$InP^{b,c}$	
	70 keV	150keV	70 keV	150keV	70 keV	150keV
B	219/60	420/83	177/90	382/146	199/101	429/164
H	762/109	1391/128	639/162	1232/205	718/182	1384/230
O	164/56	370/98	106/58	233/100	119/65	261/112
N	158/47	344/77	122/67	268/112	137/74	301/126
F	187/77	460/155	94/52	207/91	106/58	232/102
Si	—	—	59/33	129/60	66/37	145/67
Se	42/15	82/28	27/13	53/25	30/15	59/28
Ge	43/16	87/30	28/14	56/26	31/16	63/29
C	155/39	317/60	144/76	313/126	162/85	352/96
P	86/34	188/63	55/31	120/57	—	—
As	84/29	42/15	—	—	—	—
Zn	45/17	92/32	30/15	60/28	34/17	67/31
S	80/32	177/60	52/29	112/53	58/33	126/59

a 所有值均以 nm 作单位；b 数据表示为射程/标准偏差；c InP 的值参照 GaAs 结果定标；d Gibbons 等(1975)

因为与晶格的相互作用是统计性的，杂质分布实际上具有高斯型。所以实际的离子分布用射程或峰范围 R_p 及离散度 ΔR_p 来描述，如图10-6所示。这些参数适于描述体注入离子，但是存在一个比 R_p 要明显深的离子分布尾，被称作"蔓延"。目前，这一现象还没有理论模型合理的解释(Biersack 等，1980)。

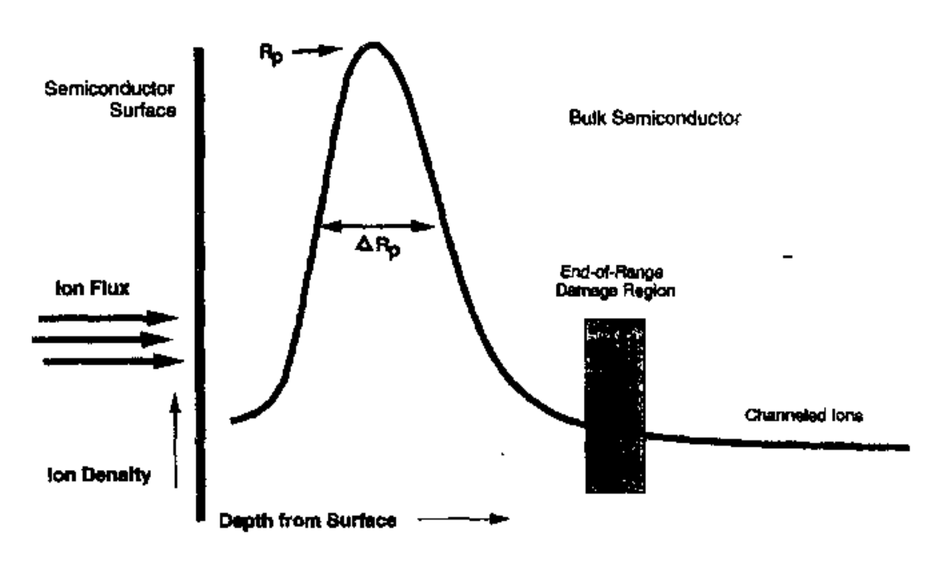


图10-6　一个靶材料的普适离子注入剖面。R_p 为离开表面的峰浓度分布，ΔR_p 是分布的标准偏移。结束范围损伤区指由于离子停止运动并传递剩余能量给晶格所造成的高位移损伤区

对于进入大多数化合物半导体的离子注入施主杂质，在氧化炉退火后，典型的电子饱和浓度范围为$3\times10^{18}—8\times10^{18}cm^{-3}$。在RTA条件下，最大电子浓度可以提高到$10^{19}cm^{-3}$以上(Liu等，1980)。对于大剂量注入，当离子注入在略微升高的温度下进行，可以观察到激活效率的增加(Donnelly，1981)。这是由于在注入期间晶格位置的原位恢复。对子使用Be,Cd,Zn的p型注入，由于固溶效应，受主浓度大约在$5\times10^{18}—10\times10^{18}cm^{-3}$范围达到饱和。然而使用Zn离子，受主浓度可达$3\times10^{19}cm^{-3}$以上(Kular等，1978)。

·p.490·

使用离子注入的优点有：掺杂浓度和离子峰分布深度的良好控制；通过衬底的离子通量相对理想的均匀性(典型为百分之几的偏差)；方向性(相对于扩散方法)；现代离子注入机片间工艺过程满意的重复性。此外，离子可以有选择区地注入，或使用适当的掩模技术遮挡部分区域。离子能量由加速电场确定，因此容易量化。离子通量可用在离子注入设备中的束流方便地进行测量。用束流-时间积分可以计算和控制总剂量(此处假设离子束主要由所需离子标样组成)。离子范围统计学得到有价值的实验和理论模型信息的支持(Gibbons等，1975；Biersack等，1980；Zeigler等，1985)，它使离子注入过程相对简单直接地实现和控制。

离子注入的缺点有：激活过程小于100%(离子掺杂与载流子的关系)；激活对温度很敏感；引入的基质材料的损伤(缺陷产生及电学补偿)；蔓延和结束区损伤(深处的随机离散和位移现象)。还需要衬底相对离子束的晶向偏离，以避免"沟道"，它可能在掩模区的台阶和边缘产生阴影效应(Morgan，1973；Kikaura等，1988)。这些问题下面将讲到。

退火过程的激活效应直接影响器件的性能，因此对注入过程采用优化图。优化图可由产生的电荷与所测离子总剂量的比进行估计。退火效果受到因离子通量和物种的位置选择(自补偿)引起的总损伤、退火条件(时间和温度)，以及由剩余或原缺陷造成的电学补偿的影响(参阅10.8节)。

·p.491·

缺陷来自母晶格中原子位移和注入杂质的位置选择。由注入引起的缺陷类型包括：空位、原子位移、间隙原子、复合体、代位原子、反结构等。每一种缺陷都带有特有的印记，提供电荷、补偿和/或晶格中的复合中心。过多的剂量会产生如此多的缺陷，致使晶格接近无序或无定形化(Howes和Morgan，1985，Chap.5)。在多数化合物半导体中，重离子通量超过$10^{14}—10^{15}cm^{-2}$时发生此现象；使用轻离子，如质子时，产生无定形化需要大得多的通量密度(Anderson和Park，1978)。人们发现，在150—200℃以上，即使是高剂量，GaAs也不会无定形化，因为注入时，很小的原子位移被退火(Anderson和Park，1978)。

蔓延及沟道是注入过程的随机分量。这些现象是由于母材料中的散射事件引起离子的随机再定向。这种效应在观察中表现为母晶格中离子的横向或水平方向的延伸。蔓延是指离子停止在晶格中大大远于所期望的位置。当离子传递能量给晶格深处的格点原子时，能够产生结束区损伤。当离子向下散射至母晶格的"打开"方向(即化合物半导体的〈111〉方向)时，产生沟道效应。离子进入表面的旅程将远远大于理论预期值(Gibbons等，1975；Morgan，1973)。沟道是另一种蔓延分量，观察为非高斯型深度分布("拖尾")，如图10-6所示。这一现象在"打开"晶格，如GaAs，InP和其它Ⅲ-Ⅴ族材料中是相当普遍的。沟道行为和电学效应作为例子在Kikaura等(1988)和Myers等(1979)的文章中得到阐述。

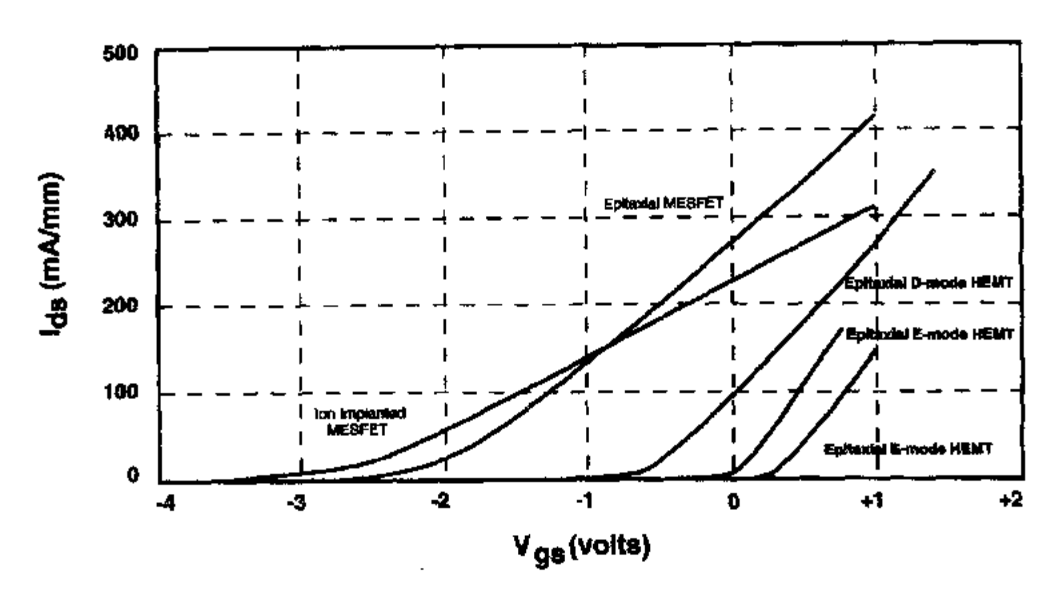


图10-7 离子注入和各种外延 FET(MESFET 和异质结构)的 I_{ds}-V_{gs}传输特性。表示出外延结构相对离子注入结构较低的开态电阻。图中标识了不同类型的器件。HEMT 陡的导通特性和小的亚阈漏电流即是证据。较缓的导通特性和较高的亚阈电流是离子注入和外延 MESFET 器件的特点(图源自 Dr. S. Wemple;Wemple Fechnologies,wyomissing,PA.)

离子沟道和蔓延会对器件性能产生负效应。这种效应很容易由图10-7看出,过剩的亚阈漏电流和软导通特性就是证据。器件的相互作用,如侧栅也可能因蔓延产生,这主要归因于器件间的不良隔离。这些现象都与栅下沟道深处扩展电荷分布有关。为减轻沟道效应,衬底被有意识地相对离子束轴偏离7°—13°,并沿垂直晶片表面方向旋转(Rosenblatt 等,1988)。以这种方式,衬底向离子束对以最大的原子密度(类无定形),它增加对沟道现象的类似的散射事件(Morgan,1973)。在注入时衬底连续地旋转也可优化离子的分布。然而,目前还没有完全消除这些效应的方法。

·p. 493·

对子类 FET 器件遇到施主杂质的蔓延和沟道效应,可采用比 n 型注入深的 p 型背掺杂("back-cloping")或埋层 p 型注入,可以锐化沟道底部的电荷分布,如图10-8所示。这一措施增强了电子的限制作用,并在存在附加器件电容的情况下提供较陡的 *I-V* 特性。必须仔细估算 p 型掺杂分布的精确位置和浓度,以避免器件性能的劣化。寄生效应、隔离和附加的侧栅和背栅问题,都会因 p 型导电层的存在面产生(参阅10.3.3节)。

注入相对离子束的偏离改善了离子分布,但也会产生其它的困难。如果注入是在金属互连确定(即栅金属化,欧姆接触)以后进行,例如 LDD 工艺所要求的,金属层有效地屏蔽了离子流,并遮挡了邻近金属通道的区域,如图10-9所示。厚的光刻胶或其它掩模材料也可能产生类似的效果。遮蔽可能导致不对称的离子分布及沟道区内的不均匀电场,也会产生不希望有的器件非对称性。如果设计的电路特性必须不折不扣地实现,对设计者来说,上述效应严重地限制器件的版图设计(即源和漏的区别,或栅的取向)。

·p. 494·

其它一些问题对离子注入的成功也是重要的。这就是要求"称职"的可控的半绝缘(或导电的)的衬底特性,以保证离子注入过程的重复性(Wilson 等,1989,1993)。早在80年代

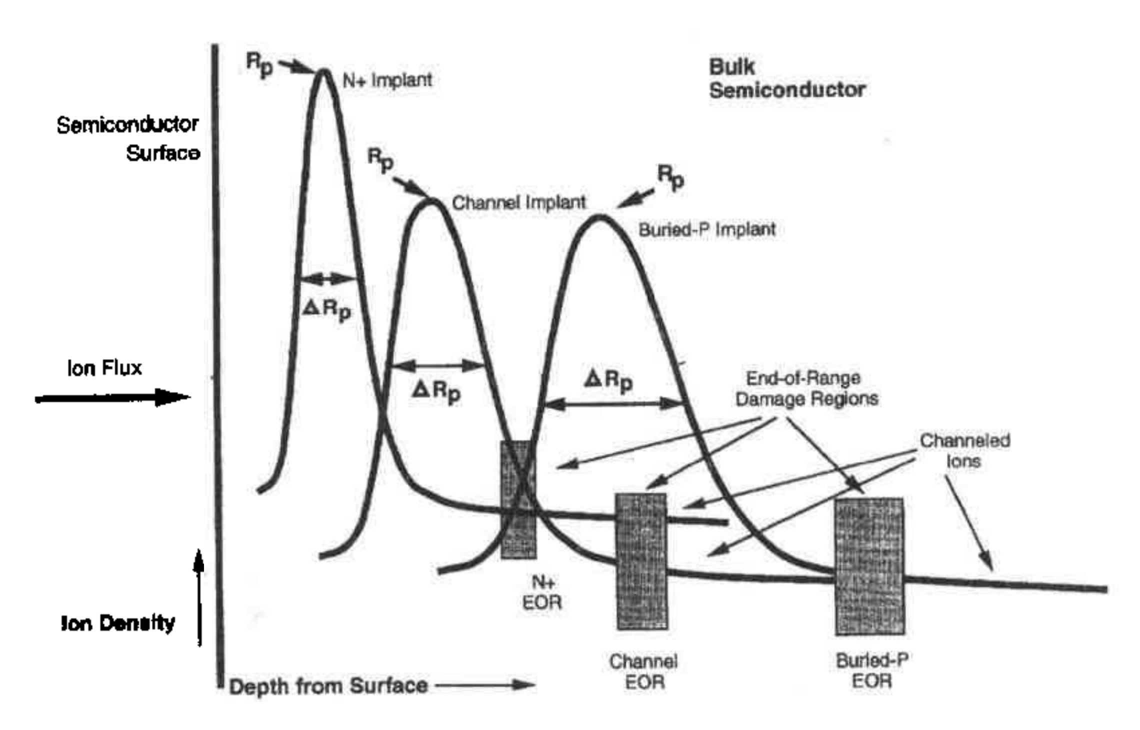


图10-8　一个n^+-n-p 埋层器件的典型离子注入剖面图。此处R_p,ΔR_p,EOR 和沟道离子都代表它们惯用的含意。增加的 p 型埋层注入补偿了 n 沟区注入,并使施主杂质理想地全耗尽。p 型隐埋层形成较陡的衬底侧有效电荷分布,并导致较陡的晶体管 I-V 导通特性和较低的漏电流

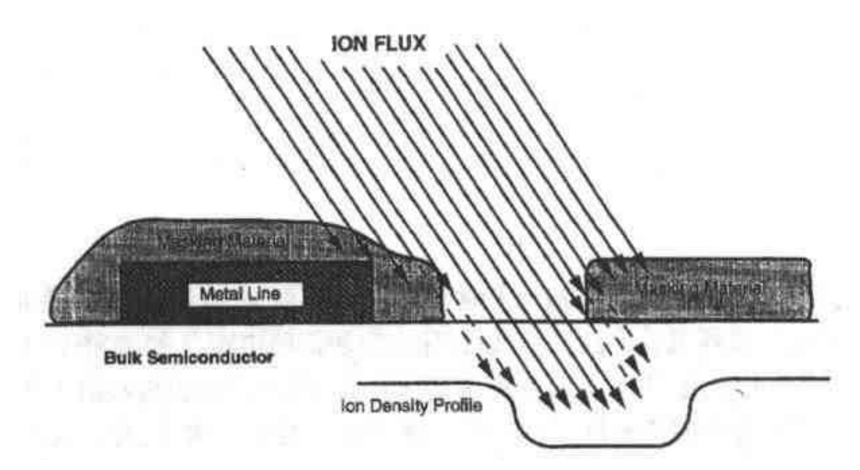


图10-9　离子注入拓扑效果简图。入射离子束与衬底间夹角(典型为偏离垂直衬底表面轴7°—13°,以45°角绕垂直方向旋转)选择用于最小化沟道效应。靠近光刻图形边缘的离子被减速,且会偏离金属限定角,从而扰动基底材料中的离子分布。离子分布的偏离在非旋转系统中是单边的,而衬底的旋转产生更对称(双边)的偏离

中期,人们一般采用掺铬或掺氧的半绝缘 GaAs 衬底(Makram-Ebeid 和 Tuck,1982;Rees,1980)。当前,离子注入的性质与原始材料、晶体锭条、生长设备及生长条件,甚至与衬底在锭条上的位置都是密切相关的。铬原子快速由体内向表面外扩散,使有源区被部分补偿而呈现较高的电阻。这一效应使为激活杂质而应用的高温退火的过程变得更加复杂,并产生对注入杂质所不需要的补偿作用。因此,目前在器件制造过程中很少使用掺铬材料。在

InP 中，铁原子用作产生材料半绝缘特性的掺杂剂亦有类似的考虑。

由于晶体生长技术和材料纯度的改善，这些早期的方法很快让位于具有良好控制的高纯半绝缘 GaAs 衬底(其中不含人为附加的杂质)。半绝缘条件源自固有深能级缺陷的存在[即 EL2缺陷(为在导带底下约0.8eV 的固有缺陷能级)和与剩余施主及受主平衡的其它深能级(Makram-Ebeid 等，1982；Martin 等，1977；Lagowski 等，1982；Milnes，1973)]。但 InP 晶体仍需要附加 Fe 原子在晶体中，因为没有适当的固有缺陷能级来产生非掺杂半绝缘 InP 材料(Cockayne 等，1981)。现有的半绝缘 GaAs 衬底在高于900℃的高温下退火仍是稳定的，而掺 Fe 的 InP 衬底仅在约700—800℃下是稳定的。

尽管衬底材料的变化很大，但许多用户仍使用锭条质量认证方法来区别材料性能对他们的特定工艺的影响。一个典型的锭条质量认证过程包括离子注入和以后的退火过程，然后测量电学性质来检验它的离子注入激活效率和离子的深度分布。这些认证过程因离子注入提高了成本，为了补偿衬底，离子注入和退火的相互作用也会影响到设计和制造工艺条件。然而，以提高成品率的方面考虑，这类方法目前用在某些使用离子注入技术的工艺设备中。其它一些大批量生产 GaAs 产品的厂家仅考虑衬底的供应的一贯性，工艺的稳定性和适应各种变化的设计，而绝少需要这种认证的努力[参阅 Smith(1994)]。

10.2.2 扩散方法

扩散工艺可以分类为"闭管"和"开管"。典型的闭管扩散包括将掺杂剂和衬底密闭于一容器内，内部抽真空或充以惰性气体，然后经历一个退火期间，使杂质扩散进入衬底。这种方法太复杂而昂贵，并且很难控制及获得满意的重复性，不适合大规模生产的情况。

•p. 495•

开管扩散在硅工艺中经过数十年的改进。在化合物半导体中也采用了类似的技术，同时考虑到Ⅴ族元素的毒性和所估计的化学组分的偏离。由此，衬底根据需要光刻图形，然后被装入容器或舟中，并放入通常被惰性气体保护的高温扩散炉中。整个系统是处于热平衡状态，掺杂气被通入扩散炉的气氛中。根据高Ⅴ族物种蒸气压特点，使用过量的砷烷、磷烷或类似气源，以防止衬底材料在工艺过程中分解。类似方法也可用于Ⅱ-Ⅳ族材料。这些气体和掺杂剂的副产品(例如硅烷、二硅烷、二乙基锌、二甲基镁、四氯化碳等)是高度易燃或有毒的，必须以保证环境安全的方式加以控制。这就需要对延续废气进行处理及相应的安全设备，但是不能影响整个工艺操作。

扩散工艺的优点在于可在表面区产生很薄的扩散层。这种方法得到数十年硅工艺经验的支持，并且是出色建立起的大批量生产的制造工艺。虽然在化合物半导体中的杂质扩散，在外延生长温度或退火，或阱推(drive-in)温度下，都是相对比较小的，但扩散可能很明显，特别是对于多数的受主类杂质(正如前面所指出的那样)。扩散的驱动力是杂质梯度，它也可能因应变、位错和其它自由能来源而增强或受阻。缺陷可能通过向杂质提供开放位面大大增加了运动(Shewmon，1973；Tuck，1988)。因此必须注意在扩散过程中保证近表面区的合理制备和没有沾污。由于多数Ⅴ和Ⅵ族元素的高蒸气压使表面在扩散中因为砷或磷的损失变为非化学配比的，并产生缺陷，增强了杂质的迁移。把过量的 As_x 或 P_x 提供给系统，以抑制表面的分解，正如前面所指出的。

扩散方法主要用于 p 型掺杂，是因为这些杂质具有高的扩散率(Gösele 和 Moorhead，

1981；Wada 等，1989；Tuck，1988；Yuan 等，1983)；n 型杂质移动得相对比较慢。各种杂质在 GaAs，InP 和其它化合物半导体中的扩散率可参阅 Sze 的书(1981，p. 68)和 EMIS 的文章(1990，1991)。上面提到过的受主杂质的一个另外的性质是它们倾向两种扩散行为：间隙及代位扩散。因为间隙杂质比代位杂质扩散得快(Gösele 和 Moorhead，1981；Tuck，1988，Chap. 4)，由此产生双扩散前沿，如图10-10所示，其结果导致在扩散过程中很难控制结的电学深度。

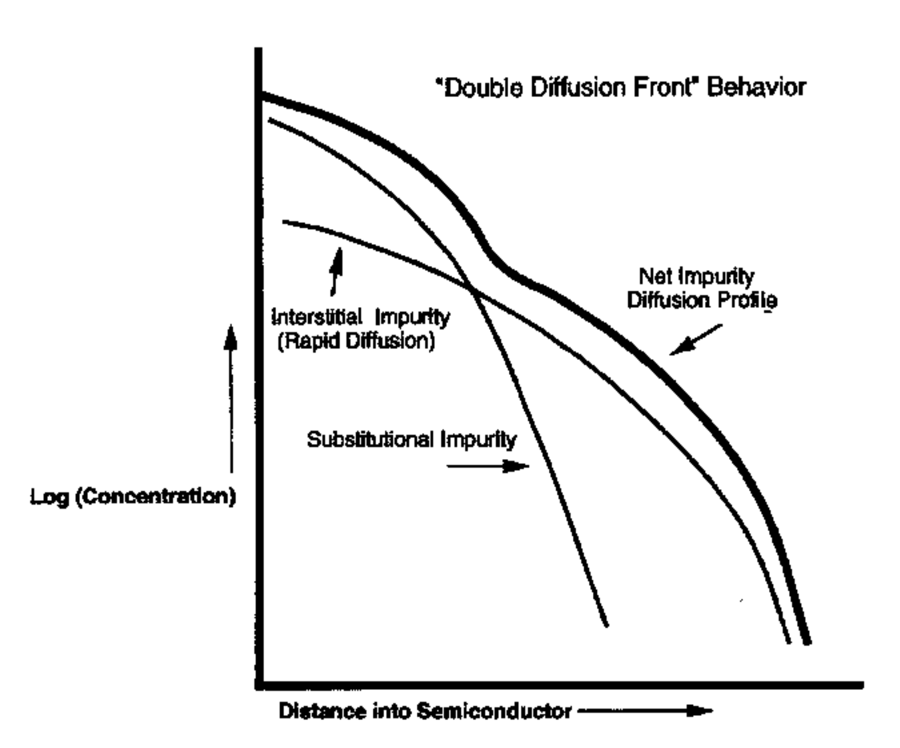


图10-10　双扩散前沿杂质剖面简图(参阅图10-4)。净杂质剖面是间隙和代位杂质分布的总和。电激活率与这两个分量的激活和杂质在每晶格上所占据的位置引起的自补偿有关

在化合物半导体中使用扩散掺杂有三个重要的缺点：1)缺少像硅中 SiO_2 那样的稳定性好的基质钝化氧化物，2)化合物半导体的熔点一般都比硅低很多，3) Ⅱ，Ⅴ及Ⅵ族物种的蒸气压在高温下都非常大，结果使300—600℃的制作工艺被禁止或复杂化。

·p. 496·

因为化合物半导体没有稳定的基质氧化层，必须使用某种介质薄膜来保护晶片，以避免不希望的内扩散及保持表面完整性。所选择的介质膜有 Si_xN_y，SiO_x 和氮氧化物膜，如 SiN_xO_y。为了使衬底选择性掺杂，就要求膜上按需要光刻图形。由于化合物半导体相对硅有较低的熔点，使它们在较低温度下就会产生缺陷。这种现象可根本上改变内扩散行为和电激活特性(格点位置选择)。与Ⅱ，Ⅴ和Ⅵ族物种的高蒸气压有关，扩散必须在相对低的温度下进行，以减轻分解和缺陷的形成。扩散后保护膜必须被除去，以阻止进一步的沾污或允许进行随后的工艺的光刻图形过程。由于上述困难，扩散方法往往被离子注入或外延工艺所取代，有关扩散过程的进一步讨论请参阅本书10.4节。

10.2.3 外延方法

在外延生长过程中，如MOCVD(金属-有机化学气相沉积，metal-organic chemical vapor deposition)、VPE(气相外延，vapor phase epitaxy)、LPE(液相外延，liquid phase epitaxy)、MBE(分子束外延，molecular beam epitaxy)、GSE或CBE(气态源外延或化学束外延，gassource/chemical beam epitaxy)，掺杂剂通常是在外延沉积的同时加入的。Ⅳ和Ⅱ族过渡元素和Ⅵ族杂质(如前所述)加入LPE熔体和MOCVD气相中，或由Knudsen炉或气体喷嘴中喷出(分别对应MBE及CBE/GSE)。在GaAs基材料中，Ⅳ，Ⅵ族元素起n型(施主)杂质作用，但碳和锗除外，前者起受主作用，后者是两性的。Ⅱ族元素起受主作用。有关MBE生长技术的详细情况包括在本卷的2、3章中，作为这些生长方法的附加讨论。

·p. 497·

掺杂浓度范围强烈依赖于杂质的性质、源的纯度、生长过程化学、生长速率及生长温度等诸多工艺参数。上述参数通常决定了背景掺杂浓度，它决定内扩散的最低限。多元系统的热动力学限制了最大杂质原子浓度(即固溶度、离子相互作用、失配应变等)。从此意义上看，外延层一般比离子注入过程所能达到的载流子浓度稍低一些，这是因为后一过程与工艺的热动力学没有密切关系。

外延生长材料典型施主浓度范围是小于$5\times10^{15}cm^{-3}$至大于$5\times10^{18}cm^{-3}$。而受主浓度范围由5×10^{15}—$10\times10^{15}cm^{-3}$至大于$1\times10^{19}cm^{-3}$。对HBT器件，使用碳掺杂，空穴浓度可达$10^{20}cm^{-3}$以上，虽然在这种掺杂水平上，最好用合金组分代替杂质这一术语。应当注意，这是掺杂的奇迹，因为对子碳浓度高于$5\times10^{19}cm^{-3}$的情况，GaAs的电学和物理性质明显地蜕化(George等，1991)。最小掺杂浓度很大程度上取决于生长设备的所谓背景杂质浓度，而外延层的固有缺陷结构决定了可探测的掺杂水平的最小变化。近来应用气态源分子束外延(GSMBE)方法，在GaAs中实现了高于$10^{20}cm^{-3}$的碳掺杂浓度(Abernathy等，1989)，虽然存在高掺杂水平与晶体生长方法无关的同等的保护发明权的请求。

外延生长工艺提供比离子注入更好的杂质分布控制，但是只有有限的选区控制能力。CBE/GSMBE方法正在努力进行有关选区生长的探索(Tu，1995)。限制选区生长的因素是成核、生长现象和图形区的沾污，以及图形暴露的各晶面上生长速率的控制。MOCVD的最新进展显示了控制选区生长的某种能力(Linden，1991)。

如图10-7所示，外延器件的传输特性明显优于离子注入结构器件。这是由于外延方法对异质结构器件的电荷分布的更严格的控制。侧栅和背栅在异质结构器件中也得到控制，因为电荷分布很容易用刻蚀或离子注入工艺予以阻断，后者示于图10-11中。从原理上说，改善来自电荷分布的明显差异、对器件的隔离能力、产生的原子位移损伤和在器件工作时衬底与电荷分布间的相互作用[参阅D;Avanzo(1982)，Vuong等(1990)]。

·p. 498·

在对化合物半导体掺杂时，有许多因素必须考虑。离子注入比外延层生长花费较少。费用的节省是由于相对其它产生有源区的方法，它具有高的晶片产量，这点对制造成本是非常重要的。均匀性和重复性能满足大多数的应用，对子超高性能器件，需要在严格控制电荷分布的方面也有适度的能力。对于已确定的设计规则和电路结构而言，以外延为基的

器件性能明显优于用离子注入工艺制造的器件。根据目前的制造成本和新近引入的大批量生产外延材料的技术，使用外延材料和使用离子注入材料制造的器件在成本上的差别很快地在缩小。加之，性能的优势和成品率的改善在某些应用中弥补了外延材料制作过程的较高花费。更进一步说，基于外延技术的异质结构器件，如 HBT，HEMT，VCSEL 及其它器件是不能用离子注入或其它方法制造的。

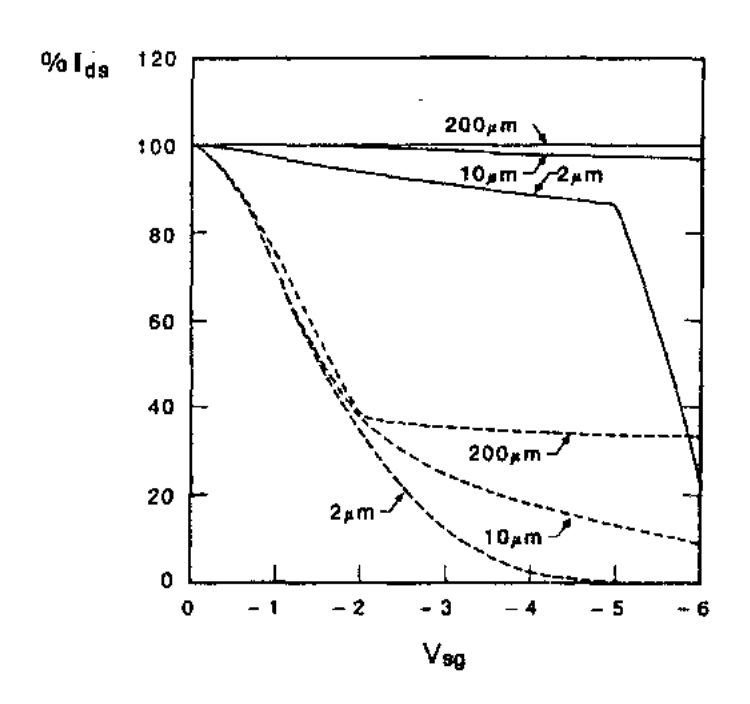


图10-11　异质结构 FET 器件的侧栅效应的实验结果。在器件周围采用优化的隔离技术，非常大的电势差被施加于只有很小间隔的近邻器件之间。侧栅器件（虚线所示）相对于在同一晶片上附加了深隔离注入（实线）的器件。y 轴以100定义[$I_{ds}(V_{gs})/I_{ds}(V_{gs}=0)$]，$x$ 轴是加在图中标出的距离上侧栅结构上的电压。侧栅效应因深隔离注入在很大程度上被消除[图源自于 Vuong 等(1990)]©1990 IEEE

10.3　隔离方法

为了阻止集成电路中器件间的相互作用，需要电学隔离，其目的是限制或消除器件间电流和电场的相互作用程度，使它们不会影响器件的工作。应用适当的隔离技术可以降低电路的寄生效应，结果实现了器件的较高性能。电容、电感耦合和漏电流都能被消除。此外，电子和/或空穴可以更好地被限制于晶体管单元胞中。使用隔离技术，导致更好的电学特性的重复性，对有源区内电荷分布的更好控制，及类似的对无源元件，如电阻、电感和电容特性的控制。

·p. 499·

用于化合物半导体集成电路的有两种隔离技术：离子注入和“台面”腐蚀。每一方法都有自身的优点和缺点。台面隔离技术是首先发展的。由于衬底质量和器件的制作工艺的不断改进，离子注入技术逐渐变为隔离技术的首选方法。离子注入允许所希望的平坦化外

观、并产生更精确的器件几何尺寸，这对于高成品率和高可靠性及制造高密度电路是必不可少的。然而，非常浅的或高掺杂层的有效隔离常证明在实际上是十分困难的，主要是因为离子注入工艺中杂质是高斯型分布的。使注入通过光刻胶和其它帽层，导致杂质分布峰值在表而附近，从而克服了这一问题。

10.3.1 台面腐蚀

台面隔离对于隔离分立元件和集成电路中的有源区是一种有效的方法。这一技术包括用光刻胶或其它掩蔽材料限定有源器件周围区域，并依次刻去暴露的材料，由此形成表面区的孤岛或台面，如图10-12所示。刻蚀可用湿法或干法完成(参阅本卷10.5节和第6章)。

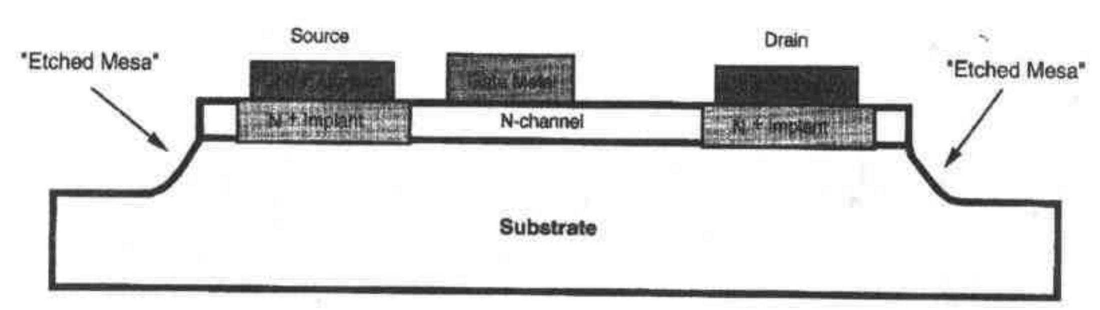


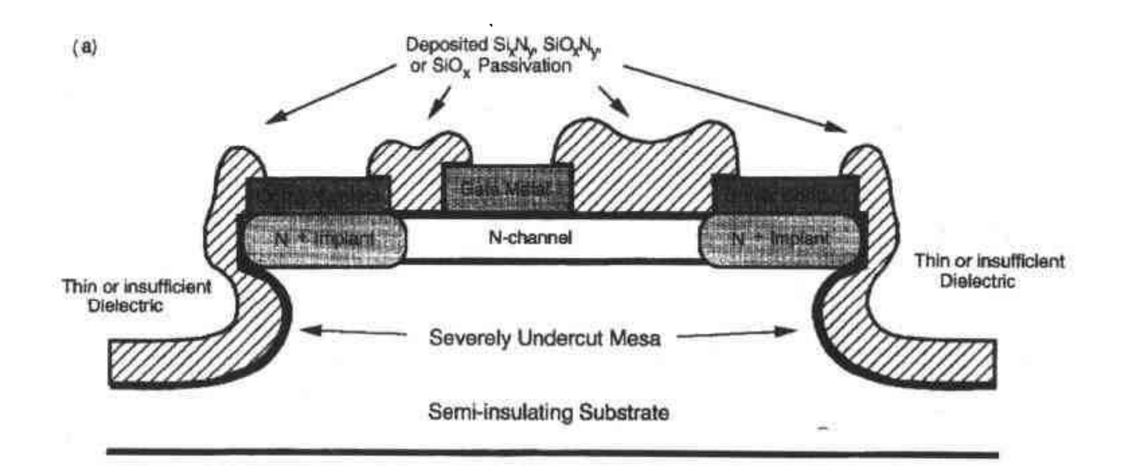
图10-12 刻蚀台面形成隔离的 n 沟 FET 器件示意图。器件附近的区域可以进行离子注入或覆盖钝化层，进一步增强隔离效果

台面限定工艺的关键要求是产生一个与后续工艺相容的图形，过深沟槽、凹边，或陡峭的侧墙都有害于精细图形的产生，并可能引起很差的或覆盖不良的金属层或介质层。在台阶边缘，平滑的性质和圆角或和缓的过渡通常更好。台而隔离的标准图形示于图10-13中。如果沟槽或台面不是按正确方式形成的，如图10-13(a)所示，则金属层或介电层就不能正常地沉积，并导致器件的失效(即短路或开路，形成漏电通道)。如图10-13(b)所示的台面结构是所希望的。

在由刻蚀剂与晶体结构相互作用而产生的形貌中，化合物半导体的各向异性变得显而易见，如图10-14所示。这就要求我们了解并控制腐蚀过程，以产生所要求的台面或沟槽结构。腐蚀特性、衬底的结晶学特性及器件的相关性，在 Lee(1982)的文章中得到讨论。

·p.500·

使刻蚀剂进入精密图形的能力，即液体的表面张力或气体的压力和密度的影响，都限制了器件和图形间的最小间距。类似地，移去反应产物或稀释腐蚀液及抑制刻蚀过程对于宽深比高或间隔很近的图形是特别困难的(详细的腐蚀化学和工艺过程参阅10.5节)。作为结果，为适应这些工艺的限制，器件必须在损失有用的半导体面积的前提下被分开。这样一来，电路的封装密度和集成度在使用台面隔离技术时，比使用离子注入技术，一般将更加受限制。在腐蚀的同时，可能发生母材料或掩蔽材料的再沉积，这就妨碍形成良好的台面形貌，而产生弯曲的或波纹状表面、不均匀的台面限定和漏电通道等等。要成功地使用器件的台面隔离技术，这些效应都必须避免。



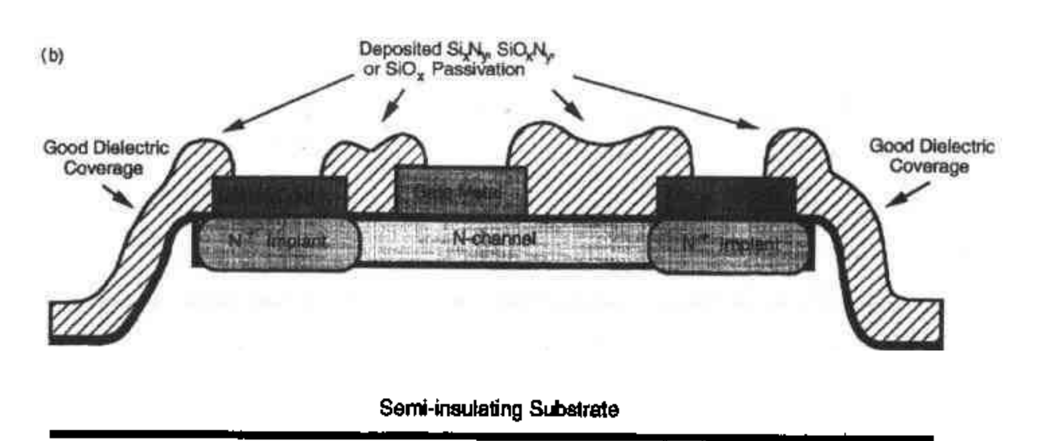


图10-13　台面隔离的 FET 剖面。在(a)中，台面被过分钻蚀，电介质覆盖和完整性是不可靠的。在(b)中，台面边缘是优化形成的，电介质覆盖是均匀的

10.3.2　离子注入隔离

使用离子注入技术，目的是通过离子轰击形成深能级或复合中心，从而实现材料的半绝缘或高阻特性。使用这一技术最突出的优点是保持表面的平整性。它能相对直接地获得十分精密的图形和多层金属限定。与台面工艺相比，离子注入可以达到更好的工艺完整性和更高的复杂性。

·p. 501·

为了成功地实现器件隔离，选择离子杂质、控制离子通量、离子束纯度和离子能量都是很关键的。离子穿透深度与离子能量、离子质量成比例，并与母晶格原子结构、分子量及组分有关。正如10.2.1节所讨论的，与离子注入相关的问题是沟道、离散和深度分布的拖尾现象。然而，一般来说，在隔离工艺过程中，人们希望隔离一直延伸，尽可能深入衬底。在这种情况，拖尾可能正是所需要的，如图10-15。隔离效果是母材料和注入离子相互作用化学及缺陷形成的函数。一些重要的离子注入范围的数据综合列于表10-3中。

隔离效果是由母晶格原子位移、众多缺陷复合体的产生和母晶格原子与注入离子的反应而产生的(即 AlGaAs 中 Al-O 复合体)(Donnelly，1981；Short 和 Pearton，1988)。最常用的离子是氧、硼和质子(H^+)(Pearton 等，1987；D'Avanzo，1982)。对隔离注入来说，一般

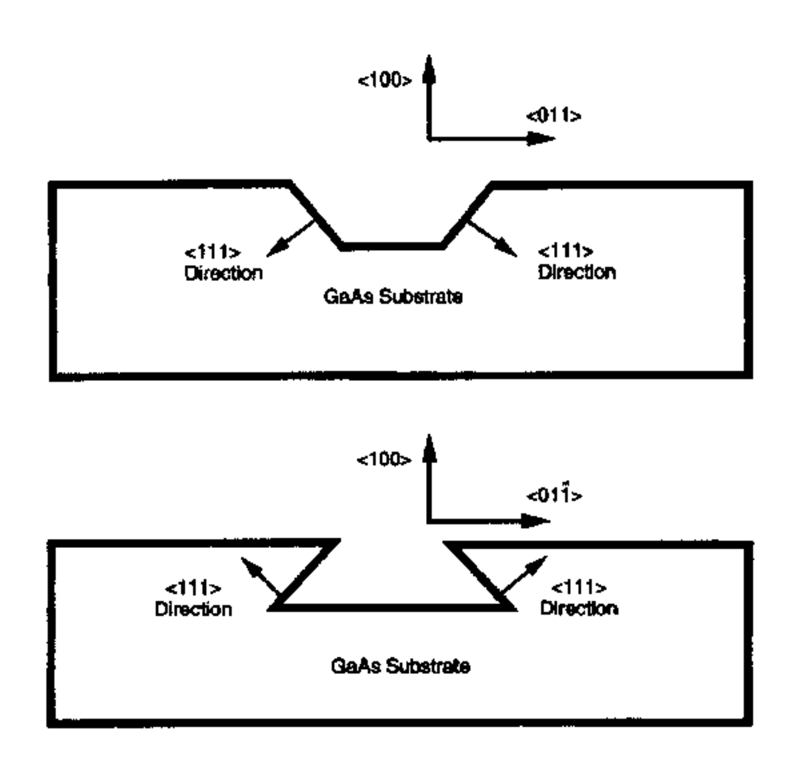


图10-14　化学腐蚀剂所暴露的 GaAs 的各向异性。限定晶面为{111}类型，具有露出的砷或镓面。这是闪锌矿晶体结构的结果

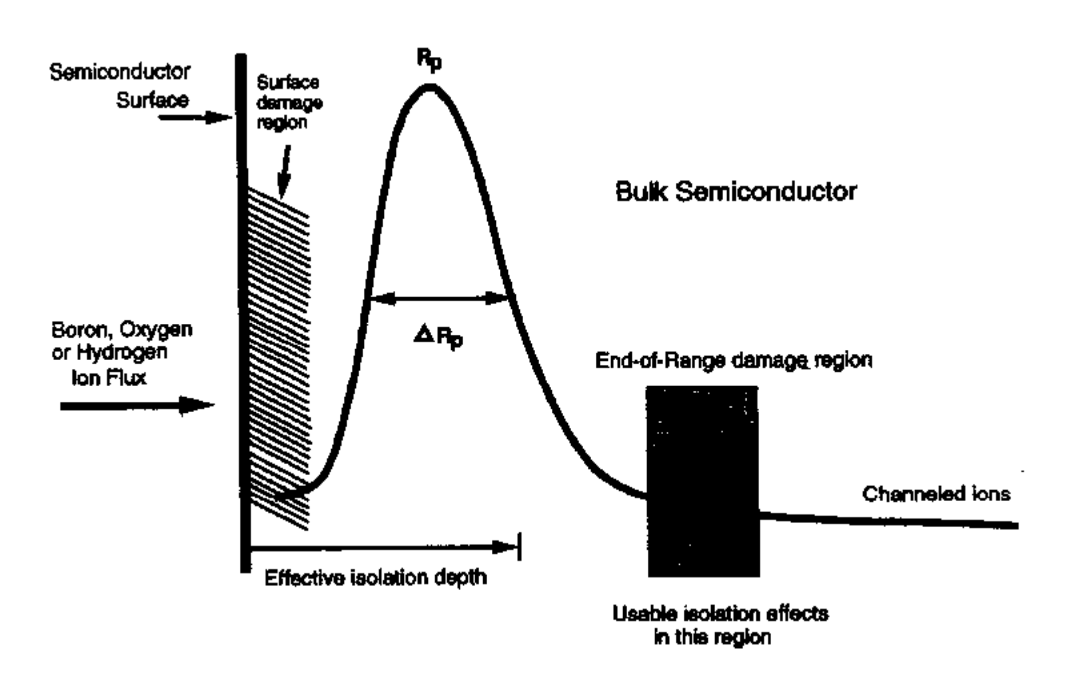
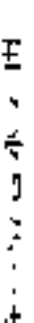


图10-15　离子注入隔离简图。离子范围(R_p)的峰近似位于最大隔离位置。位移损伤峰(最大原子位移)比 R_p 或浅或深，这取决于母晶体原子和注入标样原子序数，注入剂量和能量。隔离的近似范围示于图内。附加的位移发生在范围的末端，增加了有效隔离深度



希望用较重的离子,因它们在晶格中产生较大的原子位移。然而在实际中,人们对可能的注入深度和选择重离子的能量上采取适当的折衷。轻离子,特别是质子,如果要求相对高的剂量,可以用于非常深的隔离需要。

•p. 502•

表10-3 在GaAs单晶材料中所选择的离子物种的注入范围数据

能量(keV)	元素				
	H	B	C	O	Si
20	0.218/0.099	0.044/0.034	0.039/0.030	0.030/0.022	0.018/0.013
50	0.480/0.144	0.124/0.070	0.101/0.060	0.075/0.045	0.042/0.025
100	0.866/0.181	0.255/0.115	0.208/0.098	0.154/0.076	0.085/0.044
150	1.233/0.205	0.382/0.145	0.313/0.125	0.233/0.100	0.129/0.061
200	1.607/0.275	0.504/0.170	0.415/0.147	0.316/0.121	0.174/0.074
300	2.423/0.262	0.733/0.207	0.606/0.182	0.462/0.152	0.263/0.100
380	3.161/0.292	0.905/0.229	0.751/0.203	0.567/0.172	0.333/0.117

a Gibbons 等(1975); b 以 μm 作单位; c 数据表示为射程/标准偏差。

注入离子在晶格中可能产生各种原子位移。我们希望由此产生缺陷,它们起复合中心的作用,并阻止器件间的电荷输运。如10.2.1节所提到的,这些缺陷包含原子位移、空位,间隙原子、各种缺陷复合体和反结构(由原子位交换产生)。每一缺陷都改变母材料的电学性质,并集中贡献于产生器件间的绝缘区。在非常高的剂量下,晶格可以被无序化到达非晶化点。这在氧或硼的通量超过$10^{15}cm^{-2}$时可能发生;而质子需要更高的剂量(大于$10^{16}cm^{-2}$)。过多的损伤可能产生导电区而非绝缘特性。应该注意到,在离子注入工艺中存在重要的剂量和能量关系的折衷考虑、简单增加剂量或能量可能实际上增强器件之间的相互作用和漏电,也会增加因过度损伤引起的表面漏电。所产生的大的态密度允许发生电荷输运的跳跃电导(hopping)和隧道过程。轻剂量注入不足以产生有效的够多的复合中心;低能量不能产生足够的位移损伤或仅产生过浅的隔离区。

•p. 503•

每一种离子都有其独特的"身份认证"。例如B^+离子在1MeV 注入 GaAs 时,每个离子移动的电子多达200个(Davies 等,1973)。而氧离子在每个离子移动电子方而效果不如B^+,但是却证明在隔离 GaAs,特别是 AlAs 或 AlGaAs 结构中特别有效(Favennec,1976;Pearton 等,1987;Short and Pearton,1988;Ren 等,1990)。氧在 GaAs 中产生深能级(图10-3,Sze,1981,Chap. 1),它俘获电子,并产生高电阻特性。在 AlGaAs 材料中,形成 Al-O 复合体,这是非常有效的复合中心(Pearton 等,1987;Short 和 Pearton,1988)。质子被选作更深的隔离方法(D'Avanzo,1982)。因质子具有低的质量,甚至在中等能量下也可深深注入晶格,即在250keV 下深入深度超过2μm(Gibbons 等,1975)。

有趣的是,人们注意到损伤分布并不与离子分布完全吻合,这归因于母体原子与注入离子之间在质量上存在着很大差别。当离子与基质原子的质量差别增大时,这一矛盾也便加大。由于在晶格中,离子和损伤是近似高斯分布的,通常需要有序的多重注入以获得相对平滑的离子损伤深度分布,这正如图10-16所示。在适当安排下,多重注入在注入区产生

准均匀的、高电阻率区。使用多次注入的缺点是，表面损伤可能延伸，特别是在高剂量或高能量注入时，以及延长注入时间，并使宏观表面缺陷密度增加。表面损伤可引起表面漏电通路或非化学配比的表面区域。例如在极高能量的隔离离子注入 GaAs 的过程中，观察到表面电阻率下降3个数量级以上(Liu 等，1980)。

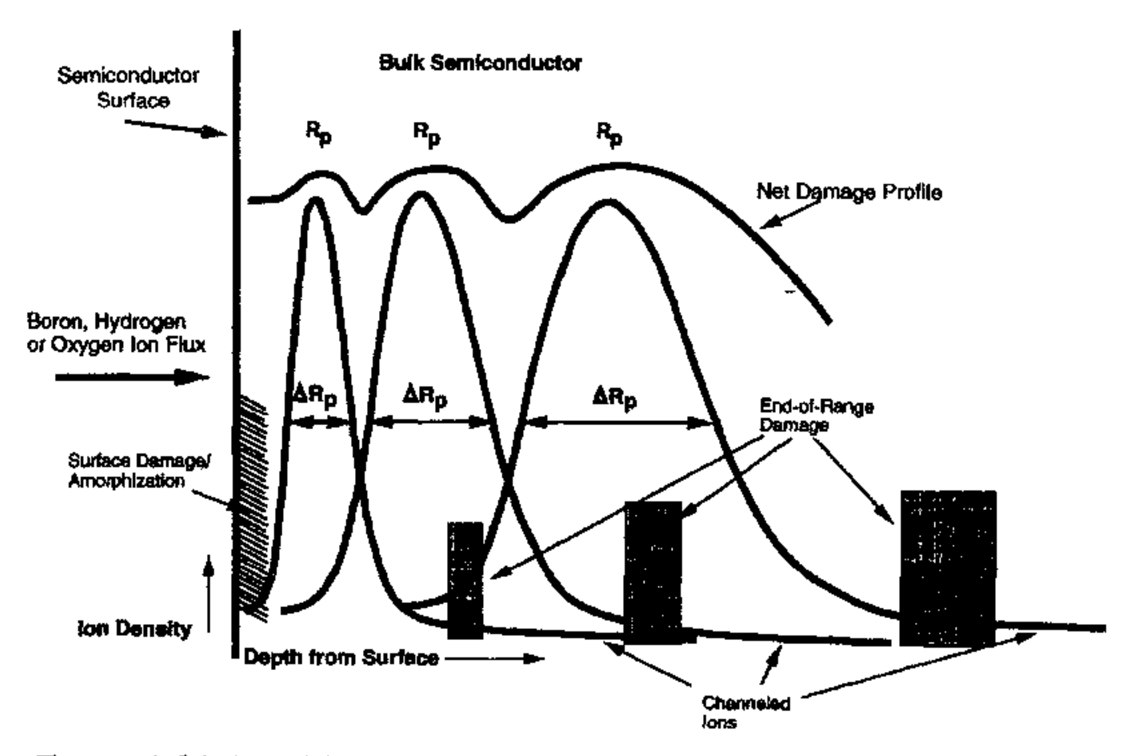


图10-16　多重离子注入分布。在此过程中，每次离子以不同能量注入。较高能量完成较深注入。终止区域的损伤增强了隔离效果，并有助于得到平滑的净损伤分布。使用大的离子通量可以引起表面区某种程度的无定形化和损伤。需要适度的热退火处理，以恢复晶体结构和稳定化位移损伤分布而不破坏隔离效果

离子注入隔离非常有用的优点是具有复杂几何图形的选择区能够容易地用图形掩模技术得到。对有源区和隔离区的形成，使用选区离子注入方法，允许优化集成电路中的版图压缩和器件隔离。

•p. 504•

为了承受非常高能量的离子轰击，必须在表面上沉积很厚的阻挡层，它可能限制图形的精度。适用的离子阻挡层为厚光刻胶，或光刻胶与介电质或薄金属的组合，典型地使用2—4μm 厚的光刻胶，来阻挡能量从约100keV 至400—800keV 的 O，B 或 H 离子的注入。使用较轻的离子，如质子，引起的晶格原子位移明显小于重离子。因此晶格无序的恢复仅需要较低的驱动力。例如 H^+，注入 GaAs 中造成的损伤在高于400℃下退火即可消除。质子只产生很小的晶格位移，且 H 原子很快扩散出母晶格，仅留下很少的电激活缺陷(Pearton 等，1990)。除了极低的耗热过程，质子的这种性质严重限制了工艺温度和所有情况下质子隔离的持久性。

对于大多数隔离过程，需要轻度的热退火，典型的是在500℃温度以下，且使用相对短的时间。这种“温和”的退火阻止晶格完全弛豫，而仅消除一些边缘的稳定原子位移和潜在

的漏电通路，同时保持隔离区的高电阻率。而在另一方面，对于离子注入掺杂，需要在750—900℃温度范围退火，以允许杂质原子选择格点位(激活)，并除去电学补偿位移损伤。这样，在形成有源区和实现隔离的需要之间就发生了冲突。例如，用现今的离子加速器技术不可能实现对欧姆接触电极下方区域的隔离。

·p.505·

应该注意到，由于离子注入包含带电离子的相互作用及重要的能量向晶体的转移，在离子轰击期间，辐照损伤和晶格加热的可能性是存在的。碰撞传入晶格的能量在大束流注入机内是每平方厘米数百瓦的数量级。如果晶格温度升至150—200℃以上，隔离效果可能受到影响，因为晶格位移可能在注入的同时即被退火。为了使自加热效应减至最小，应仔细控制注入以最小束流和离子能量，或者在注入期间控制衬底的温度。

电子轰击也可用于隔离，但是产生的损伤在很低温度下即被退火除去。电子感应损伤退火过程观察到以两个阶段发生：150—200℃和200—300℃(Aukerman 和 Graft，1967；Vook，1964)。这使电子辐照不适合隔离，因为典型的晶片制造温度都超过这一水平。

中子辐照损伤是形成化合物半导体中隔离区的另一方法。典型的缺陷排列和缺陷结构由中心辐照产生。发现中子引入的损伤恢复类似于电子引入的损伤，它分两步完成：先在200—300℃退火(对小的位移损伤)，然后在600—700℃下恢复(Lang，1977)。因此，中子轰击形成的隔离是稳定的隔离区，只要工艺温度保持在500℃以下。为有效阻止中子流的能量，中子束的阻挡层一般采用金属。

离子注入的一个附加变种是为器件形成一个隔离"盒"。例如在器件中使用 n 型注入，一个 p 型注入被置于施主分布的尾部。这种隐埋 p 层产生 p-n 结隔离条件。凭借仔细选择剂量和能量，可使 p 型层接近全耗尽，只引入很小的电容和陡的 n 型电荷分布，并减轻短沟效应(Finchem 等，1988；Matsunaga 等，1989；Onodera 和 Kitahara，1989；Sadler 等，1989)。典型地，隐埋 p 型注入仅用于沟道区下方。然而它可以连接至一外部偏置，以增强耗尽的 p-n 结的背面隔离。一个附加的隔离注入或台面工艺可用来产生"盒"的"侧壁"，以此使器件间完全隔离，如图10-17所示。

10.3.3 侧栅和背栅

侧栅和背栅是描述集成电路中分别来自横向和背面区器件间相互作用的术语。这一现象困扰了 GaAs 基器件许多年(Vuong 等，1990；D'Avanzo，1982；Smith 等，1988a；Lin 等，1990)，它是当电路偏置时，由在材料中感应的电场引起的。这一效应是作为晶体管沟道电流调制或沟道电阻器中电流流动面实现的(Gray 等，1990；D'Avanzo，1982)。这个与侧栅和背栅有关的问题在很大程度上受到电路版图，特别是器件间距及相邻器件不同电压及背面条件(偏置或接地)的影响。

侧栅和背栅效应的一个附加现象是深能级的充放电。电场，像那些可能由 pn 结、离子注入隔离区、欧姆接触、耗尽区(肖特基势垒)等产生的，都导致各种深能级态(陷阱)的暴露。这种能级相对处于半导体能隙中的费米能级，如图10-18所示(Milnes，1973，和 Sze，1981. Chap. 1). 因为电场首先随偏置而改变，进而在器件工作时受到调制，深陷阱因能带的弯曲面充放电。这就导致器件中电荷的二次调制，产生周期为亚微秒至数分钟的瞬态响应。

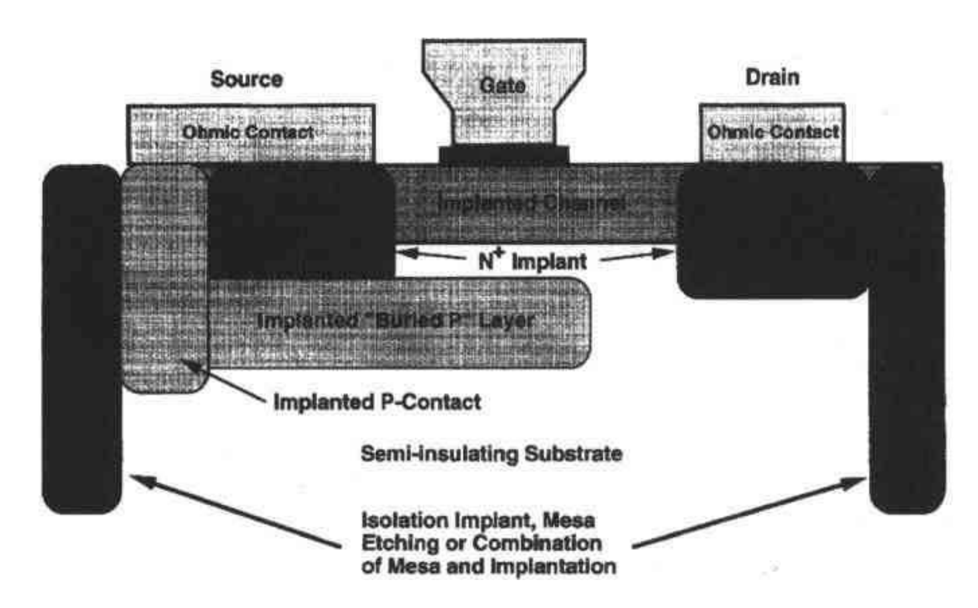


图10-17 用离子注入工艺隔离 FET 的剖面图(或台面刻蚀)。此器件有一典型的连至器件低电位的隐埋 p 型层。这可同时减轻侧栅效应。隐埋 p 型层必须通过一附加的靠近接触 n^+ 注入(或扩散)的 p 型离子注入形成接触。栅在沟道中偏离以减小源电阻

·p. 506·

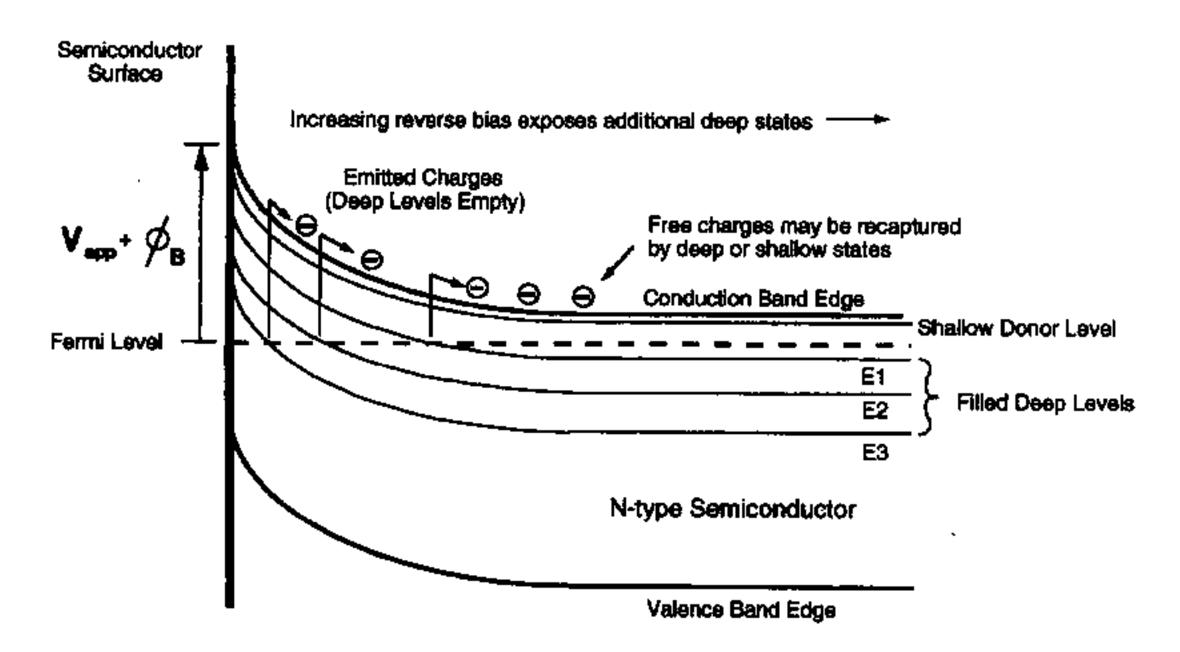


图10-18 n 型半导体的近表面带弯曲简图。浅施主是部分离化的。深能级占据费米能级附近$2kT$ 的范围,并填满与费米能级交叉点的以下部分。当这些态上升至费米能级 E_F 之上,电荷就以正比于它们各自的深度、温度、发射特性和能带弯曲度而发射。在弛豫过程中,电荷可能被重新俘获并再发射,导致了振荡条件

·p.507·

某些相互竞争的过程可能源自内部或有源区附近的深能级:1)电荷畴可在中等电场下由源接触(正极)发射,2)直流和交流电场可能调制深能级电荷条件(Milnes,1973)。例如在 GaAs 中,当相邻器件间电场超过500—1000Vcm^{-1}时,电荷畴可能产生并由欧姆接触而注入(Ridley 和 Watkins.1961;Ridley 和 Pratt,1965;Kaminska 等,1982)。这些电荷畴通过半绝缘衬底或缓冲层到达收集极触点(阴极)。这些电荷包的运动在栅极下感应出随时间变化的电场,并由此破坏受器件工作条件调制的沟道电荷分布[Fujisaki 和 Matsunaga(1988)]。

就场效应来说,有两个主要分量。直流贡献包括深能级态俘获和发射过程的平衡。通常这是相当慢的过程,它会导致偏置下的开态瞬变过长、器件的栓锁(latch-up)及反常的直流工作状态。这种准平衡的情况受到工作温度和由深能级的俘获、发射率及浓度造成的器件中温度分布的影响。电荷交换过程能够产生像 IC(集成电路)热量的瞬态响应的附加的时间常量。局部反常性可能在器件工作时产生集成电路热量耗散变化的不同区域。

交流效应本质上是深能级俘获及发射率与器件工作频率之间的共振。例如,在 GaAs 中,能隙中至少有20个已知的类电子和类空穴深能级(Martin 等,1977)。这样,对给定的温度、电场强度(偏置条件和电压摆幅)、有源层结构和电路版图,在器件内,部分陷阱可能被暴露,如图10-18所示。当器件对输入响应而改变状态时,在费米能级附近的陷阱的暴露就改变了,并促进陷阱的俘获和发射电荷,这就导致"共振"条件。深能级的电学表现为长时间常量效应、有害的瞬变响应、器件特性中的"振铃"(ringing)或器件增益的明显下降(Lin 等,1990;Vuong 等,1990;Smith 等,1988b)。

·p.508·

与此类似,背面或衬底偏置也能通过背面与沟道间的电场调制 FET 中的沟道电荷分布,从而影响器件的阈电压和电流驱动能力。此外,当电场被调制时,电荷在沟道中的分布会响应多个时间常量,它们是由占据的深能级陷阱的行为所决定的,特别是那些处在缓冲层——衬底界面(外延层),或注入离子分布的尾部的深能级。这些现象并不神秘:侧栅和背栅现象,无论是静态还是动态,都可能引起传输特性或夹断电阻的改变及晶体管的失效,如图10-19所示。在极端情况,侧栅能够影响整个3″(76mm)晶片的器件的性能(Gray,1989)。其典型的表现是:器件工作在所预期的性能水平以下,或当器件处于不同开关状态及施加电场时,显示出交互调制效应。这些现象已有很好或较好的了解(D'Avanzo,1982;Vuong 等1990;Smith 等,1988a;Ridley 和 Watkins,1961;Ridley 和 Pratt,1965;Milnes,1973)。

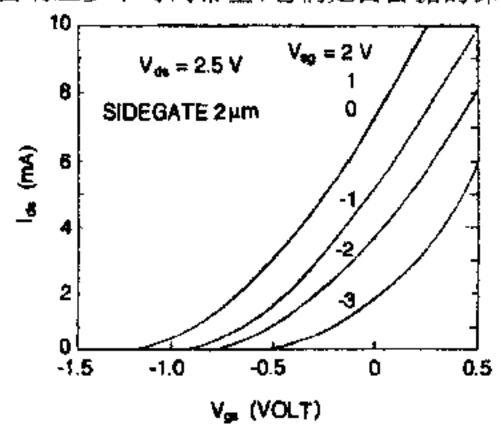


图10-19 侧栅电压对耗尽型 HFET 器件的 I_d 和 V_{gs}的影响。侧栅电压被加于距检测器件源极2μm 的独立电极上。应注意,负偏时它有有效地耗尽沟道电荷并引起沟道关闭的强效应。正偏时,侧栅电极引起的影响可以忽略

发明了一种高度有效隔离 GaAs 器件的方法:用 MBE 方法生长 LTB(low-temperature buffer)(Smith,1988a)层。这种方法利用极端非

平衡生长条件，在低温下生长外延层而产生延伸的缺陷结构。由此生长的材料几乎是完全非活性的，包括电学及光学二者(Kaminska 等，1989)。Smith 等(1988b)发现，直流隔离特性和直流抗侧栅特性有很大改善：在$10kVcm^{-1}$电场下，交互作用可以忽略。然而，在这些缓冲层上制作的电路的高频性能会受到极大影响，除非其它测量取自那些有源区远离低温缓冲层的器件。人们发现，用标准工艺制造的集成电路，使用了 LTB 结构而没有有效的与 LTB 隔离，当在1GHz 下工作时，将慢至1kHz 的频率范围(Lin 等，1990)。产生这一影响的原因是陷阱电子的俘获和发射具有很长的时间常量。为了克服这些影响，必须有第二层相对厚的缓冲层生长在 LTB 层的顶部，以尽量减小其对晶体管电荷输运性质的影响(Smith 等，1988a，b)。此后，器件还需横向隔离，以克服或减轻通常的侧栅效应。

控制和消除基于化合物半导体的集成电路中的交互作用的重要性相继地成为研究 GaAs 中与陷阱有关的半绝缘特性和其它 Ⅲ-Ⅴ 族半导体中类似效应的驱动力。至今，已有许多方法可以减轻侧栅和背栅效应，但是它们似乎与确定的化合物半导体材料的性质及其缺陷结构，以及对其半绝缘行为的可预测性不同，侧栅和背栅效应不可能完全消除。

·p. 509·

10.4 扩　　散

扩散和杂质再分布是非常重要的，并且是器件制造过程的必然结果。扩散始终是一个被广泛研究的课题(Tuck，1988)。在某些制造工序中，需要有目的的杂质扩散。然而，往往存在这种情况，杂质扩散及在晶片上或晶片中材料间杂质的相互作用是非常不希望有的。例如，当杂质扩散时，p-n 结的突变性变差，且电学结和物理(化学)结可能偏移。在异质结双极晶体管(HBT)结构中，上述类型的对中偏移严重地影响器件的电学性能和器件性能(Ali 和 Gupta，1991)。金在欧姆接触区的快速内扩散会因穿通(punch-through)或钉子效应("spiking")或横向迁移引起器件的失效(Zeng 和 Chung，1982)。HFET 器件中硅施主的再分布会改变 沟道中电荷的分布，使器件的阈电压和跨导改变，并影响沟道的电流驱动能力[Daembkes(1991)]。

扩散行为用所谓的扩散系数参数表征，并主要决定于晶格中母体原子和杂质原子的化学势和杂质浓度。晶体的缺陷，如空位、间隙、杂质原子相对于晶格原子的物理尺寸，键强度以及杂质所处晶格间隙的大小，都会影响杂质原子的迁移特性及扩散过程。扩散过程在数学上用几个经验关系，即所谓的菲克定律表示。第一定律考虑一维的扩散物种流，J，在 t 时刻 x 方向通过一个平面时：

$$J = -D\left(\frac{dC}{dx}\right)_t \tag{10-1}$$

其中，C 是浓度，dC/dx 是浓度梯度，D 是扩散率。方程(10-1)描述扩散的驱动力：浓度梯度，即化学势差，从动力学观点来看，当系统达到平衡时，它必然变得可以忽略。方程(10-1)简单由图10-20说明。给定物种在晶格中运动的难易程度用扩散率来表示。

菲克第二定律与浓度分布随时间的变化有关从(10-1)式导出，

$$\frac{dC}{dt} = \frac{d}{dx}\left(D\frac{dC}{dx}\right) \tag{10-2}$$

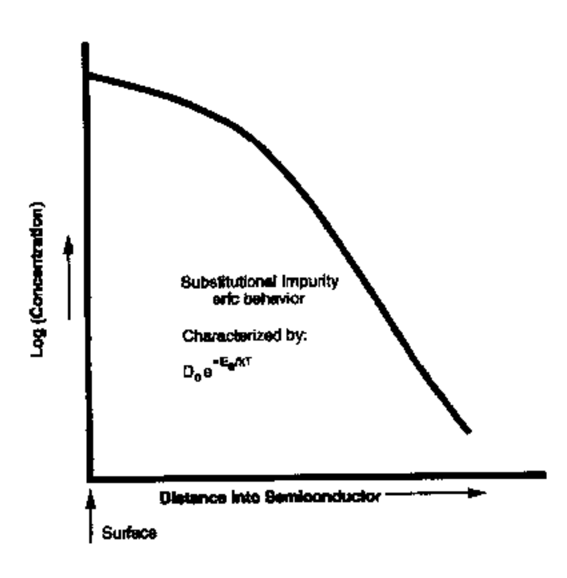


图10-20　余误差扩散分布简图，以单一的扩散常量 D_0和唯一的激活能 E_a 表示，k 和 T 具有通常的含义

(10-2)式描述：1)材料在晶格中的再分布有多快和2)浓度分布是时间和距离的函数。使用梯度算符，(10-1)式和(10-2)式可以适当推广为在晶格中真实三维扩散行为。这一描述隐含着扩散过程对温度的敏感性，因为它是以扩散率来估算的。

·p. 510·

扩散率定义为

$$D = D_0\exp(-E_a/kT) \qquad (10\text{-}3)$$

其中，D_0是扩散常量，E_a 是扩散过程的激活能，k 是玻尔兹曼常量，T 是绝对温度。此外，扩散率有时还决定于浓度，通常在较大浓度时变大，因此为实现温度升高时扩散过程的稳定性，就要求杂质标样具有大的激活能和小的扩散常量[Tuck(1988)或 Shewmon(1963)]。

在化合物半导体中，大多数杂质的分离系数小于1，这意味着附加的杂质外扩散的驱动力。因此杂质存在而造成晶格的无序，归因于晶格原子尺寸上的差异和它们在化学上的不相容性。多余的能量倾向使杂质原子离开晶格。自由表面或因物理上的失配而处在应变下的表面或界面(异质结、介质层、金属等)也为扩散提供附加的能量，可能成为扩散物种的漏。此外，固溶度多限定晶粒中稳定杂质浓度的上限：高于此限的浓度将增强驱动力而发生杂质的再分布、沉积、位交换过程和电学补偿。在 GaAs 中观察到，IV 和 VI 族施主类标样的扩散率通常很小，而 I 族受主标样倾向于更快的扩散。碳作为一种 IV 族受主，是明显的例外，它在多数化合物半导体晶格中却很稳定。(Schubert，1990；Schubert 等，1990)。

当升高温度时，在化合物材料的制作过程中增加了两种倾向，即增大了晶格原子的振动频率和化合物半导体材料中的位错。原子在化合物半导体晶格中的运动可能产生各种电活性点缺陷(Hurle，1997；Van Vechten，1975)，且扩散可能引起所不希望的杂质原子的再分布。作为结果，材料的电学性质可能以无法控制的方式发生变化。对于化合物材料 GaAs 和 InP，当温度分别大于600℃或475℃时，挥发率是很显著的(Panish，1974)。这主要是由于 V 族标样在基质材料中的高分压，如图10-21所示[after Thurmond(1965)]。这一图的关键之点在于相干分解压力附近的区域。使用控制各种物种分压的方法，材料的分解可以被抑制。没有什么方法可以在高温过程中保护材料的表面区域(无论是包层还是 V 族物种的高分压)，表面分解而产生一个金属富集的表面，增加了表面层的溶解，并破坏了半导体的性质。最关键的是保证对多数化合物半导体材料采用最小化的热处理过程。RTA (rapid thermal annealing)周期或低热耗(即尽可能低的温度和最少的时间)过程被采用，以保证表面区的杂质分布及材料的完整性。

·p. 511·

为了成功制作器件，了解晶格中施主和受主杂质的稳定性是至关重要的。这些杂质的

扩散系数值在外延生长，离子注入退火和晶片的制造工艺流程中的温度处于10^{-3}—$10^{-6}cm^2s^{-1}$的范围。可见，多数标样在晶格中都运动得相当快(Tuck，1988，Chaps. 4，5；Shewmon，1963)。例如，外延生长 MESFET 器件的工艺流程的优点是，它能最小化热量集聚，只引起有限的杂质再分布。对比类似的离子注入 MESFET 工艺，总热量和最高温度对杂质分布及由此导致的电荷分布及器件特性都是十分重要的，特别是对器件在高速或低噪声条件下的工作。

另一方面，自对准 MESFET 和 HFET 器件的高温扩散炉或快速热退火，在使用难熔栅金属时，是需要的且易于实现的。难熔金属与多数化合物半导体的低反应率和稳定性允许处理温度提高至800℃以上(对 GaAs 来说)，这足以退除离子注入损伤，消除晶格无序和激活杂质(Dautremont-Smith 等，1990；Yamasaki 等，1982；Shimura 等…，1992)。与此同时，为沟道提供电荷的杂质可能扩散很长的距离(数+nm)，这就导致不可控的器件特性和差的器件性能，因此强调严格控制和了解时间-温度周期的影响是必不可少的。

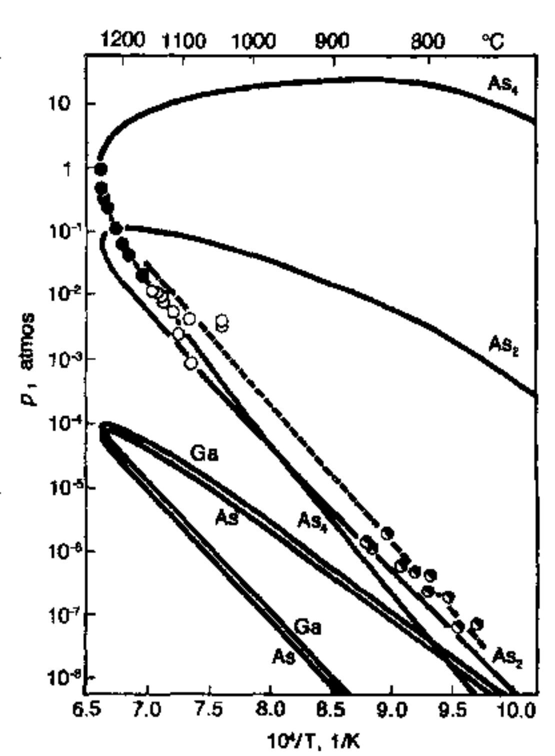


图10-21 在 GaAs 中，As，Ga，As_2和 As_4的平衡蒸气压(以大气压为单位)作为10^4T^{-1}的函数。总砷压(主要指 As_4)在熔点1238℃近似为1个大气压(即10^5Nm^{-2})[图源自 Thurmond(1965)，重印获得© Pergamon press. 的许可]

·p. 512·

退火时，硅在 GaAs/AlGaAs 异质结构材料中的再分布得到研究(Schubert 等，1988，1990)。并发现，800℃时，硅在 AlGaAs 中的扩散率约为 GaAs 中的10倍，这对器件结构特性，特别是 HFET 器件予以最大的限制。后者可以引入阻止层(Setback)，有意将杂质与沟道分开，以保持离化施主与势阱的电子分开(Sequeria 等，1990；Bar 等，1993；Danzilio 等，1992)。在标准的退火过程中，硅原子可能扩散多于1—15nm，从而使相当一部分硅原子进入沟道区。这一现象将导致电子迁移率的下降并损伤器件的电学性能。

在化合物半导体中，大多数受主原子的反常扩散行为之一是双扩散前沿(Tuck，1988；Gösele 和 Moorhead，1981)。在此情况，杂质至少表现为具有两种不同的扩散率值。这一现象可用扩散杂质的间隙性和代位性加以解释。间隙在晶格中运动有更低的激活能，因此具有更大的扩散系数，它们在晶格中运动不要求原子的位置交换(Gösele and Moorhead. 1981；Small 等，1982)。因此，间隙原子在晶格基质材料中运动非常快。而另一方面，代位杂质则需要空位存在或与邻近的晶格原子进行位置交换才能运动。这种交换过程需要额外的能量和数个原子的协同动作。对于这种过程，需要较大的激活能。位置交换的几率是小的，代位扩散很慢。锌在 GaAs 中的双重扩散行为示子图10-22。显然，这种情况至

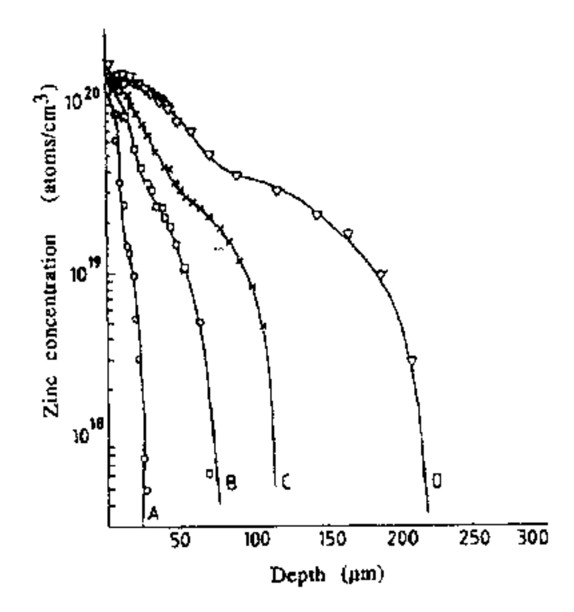


图10-22 1000℃时 Zinc 在 GaAs 中的实验扩散分布图。A，B，C，D 分别代表10min、90min、3h 和9h 后的 Znic 浓度分布，请注意，对每一情况都存在两个不同的浓度分布区。[复制于 Tuck(1988)，获准重印 Adam Hilger IOP，© 1988.]。这里对原始出版的坐标轴标度进行了修正

少有两种机理在起作用，具有不同的扩散率值及相对不同的间隙和代位杂质浓度。

为了理解如 Mg，Zn 和 Be 的反常扩散行为，进行了某些研究(Small 等，1982；Cunnel 和 Gooch，1960；Gösele 和 Moorhead，1981)。目前，虽然双重扩散前沿的解释已得到普遍接受，但是要精确理解这一过程，它引起杂质同时选择两种不同的扩散路径，仍需进一步加以阐明。由于器件工艺的不断进步，更稳定的杂质，如碳用作受主掺杂剂。但是它并非万能，对某些3元和4元化合物半导体，其掺杂效率是相当有限的。

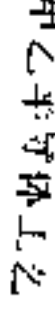
·p. 513·

如上所述，不可控的杂质再分布能够严重影响器件的性能。这一效应在一种更苛求的器件结构中，即异质结双极晶体管(HBT)，经常遇到(Ail 和 Gupta，1991)。归功于"带隙工程"(Capasso，1987，1990)及 GaAs 和 InP 基的三元化合物的性质，基于上述材料的 HBT 器件开关速度达数百 GHz，比同类的硅基器件高很多倍(Nubling 等，1989；Nottenberg 等，1989)。许多 HBT 器件使用 MBE 外延材料制作，用 Be 作为基区掺杂物种(Kim 等1988；Miller 和 Asbeck，1985；Streit，1992)。在对 Be 掺杂基区的 HBT 的性能研究及 Be 在 GaAs 中的基本扩散过程的研究中显示，杂质扩散非常快(Hafizi 等，1990)。这就向晶体生长人员和器件制作工程师提出一个难题。杂质的再分布可能在晶体生长期间，甚至中等的热处理及随后的器件工作期间发生。后一效应是由器件的结温升高及器件中的高电场引起的(Ali 和 Gupta，1991)。

Be 扩散结果使 pn 结发生不可控移动，提供了不适合器件应用的材料(Hafizi 等，1990；Yin 等，1990)。由观察得知 Be 原子在晶格中的再分布是如此的严重，使得这一 p 型基区掺杂方法对于可控的重复性好的 HBT 器件制造本质上不实用(Miller 和 Asbeck，1985)。Streit 等(1992)宣称在用 MBE 生长 HBT 结构时，通过控制确定的生长参数解决了 Be 再分布问题。其它 p 型过渡金属也显示出与 Be 类似的行为，但是由于同一原因一般均不采用。加速寿命实验显示，Be 掺杂基区 HBT 在中等功率条件下可以具有相对稳定的自扩散失效机理，如图10-23所示(Yamada 等，1994)。他们发现失效发生在(加速寿命实验条件)工作300h，230℃温度，1.4eV 的表观激活能时，由此可以推至125℃结温时的寿命为10^6—10^7h。

·p. 514·

然而，碳发现在化合物半导体中非常稳定，因此对大多数Ⅲ-Ⅴ材料的 p 型掺杂来说，



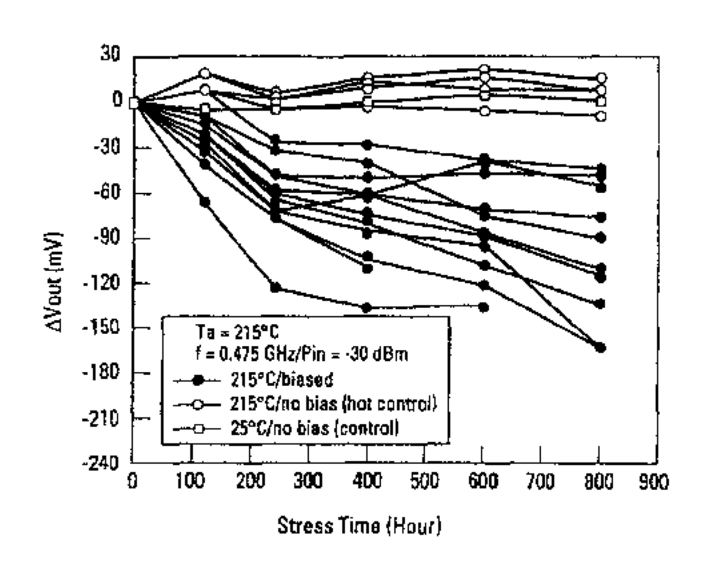


图10-23 基于 HBT 的电路输出电压作为215℃下应力时间的函数变化简图。没有受到电流应力部分表示为空心环和块。有电流位置的部分用实心圆表示。215℃时，电路输出的退火发生在800h。这指示 eb 结的变化或杂质扩散对发射极接触电阻的调制[复制于 Yamana 等(1994)。获准再版©1994 IEEE.]

碳似乎是一种实际的替代选择(Abernathy 等，1989；Malik 等，1989；Quinn，1992—1993)。碳可以用离子注入或在晶体生长的同时被加入，这些生长技术包括 MOCVD 或基于气态源的 MBE 方法(化学束外延——CBE 或气体源 MBE——GSMBE)(Abernathy 等，1989；George 等，1991)。某些固态碳被制造并用于标准的 MBE 晶体生长(EPI/Chorus，1994；Malik 等，1989)。实现超过$10^{20}cm^{-3}$的 HBT 基区层空穴浓度，且没有明显的扩散和杂质再分布。然而，在如此高的碳浓度下(高于3×10^{19}—$5\times10^{19}cm^{-3}$，George 等，1991)，发生了明显的晶格收缩及因散射引起的空穴迁移率的严重下降(Quinn，1992—1993)对于如此高的碳浓度，在基区中形成大量的线缺陷，带来器件长期可靠性的严重问题。

鉴于此节所提到的问题，在化合物半导体工艺中仅保留数目有限的很少的基区扩散的制造过程。例如，JFET 的制造流程是使用 p 型杂质扩散产生结，或在 n 型材料中借助外延或离子注入形成高掺杂的 p 型接触区(Zuleeg 等，1984，1990；Wada 等，1989)。这些扩散过程与基子硅的制造流程所用的方法类似，重要的不同是它们要求对工艺条件进行非常灵敏的控制。这是由于锌或铍受主物种的大扩散率及需要阻止Ⅴ族元素大的蒸气压而引起材料的挥发。

考虑可靠性问题时，同样与杂质的高扩散率相关：在器件有源区内任何杂质和缺陷的明显的再分布都将使器件的性能退化，并导致区域失效(Hafiai 等，1990；GaAsIC，1992，1993a)。这在 HBT 中观察到，例如，当器件在中等至高应力条件下工作时，器件特性很快退化。这种退化归因于热及电场引起 Be 离子的漂移造成的 Be 原子的再分布(Miller 和 Asbeck，1985；Hafizi 等，1990)。

10.5 刻蚀技术

材料的去除可用“湿法”化学或“干法”(气相或等离子体/溅射)技术完成。刻蚀通常用来刻有源和无源元件的图形及形成电接触,栅的凹坑及通道。最关键的问题是使刻蚀产生的图形具最优的形貌,并与随后的制作工艺相容。选择湿法还是干法技术取决于制造工艺流程、所需的刻蚀控制精度、材料的相容性及选择靶材料适合的腐蚀剂的可行性,该腐蚀剂应对掩蔽层或刻蚀终止层没有或只有很弱的腐蚀性。另一个要考虑的是控制对掩蔽层下方材料的钻蚀(维控制)、各向异性图形的产生和工艺允许的宽容度。

·p. 515·

刻蚀是在 IC 制造过程中重复使用的关键技术。各种腐蚀剂和刻蚀方法在制作工艺流程中用于限定图形成一般性刻蚀过程。腐蚀剂和刻蚀工艺的各向异性和选择性是非常关键和有用的。刻蚀化学对晶体结构的敏感性被用来形成有选择的倾斜的侧墙,以产生平缓的金属覆盖或控制钻蚀,以防止金属在此处可能发生的断裂(参阅 Sec. 10. 9.)。同时,在抗蚀剂下的钻蚀在横向去除半导体或金属,可能引起所不希望的刻蚀图形发胖或缩小。

无论在湿法或干法刻蚀中,反应产物在刻蚀的所有方面中都是重要的。这种副产品可能妨碍腐蚀剂与表面原子的接触。它们产生于各个暴露晶面上而产生各向异性效应,或完成阻止刻蚀过程的进行。反应产物键合到材料的表面能够改变腐蚀特性。在湿法过程中,反应产物不断溶入腐蚀液中改变了溶液的 pH 值,并改变腐蚀速率和腐蚀剂的化学活性。与此类似,由反应物种产生的等离子体的反应堆渣可以神奇地改变干法刻蚀过程的效果。对于开发可视的、可控的和重复性的刻蚀工艺,综合考虑以上这些竞争的效应是关键因素。

对于干法和湿法刻蚀工艺,在典型工艺流程中的主要限制是不能很容易地刻蚀金,而金是化合物半导体器件制造过程中用到的主要金属之一。然而,离子铣或浮脱工艺在金的金属化中产生相当满意的结果,即使是非常细的几何图形。还应留意到,为了克服使用金的金属化的浮脱工艺的限制,人们对直接使用铝基金属化互连方案(Vitesse,1990,1995)及使用钛或钨基金属方面做了极大的努力(GaAsIC,1993b;Dautremont-Smith 等,1990)。溅射方法在制造过程中也被用于各种层的刻蚀。在这种情况,工艺成功的关键是要求刻蚀的材料相对于掩蔽材料的溅射速度比(Melliar-Smith 和 Mogab,1978;Chapman,1980)。

化合物半导体材料的化学各向异性在形成刻蚀结构上起到关键作用。被刻蚀图形的形状可能受到极性的 Ⅲ-Ⅴ 或 Ⅱ-Ⅵ 闪锌矿或纤锌矿晶格及腐蚀剂的各向异性行为的强烈影响。对于 GaAs,各向异性效应更加复杂,因为对子衬底取向存在两种标准。这两种选择的标识为“SEMIUS”(楔形)和“SEMJE/J”(鸽尾形)(SEMI 标准,1989)。按照 SEMI 标准,这两种特殊性具有相同的电学和物理性质,只不过它们绕⟨100⟩轴彼此旋转90°,如图10-24所示。结果,相同的化学腐蚀剂在这两种结构配置下可能产生不同的腐蚀图形(旋转90°)。为确保形成所要求的图形,了解腐蚀剂与表面层的相互作用是很关键的。

·p.516·

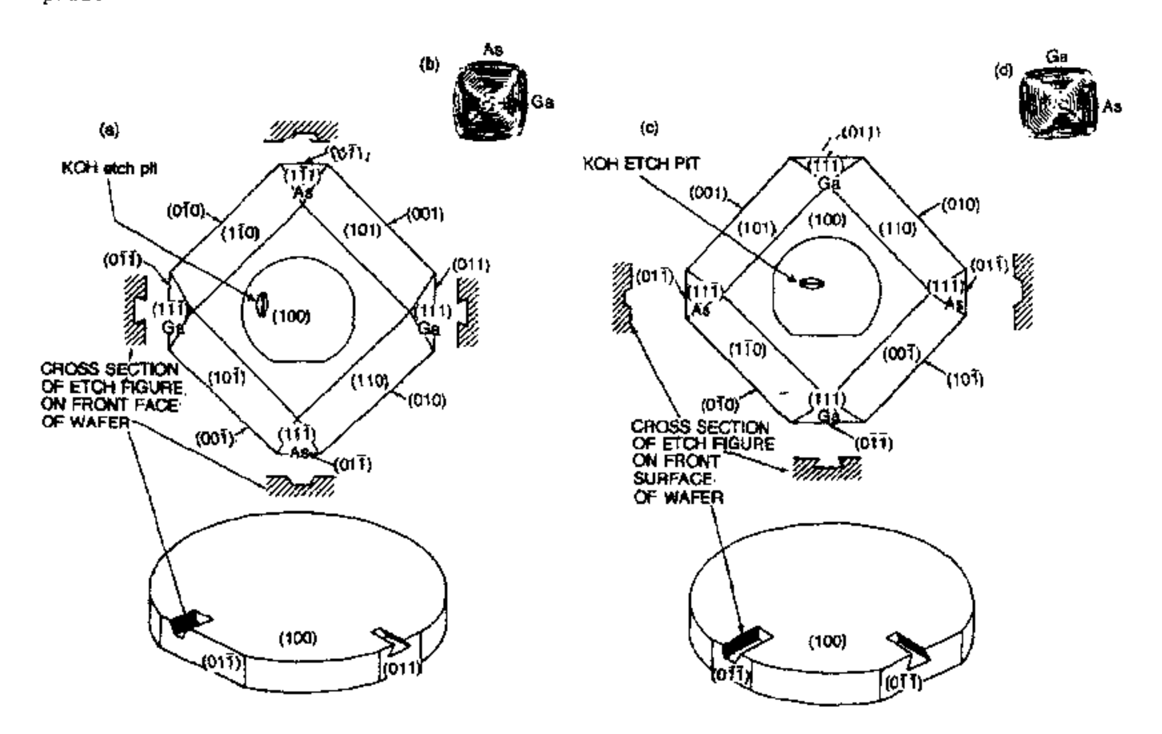


图10-24　对 GaAs 衬底的两种结构配置的晶向示意图。每一取向的每一腐蚀坑结构示于图(b)和(d)，及晶体平面的中心部分。晶体对于中心轴的腐蚀响应用 V 型条和鸽尾腐蚀的相对位置表示。(a)为 V 型选择(定为 US 标准)；(c)为鸽尾形选择(定为 E/J 标准)。注意到较小平面在两种取向中(腐蚀晶面)是相反的，呈180°角

10.5.1　湿法腐蚀

除去表面区的不需要的材料可使用适当的化学溶液(如酸或其稀释液)。腐蚀剂溶液必须持续地与靶材料接触，典型的是必须搅拌或喷洒在晶片表面，以确保在表面不断补充腐蚀剂并移去副产品(Shaw，1981；Stirland 和 Straughan，1976；Iida 和 Ito，1971；Mukherjee 和 Woodard，1985)。所观察到的搅拌的效果是腐蚀速率较不流动的溶液明显加快，如图10-25所示。为了确保腐蚀工艺的重复性和可控性，必须采用某些控制腐蚀过程速率和均匀性的方法，使腐蚀腐蚀剂中性化并完全去除副产品。

腐蚀通过氧化过程及随后反应物的溶解过程而进行。腐蚀液一般含有氧化剂和溶剂以及被氧化的物种和反应物相对易溶的材料。某些混和剂或缓冲剂可以加入，以稳定腐蚀剂的化学性能。去离子水通常作为稀释剂。湿法腐蚀控制的关键在于溶液和半导体表面之间的界面处的边界层。对边界区的简略了解可通过图10-26。边界层通过氧化-溶解周期的交换速率来控制腐蚀过程。

·p.517·

对于特别严格的腐蚀过程，例如栅的腐蚀，可以首先加入氧化剂，随后才是溶液，这样除去的仅是一表面薄层，而不是保持恒定的腐蚀速率。重复这一过程最终导致阶梯式地接近椒的凹坑的深度和形状。表10-4给出一些适于化合物半导体材料使用的液体溶剂。特殊化学药品的选择取决于在制造流程中图形及所要求的控制精度。

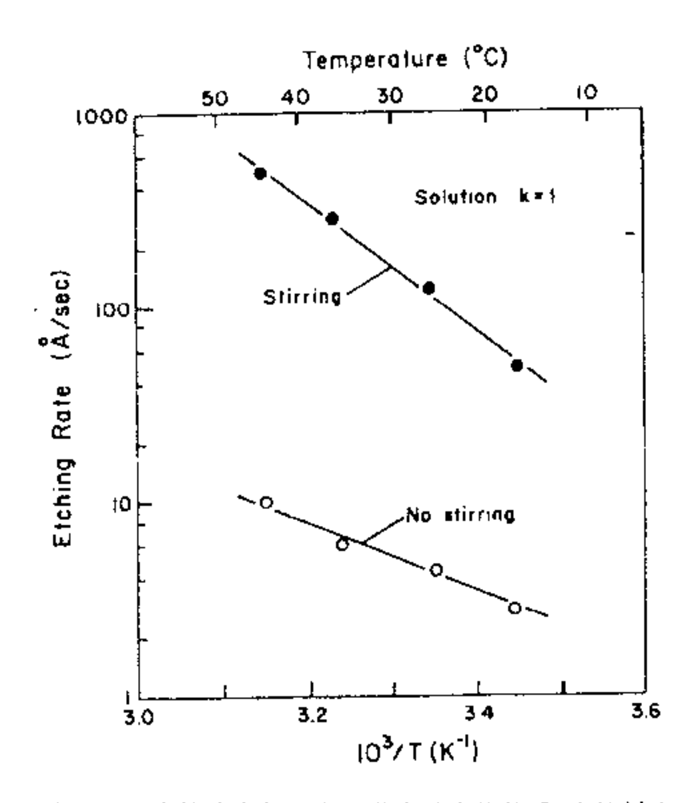


图10-25　腐蚀速率与温度和强迫对流的关系。腐蚀剂为H_2SO_4-H_2O_2-H_2O(8:1:1)，外加一定量的50%重量比的柠檬酸。H_2O_2(30%)对柠檬酸的体积比是1:1(在图中$k=1$)。可以看到搅拌的作用大小可与温度相比，温度用来控制腐蚀剂和腐蚀速率[复制于 Howes 和 Morgan(1985)]

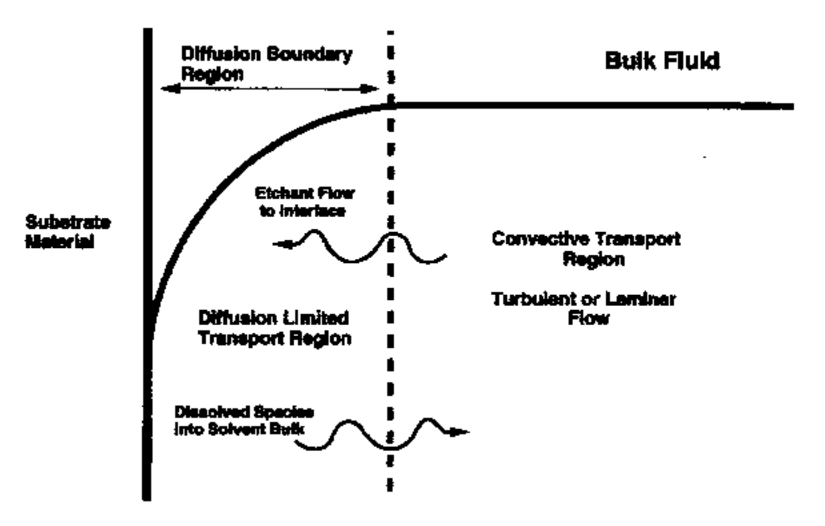


图10-26　在腐蚀过程中邻近半导体界面区的示意简图。扩散边界层控制反应物到达和离开界面区域。类似的图可用于气相化学反应。在体气相反应中，可用变化的平均自由程和非常高的对流速率

·p. 518·

在湿法刻蚀中有两种基本的限制机制：扩散控制和反应速率限制过程。在扩散控制的情况，反应物被送至界面而反应产物由界面取走的输运过程由扩散边界层调整至适中。对材料输运限制腐蚀速率的情况，液体中的扩散系数典型地处于$10^{-5}cm^2s^{-1}$的范围。因此材料到达对流为主液体(～cm s^{-1}的速度)可能用相当长的时间。此外，腐蚀开始也存在一个潜伏时间，即由于表面层的阻碍或界面化学的不平衡，需要一定的时间以达到稳定的腐蚀条件。典型的湿法腐蚀速率为几个 nm/min 至数 μm/min，这决定于腐蚀剂的搅拌和稀释等因素。例如关键的栅刻蚀工艺，所用的腐蚀速率应该很慢。与此相比，对于背面的穿通腐蚀，这需要非常高的腐蚀速率，腐蚀深度由25μm(～1mil)到衬底的350μm(～14mil)。同时，还要求高度的各向异性，以阻止横向扩展和钻蚀。

表10-4 化合物半导体的常用腐蚀剂组分

化学分子式	比 例	参考文献
$NH_4OH:H_2O_2:H_2O$	1:2:20	Shaw(1981)
	3:1:50	Gannon 和 Neuse(1974)
$H_2SO_4:H_2O_2:H_2O$	5:1:1	Adachi 和 Oe(1983)
	1:8:40	Shaw(1981)
$HCl:HNO_3$	1:3	Adachi 和 Oe(1983)
$HF:HNO_3:H_2O_2$	1:5:10	Adachi 和 Oe(1983)
$H_3PO_4:H_2O_2:H_2O$	5:1:20	Adachi 和 Oe(1983)
	1:9:1	Mori 和 Watanabe(1978)
Br-MeOH	1:100	Adachi 和 Oe(1983)

扩散限制腐蚀剂一般来说是相对各向同性的，因为表面反应速率比扩散边界层的驻留时间小几个数量级。搅拌过程会强烈影响扩散限制过程的腐蚀速度，因为扩散边界层厚度很容易被强迫对流过程所调制(参阅图10-26)。因此在湿法腐蚀过程中必须用心操作，以确保稳定、均匀和重复的腐蚀条件。

在反应速率限制情况，溶解速率是由界面处的化学相互作用速率决定的。典型的反应速率控制腐蚀剂是各向异性的，因为表面反应受到表面处可利用的自由电子的调制。腐蚀决定于表面原子密度、原子组态、掺杂浓度和可能发生的表面重构。一般来说，对流对反应速度限制腐蚀只有很小的影响，因为腐蚀剂输运到表面一般不会影响反应的进行，除非溶液是非常稀的。反应速率控制腐蚀剂可能保持腐蚀开始所存在的图形，或者，也是更经常发生的，因结晶学的效应影响局部的腐蚀速率而发展为各向异性的形状。

·p. 519·

反应速率控制腐蚀剂表现出很强的各向异性，这对于限定栅、台面、通路凹陷或其它高宽深比的图形非常有利，但是非常不适于平面化表面和晶体生长前表面的制备。在任何情况下，形成保留的氧化层都会妨碍界面反应和材料的输运，从而影响这两过程的腐蚀速率。

湿法腐蚀一般对温度也非常敏感，如图10-25所示，可能对高于带隙能量的光照也敏感(产生电子-空穴对)。腐蚀反应速率当温度升高时几乎总是增加，尽管在较高温度下，加速了腐蚀剂溶液的耗尽或消耗(Otsubo 等，1976)。反应速率限制过程比扩散限制溶液对温度敏感得多。在腐蚀期间，表面反应包含大量化学键的破裂，因此有能量的释放。伴随腐蚀过程的温度升高可能加快局部和整体的腐蚀速率，这决定于腐蚀速率和反应释放出的净自由能。因此要保证稳定的腐蚀条件，应向表面区提供大量的腐蚀剂及精确的温度控制。光敏性通过表面区电子-空穴对的产生而表现出来，它会影响半导体-腐蚀剂界面处的

电荷交换过程。接近或高于带隙能量的存在能增加腐蚀速率或因表面电荷密度不同而产生各向异性的效果。所以必须细心控制对晶片的光照、光强度和光谱范围，以保证重复的腐蚀过程。

使用湿法腐蚀的一个困难是保持化学性质和反应条件的重复性。在湿法刻蚀工艺中可能发生的一些问题：腐蚀剂的敏感性、温度溶液的 pH 值、化学药品的消耗、光的存在、钝化层和所用的方法，例如浸入、搅拌、喷洒、旋转等。腐蚀剂溶液随使用和长期存放（在存储、加热和暴露在大气中而使化学成分破坏）而耗尽（缓冲剂可以减缓这一过程）。化学势改变（pH 值变化）和使标样稀释（因水和其它沾污物）在反应时发生，从而使溶液变稀。适当波长的光照在表面产生电子-空穴对或有助于破坏化学键而使刻蚀速率成倍增加。持续增加电荷密度（掺杂标样）几乎总是使表面反应速率加大。

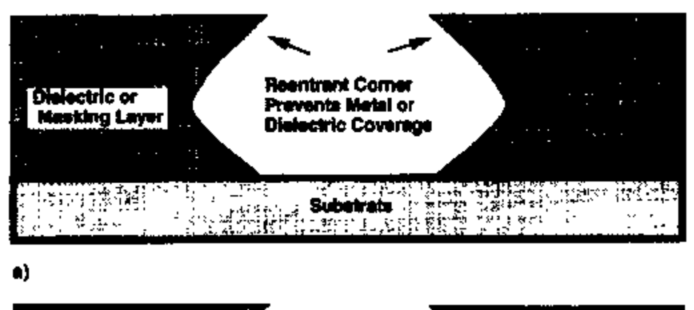
湿法腐蚀溶液经常产生气态副产品（如：H_2，O_2，Cl_2，Br_2或其它挥发物质）。晶片表面气泡的形成和破裂可能阻碍或加速腐蚀过程，这决定于表面反应的性质。气泡现象可能引起整个晶片表面的不均匀腐蚀，并能损害表面区的外观。例如，由于腐蚀剂的滞留会在掩模边缘及开孔区形成“钉子”(Shin 和 Economou，1991)。搅拌和晃动可在某种程度上减轻这一问题。应用喷洒方法可避免浸入型腐蚀浴槽的某些困难，并可产生重复性好面可控的腐蚀过程的上佳结果(Grim，1989，1990)。

·p. 520·

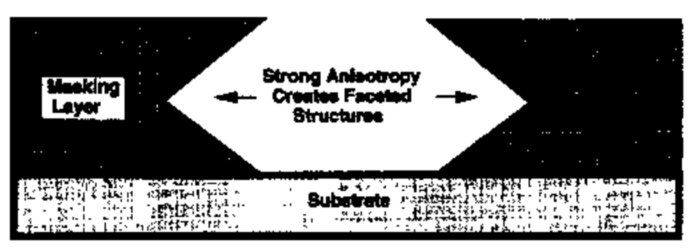
阳极腐蚀是用可控方式去除表面原子的另一方法。晶片配合一个电接触，并浸入某腐蚀溶液中，然后加偏置产生一个表面耗尽区。阳极反应产生界面电荷，与外场平衡。在腐蚀过程中，整个晶片的表面势逐渐相等，即相对均匀的表面氧化物生成了。随后这一氧化物可被适当的溶剂除去，这一过程一直重复下去，直至所要求量的材料被除去。从原理上讲，这种方法是很易控制的。但在实际中，出现的问题是局部表面势的变化、非均匀的电流分布、局部电荷效应（例如 n 或 p 区，半绝缘区等）、剩余物、表面沾污影响及金属的存在，这些都使对腐蚀均匀性的控制变得复杂化。GaAs 和 InP 这些在 IC 制造中使用的高电阻率衬底产生的问题可以归结为对合理的偏置下所允许的有限电流。进一步说，腐蚀是在分离的步骤中发生的，每一步产生不连续的厚度改变，这就大大延长了腐蚀周期。

与湿法刻蚀有关的一些其它问题是由于毛细管效应和化学各向异性所引起表面层或掩模下的钻蚀。表面张力、粘滞性、各向异性、溶解度和对流学综合效果，导致对腐蚀过程的临界尺寸、形貌和均匀性的抑制等的控制变劣。毛细效应可能引起图形周边尺寸的膨胀和内部图形的收缩。当人们把腐蚀剂从表面漂去时，这些现象也影响对腐蚀终点的控制。晶格及腐蚀剂的各向异性及与流动有关的效应和表面张力效应都可能对刻蚀图形产生重要影响。一些不同形状的图形说明示于图10-27。

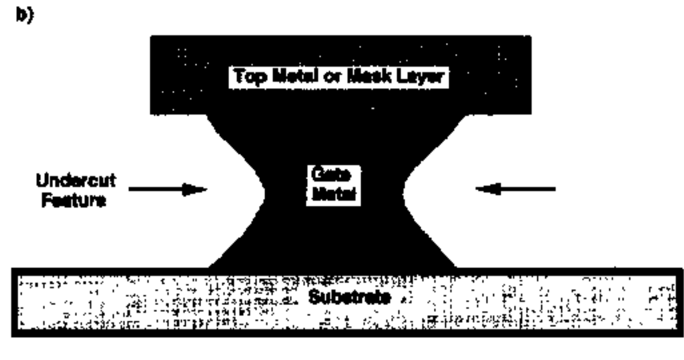
一旦所需要的反应化学被确定和了解，晶片就可按程序用湿法刻蚀制作。腐蚀栅、通道、台面和沟道都是颇为相似的过程，其目的分别是产生内孔或台面，以形成栅凹槽为目的的表面、互连通路的孔和器件间的隔离等等。湿法刻蚀可以用于腐蚀限定形成在表面层上或内的电阻器，虽然这一过程一般倾向使用于法技术（参阅10.5.2节）。此外，湿法工艺典型被用于在生长晶体或制造工艺之前制备衬底表面。对于更多的信息请参阅 Williams 的著作(1990，Chap. 5)。



a)



b)



c)

图10-27　湿法或干法刻蚀技术可能产生的各种腐蚀形状的简单说明。a)显示严重的钻蚀(undercut)形状。这种形状对金属的浮脱工艺(lift-off)是理想的,但是对金属和介质覆盖是不希望有的。b)给出晶体的各向异性为主的腐蚀过程,腐蚀所产生的形貌受到{111}晶面的限制。c)显示非常小的图形的形成方法:钻蚀掩蔽层下的材料。当材料从要求的材料暴露的侧边去除时,图形本质上小于掩模线所形成的图形。产生垂直侧墙、选择性形成的弯曲侧墙或钻蚀图形,或进行高选择性的刻蚀过程,这取决于腐蚀条件、各向异性和反应化学。

10.5.2　干法刻蚀

化合物半导体材料的干法刻蚀包括一些基于等离子体的表面分解的通用方法:溅射、等离子体刻蚀(PE)、反应离子体刻蚀(RIE),和电子回旋共振刻蚀(ECRE)。所有这些刻蚀技术包含激励或反应性化学物种的产生,它们选择性地物理溅射或与靶材料反应,而极少影响掩模材料及希望保留的材料。成功的干法刻蚀工艺需要用心地选择反应物种、刻蚀条件、时间,和气体混合的控制及温度。

·p. 521·

典型的干法刻蚀是在减压环境下实现的。高抽速的真空泵(用于保持低压)、高压电源,用于限制强场的电极板,控制适当气体和离子源的引入(如果需要)及对过程的监视都

是需要的。这些设备存在多种结构，但是所有设备都含有相同的基本部件。一个一般化的系统结构示于图10-28。干法刻蚀适合于大多数制造化合物半导体集成电路工艺流程中使用的材料。与湿法腐蚀类似，金是不能用等离子体刻蚀的，虽然金可用溅射方法刻蚀。

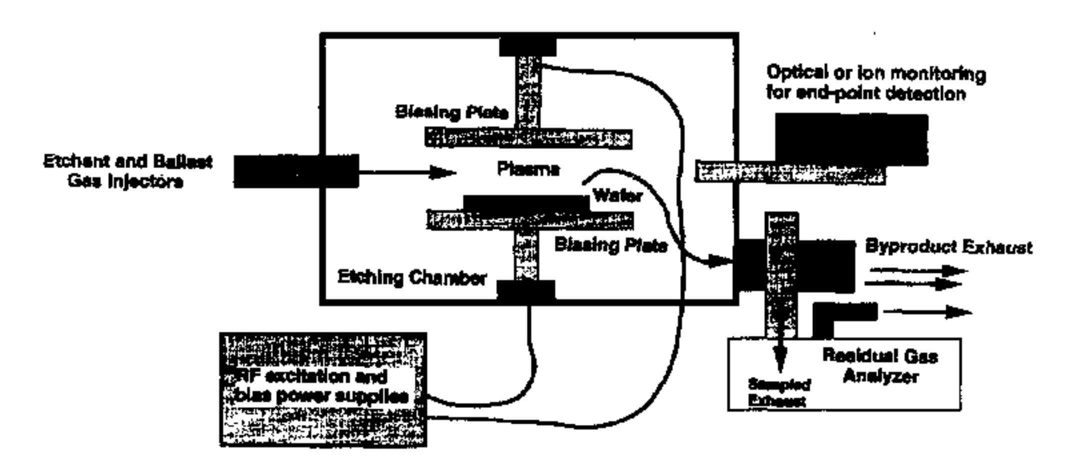


图10-28　一般化等离子体刻蚀系统示意图。含有强烈反应离子的等离子体用RF激励产生，并具有选定的直流偏置。反应气体引入等离子体区，保持在动态真空条件下。在此配置下，离子直接轰击在晶片表面，并在半导体中感生损伤。携载或填充气体被用来调节反应速率和刻蚀速率，使用旋转来提高工艺的均匀性，加热用于加快或控制刻蚀速率。废气处理是需要的，以控制有毒副产品

干法刻蚀具有很高的空间分辨率，其均匀性一般非常好，在良好的控制的工艺中，刻蚀的不均匀度在3″晶片内只百分之几(O'Neill，1991)。等离子刻蚀工艺被用于制造激光器的端面、栅凹槽和隔离台面，以及形成孔结构。这些方法被用于制作亚微米栅(Sauerer 等，1992)、40μm 直径的晶片通孔(Chen 等，1992)，并达到50μm/h 的刻蚀速率(Kofol 等，1992)。

·p. 522·

在各种等离子体刻蚀过程中，存在数种去除材料的机制：物理溅射、化学腐蚀和反应离子刻蚀。复杂的反应剂的去除和促进连续的表面反应是与形成反应的副产品、表面气相多聚物和其它反应阻化剂有关的。这些副产品的作用如同等离子体中的沾污、气流中的稀释剂它们阻止新的反应物种通过表面，或与气相中反应剂结合形成复杂的分子或多聚物。

氯、氟或溴的化合物倾向作为腐蚀气体。这些气体标样如 Cl_4(Sato 和 Nakamura，1982；Inamura，1979)，Cl_2(Donnelly 和 Flamm，1981)，HCl(Smo-linsky 等，1981)，$SiCl_4$(Sato 和 Naka-mura，1982)，CF_4(Schwartz 等，1979；Harada 等，1981)，CCl_2F_2(Hosokawa 等，1974；Smolinsky 等，1981)，和 BCl_3(Tokunaga 等，1981；Hess，1981)在等离子体或反应等离子体系统中是最常用的。各种材料刻蚀速率可以通过加入惰性气体，如氩、氦等予以平衡和控制，而系统的总压力可用改变在表面的冲击和相互作用率加以调节。使用这些类型化学物种的工艺过程对设备是相对有害的，很容易损伤反应腔内的系统部件，如气体控制阀、送片器、喷嘴、真空泵系统、泵连接器、废气处理系统和废料处理装置等。选择元件对于减轻半导体沾污是很重要的。采用废气淋洗技术以减轻废气造成的污染效应。

·p. 523·

激励电压和总的 RF 及 DC 能量输入到等离子体中控制离子的产生和决定离子的分布。在等离子体中,300—455kHz 或13.6MHz(这些频率不会干扰通信频带)频段完成的激励存在频率相关效应,它改变离化效率、离子密度和能量分布。13.6MHz 的激励结果引起最小的表面损伤,而300—455kHz 的激励倾向严重恶化这种损伤。这可从动量向离子传递的观点得到理解:在低频时,离子在一个周期内能够运动相当大的距离,很易与表面碰撞,引起表面原子的位移,而在高频时,离子只有很小的几率被加速进入表面区,因而只有很低的损伤表面原子的机会。此外,电场强度和等离子体激励极板的形状也影响离子流流向表面,从而明显地影响刻蚀过程。系统压力可以在中等范围被控制,它也改变等离子体密度、反应离子密度和形成速率,结果影响刻蚀速率和选择性(图形形状)。由于等离子体含有大量活性物种,在刻蚀期间,衬底温度典型地会上升至200~300℃。加热及冷却衬底对控制刻蚀工艺是必要的。

对于各种在刻蚀过程中暴露于等离子体的材料,刻蚀的选择性主要决定于等离子体化学,并且也受到系统压力(碰撞率)的影响。例如异质结构材料(如 GaAs-AlGaAs 材料)刻蚀用等离子体方法选择性或非选择性地进行,这依赖于气体反应化学和相对刻蚀速率。典型的介质材料(氧化物和氮化物)很容易用干法技术刻蚀,像光刻胶一样,而后者特别容易在含氧的等离子体中被除去(所谓"烟化"过程)。多数金属,不包括金,也易于在含有反应物种,如氯、氟或溴(参阅 Williams,1990,Chap. 9)中被腐蚀。等离子刻蚀的关键是在刻蚀期间保持保护涂层的完整性。

成功完成等离子刻蚀的关键是控制因高能离子碰撞暴露表面所感应的损伤。这对于在材料结构中使用浅结或轻掺杂区的器件尤其如此。高能离子注入或反弹产生的损伤可能产生施主、受主及深能级,因此而改变表面区的电荷。例如,为减小这些影响,有一种方法对上下极板面积采用不同比例的平行极配置,来控制离子的限制(密度和碰撞率)和离子导向效果及下游设计。在此结构中,等离子区被限制而远离衬底(Pearton 等,1991)。这后一设计方法的目的是尽量减小离子直接轰击晶片表面。其中在等离子体中形成的反应物种被流动的荷载气流包裹,扫过整个反应腔,并通过晶片。在等离子体系统和工艺过程中,存在多个其它的竞争参数:气相组分、反应腔材料、衬底偏置、相应衬底材料的离子损伤阈值以及反应腔材料的溅射。所有这些系统参数都对改变刻蚀速率有贡献。刻蚀速率及分布强烈受到反应腔压力、气体反应化学,甚至刻蚀反应腔内极小的痕量沾污的影响。

·p. 524·

溅射是借助原子的相互作用从表面用物理方法剥离原子的过程。典型的溅射系统有一个二极管结构的直流或交流等离子体产生的高能离子源。溅射速率由系统的压力、混合气体、电流、电压等来控制。氩气因其纯度、易电离和较大的离子质量而受到亲睐。等离子体中的电荷分离引起氩离子被吸引向负电荷的极板(即晶片)。离子碰撞使表而层被溅射掉。溅射一般是在具有的极板间隔(~10cm)的小体积的反应室中进行的。系统工作的总压力为10^{-3}—1Torr(0.13—133N m^{-3})。由于腔室小,极板靠得近,所以会发生连续的再沉积,因为很难及时地把溅射物从反应室中心抽走。由于再沉积、反应室材料的分解及离子轰击在表面的注入,都引起半导体材料的沾污。"表面钝化"或再沉积干扰了指定物种的

溅射速率，使刻蚀速率减慢，并在整个晶片上引起刻蚀分布的不均匀性。

刻蚀掩模必须非常坚固，以经受在溅射或等离子过程中的连续离子轰击。厚的光刻胶(PR)层或多层PR/金属层被用于阻挡离子流。掩模材料和半导体之间的刻蚀平衡在实际中一般可获得最佳折衷。金属层本质上刻蚀比半导体或光刻胶慢得多。这样只需相对薄的金属层掩模就可以保持图形的限定，允许完成非常精细的图形。溅射过程与其它方法相比，刻蚀的侧墙限定一般是比较差的，深槽刻蚀(隔离)要求大的墙角度用溅射方法不易获得。这归因于高入射角和在凹槽中的再沉积限制离子与表面原子的相互作用。

·p. 525·

RIE/RIBE/PE 过程工作在10^{-3}—10^{-5} Torr (0.13—0.0013N m^{-3}) 的低压。RIE/RIBE的反应室具有相对大的电极空间和较低的能量(较小的电压)，为刻蚀过程提供较清洁的环境，某种程度上降低了再沉积率。刻蚀的明显增强来自于离子的反应活性，而不是给予腐蚀物种的能量。离子刻蚀中的低能等离子体由离子、自由基和各种分子标样、电子、质子等组成，与离子刻蚀不同。RIE的离子源或直接的离子束(RIBE)产生一组有选择的离化物种来影响刻蚀。这种系统显示了比溅射过程稍慢的腐蚀速率，主要决定于离子源。

等离子刻蚀倾向于各向同性，而RIE和RIBE可以用于控制刻蚀形貌，具有很有限的溅射损伤和再沉积。这后两点对器件结构应用电荷调制的场效应(例如FET类器件和轻掺杂结构)的情况尤其关键。PE工作在较RIE/RIBE高的压力下，使用适当小的功率和适当低的刻蚀速率。它比溅射产生较小的表面损伤。但是由于等离子体和反应室部件，它仍具有一定的损伤和沾污。工作在较高的电压下一般引起较大的刻蚀各向异性，同时由于离子注入过程也对表面产生较大损伤。RIE/RIBE是在高压下工作的，由于近90°角的碰撞，它产生近垂直的侧墙。RIE/RIBE刻蚀主要通过反应物种进行，而不像PE情况，是借助等离子体内的所有粒子。

RIE/RIBE中的离子源提供含有Ⅶ族(氯、氟、溴)原子的反应离化物种。对于多数Ⅲ-Ⅴ化合物材料，氯和溴化合物产生高挥发性反应产物，因此优于含氟化合物(Burton等，1983；Ibbotson等，1983)。多聚物是与任何这类化合物有关的，目的是为晶片提供有选择性的、低能的反应离子，在晶片上与表面原子形成挥发性混合物。这种挥发性抑制了再沉积，因为这些混合物和化合物不易分解而使其附着在晶片表面。各种卤化物可用作反应离子源：CF_4，CCl_4，BCl_3，CBr_4和其它氯-氟碳化物。CBr_2Cl_2，$CHCl_3$和C_2Cl_4被发现易于形成多聚化合物和副产品，一般不适用于RIE/RIBE。构件材料(反应室、屏蔽罩、电极等)对RIE/RIBE系统是至关重要的，因为反应物种可能引起系统材料分解并沾污晶片。

RIBE与RIE的区别在于，它使用准直技术由高密度等离子体源抽取产生方向离子束。这种束状离子流允许对准表面的各种入射角，由此影响刻蚀速率及外观(Ide等，1992)。表面反应活性在一级近似上并不取决于入射角，因此侧壁的角度可以受到入射角的影响。这种控制离子与表面相互作用的能力减轻了与离子能量无关的形貌控制问题。

RIE/RIBE是在平行极板系统中，用注入气体或离子，抽取选择反应离子，并在适当的偏置电压下工作的。腐蚀通过化学反应和之后的反应产物的去吸附完成。在适当偏压条件下，产生近垂直的侧壁能力是RIBE的独特优点。与所有等离子体系统相同，RIE/RIBE

的速率受到压力，混合气体、离子密度和激励功率的影响。一定的腐蚀剂气体与反应产物物种的聚合可以引起问题，它们会阻止刻蚀进行，在多数应用中 RIE/RIBE 比溅射技术好得多，这是因为它们是有较低离子能量，引起较少的表面损伤，并降低了沾污（使用适当的反应室结构材料）。

电子回旋共振刻蚀(ECRE)工艺包括通过高频共振耦合过程选择激励离体标样(Pearton 等，1991)。图10-29简略描述了 ECRE 设备结构。典型产生激发的离子远离刻蚀反应室（"上游"），以使直接离子轰击对晶片的损伤减至最小。离子通过系统中电场和压力梯度从 ECR 源中抽取；刻蚀过程与 RIE/RIBE 的过程类似。因为是在高或超高真空环境进行的，ECRE 具有清洁刻蚀的优点，且仅产生十分轻微的表面损伤（使用适当低的抽取加速电压），可忽略的再沉积及合理的刻蚀速率(Pearton 等，1991)。

·p. 526·

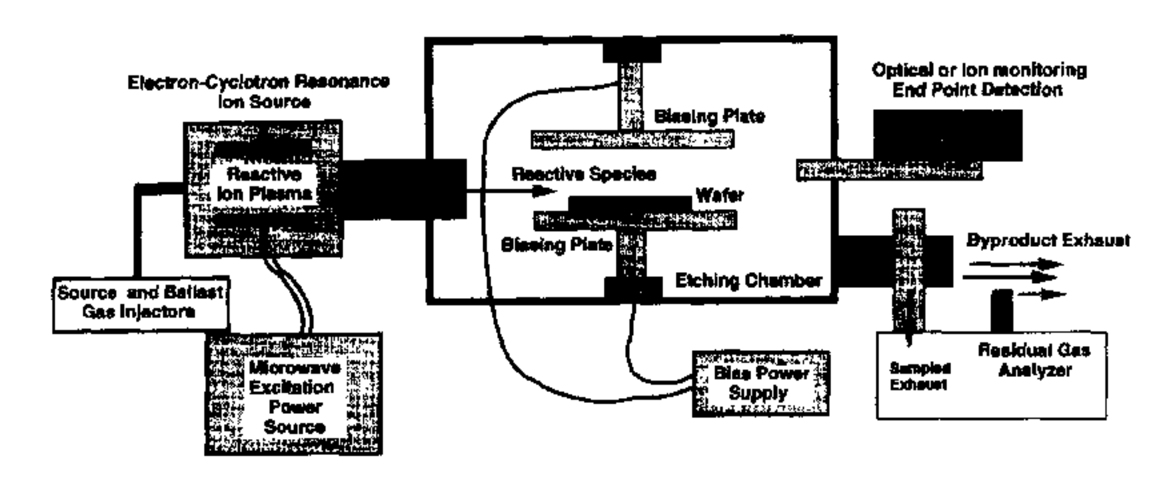


图10-29 ECR 等离子体刻蚀系统示意简图。含有强反应活性标样的离子等离子体由所需化学标样的 ECR 激励产生。源处于刻蚀反应室的上游，以保护晶片免受直接的离子轰击。携载或惰性气体流过离子源和反应室，帮助输运反应活性离子至晶片。电子学抽取装置可将离子由源中拉出。旋转、加热可以使用，以控制刻蚀工艺的均匀性及速率。废气处理是用来控制化合物半导体制造工艺中的有毒副产品

批间工艺的重复性在等离子体技术中比较难以控制，因为没有方便、精确的方法监视刻蚀速率。通过引入刻蚀停止层，监视等离子体或废气中反应产品的生成速率或特殊反应标样（化学指示器），可以改善终点控制。这些技术可以提供适当的终点检测以判断刻蚀过程的完成。目前，最有效的控制参数是跟踪反应产物标样的变化，可使用剩余气体分析、光吸收或类似方法来确定终点指示。气相传感器的发展和改进将大大改善对等离子体工艺的控制。

10.6 欧姆接触

·p. 527·

欧姆接触提供低电阻电流通路和器件间的互连。欧姆行为的产生是，且始终是化合物半导体材料持续研究和开发活动的源泉(Braslau 等，1967；Matino 和 Tokunuga. *1969*；

Schwartz,1969;Edwards 等,1972;Otsubo 等,1977)。形成欧姆接触的基本困难是,当使多数金属被与半导体表面相接触时,就形成肖特基势垒。(肖特基势垒的详细论述,见10.7节)。因此必须发展去除势垒的方法。形成欧姆接触的详细机理尽管经历了50多年的工作,但仍未完全弄清楚[参阅 Sharma(1981)]。从理论及物理的观点出发,欧姆接触开始是作为肖特基势垒,如图10-30所示。当费米能级不变地通过表面时,金属和半导体功函数开始偏移。根据肖特基的研究,带的偏移产生电荷由半导体流向金属的垒[参阅 Chap. 5 in Sze (1981)],给出二极管的传输特性。

肖特基势垒高度定义为金属和半导体的功函数之差:

$$\phi_m - \phi_s = \phi_B \tag{10-4}$$

只要ϕ_B 比零足够大,就有电荷输运的势垒存在,且电荷流与外加电压(电场强度)呈非线性关系。

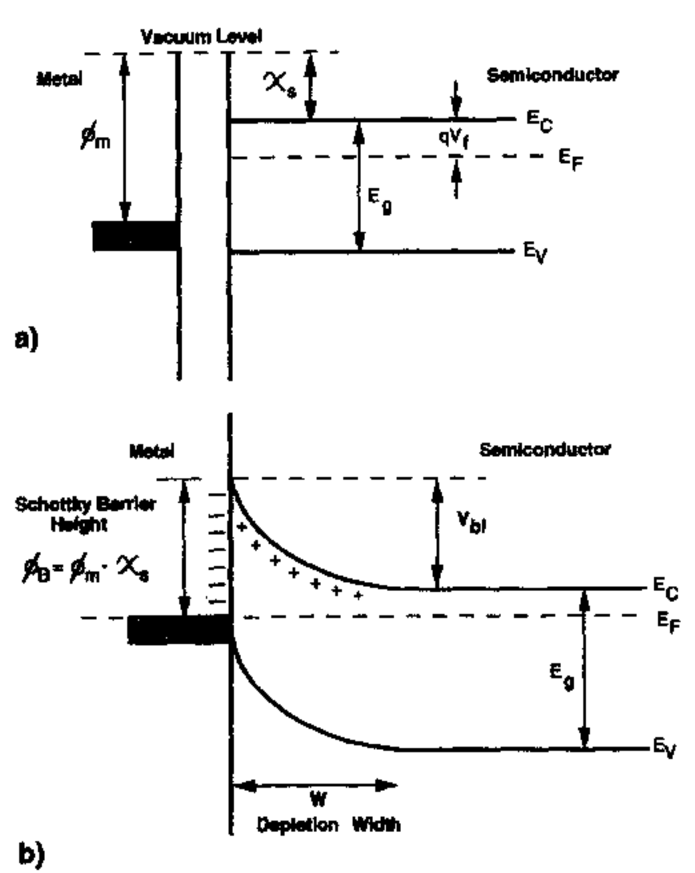


图10-30 在退火产生欧姆接触之前首先形成肖特基势垒。在 a)中,ϕ_m 是金属功函数,χ_s 是半导体电子亲合势,E_g 是半导体能隙,E_c 和 E_v 分别为导体和价带边能量。E_F 是费米能级,而 qV_F 是相对真空能级的费米能级与 χ_s 之差。b)当金属与半导体接触时,为保持恒定的费米能级而发生电荷的交换,这就在半导体中产生耗尽区 W,以平衡金属中的电子。半导体能带的弯曲反映接近表面区电荷分布。肖特基势垒高度为ϕ_B,而平衡时结的自建势为 V_{bi}(非偏置情况)

·p. 528·

形成半导体的欧姆接触包含冶金学反应，并产生由肖特基势垒条件向忽略势垒高度的渐变能带结构过渡(Schwartz 和 Sarace，1966；Schwartz，1969；DiLorenzo 等，1979)。因肖特基势垒产生而首先形成的耗尽区(W)示于图10-31。耗尽区宽度反比于掺杂浓度的平

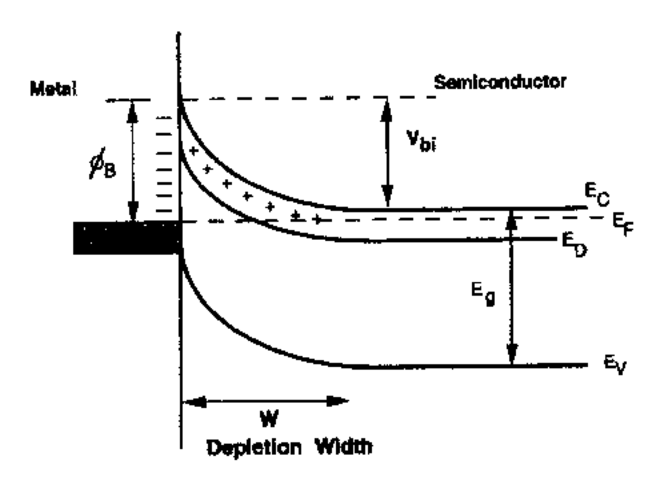


图10-31 在 n 型半导体中 宽度为 W 的耗尽区的产生。E_D 是相对于导带边的施主能级，ϕ_m，E_c，E_v，E_g 和 E_F 具有它们的惯用含义。V_{bi}是自建势。在(10-5)式中，耗尽区宽度反比于载流子浓度的平方根

方根(突变结近似)，并决定于以下关系式(Sze，1981，Sec. 5. 2)：

$$W = \left\{(2\varepsilon_s\left[\frac{V_{bi} - V_i - (kT/q)}{qN_D}\right]\right\}1/2 \quad (10\text{-}5)$$

$$E_{max} = \frac{2}{W}\left[V_{bi} - V_i - \left(\frac{kT}{q}\right)\right] \quad (10\text{-}6)$$

当掺杂水平增加时，耗尽区宽度缩小，界面电场(E_{max})变大，场发射、热离子发射和隧道过程可能易于发生。可以预见：1)小的ϕ_B 使 KT/q 相对变大，或2)简并掺杂半导体使得隧道和(或)场发射过程有高的几率。对后一情况存在一个模型，它根据耗尽区宽度本质上小于简并层深度来讨论。这样隧道和热离子发射过程是容易发生的，且输运过程的势垒可以忽略(Popovic，1978)。

相反，掺杂浓度降低，耗尽区宽度增大，且冶金结必然较深入半导体而形成，从而影响欧姆行为。同时，由于在半导体侧只可能有较少电荷，引起电导率的下降，所有这些效应都对轻掺杂材料贡献较高的接触电阻，使形成高质量的欧姆接触更加困难。对欧姆接触的形成不存在公认的精确模型和理解(参阅 Sharma，1981，或 Schwartz，1969)。某些研究者认为，界面是含有迁移率隙态的无序合金(Peterson 和 Adler，1976)，而其他人解释界面为由金属通过一无定形区向晶体半导体材料过渡(Wey，1976；Riben 和 Feucht，1966)。目前对这些争论还没有一致的结论。进一步的研究在某天可能真相大白。关于欧姆接触电学行为的更详细理论发展，请参阅有关资料，例如 Sze(1981)的书的第5章。

·p. 529·

为了消除肖特基势垒和产生欧姆行为，金属接触材料一般必须形成合金而进入半导体内。金属与半导体反应形成多相的金属间化合物，它们降低势垒并将能带弯曲伸展进入半导体内，如图10-32所示。电子(或空穴)流随着合金化过程的演变而不断减少，如果条

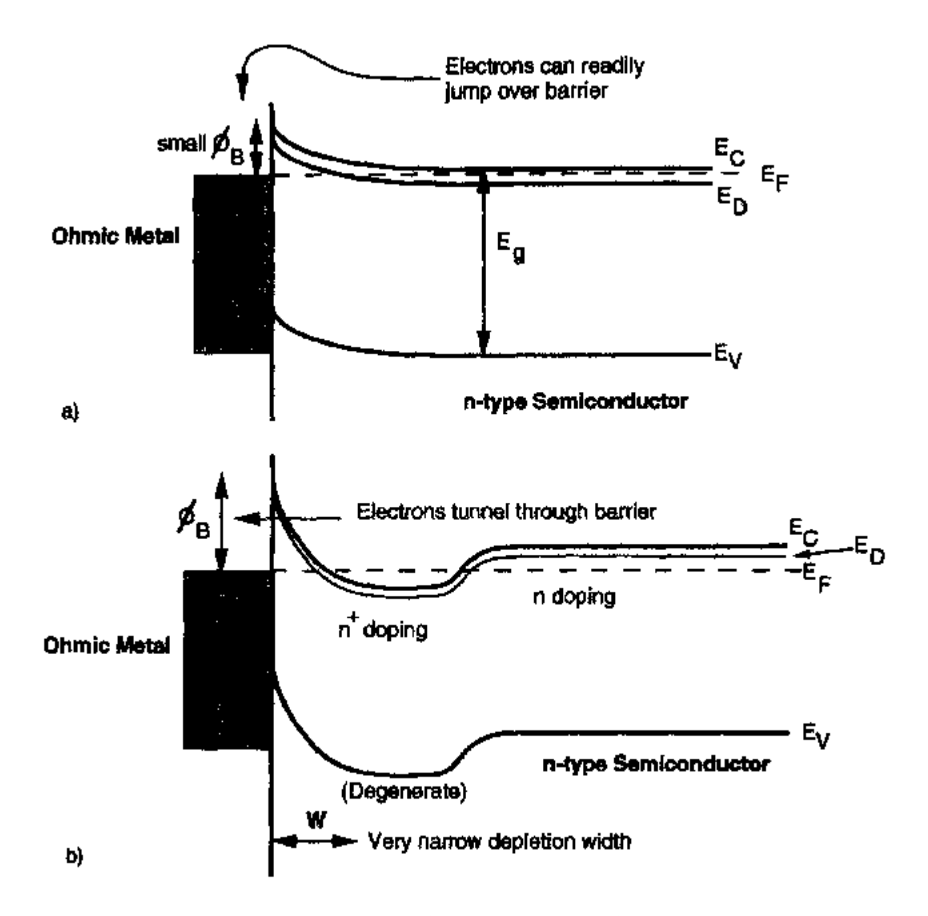


图10-32 半导体产生的欧姆接触。a)中，势垒高度非常小，表现为对电子可以忽略的垒。ϕ_B，E_c，E_v，E_g 和 E_F 具有惯用的含义。b)中，半导体表面区掺杂至 n^+ 简并条件(高电子密度，费米能级进入导带)。耗尽区宽度明显变窄，这使隧道过程易于发生。这两者都可能对欧姆行为有贡献

件：

$$\phi_m - \phi_s = \phi_B \text{ 至 } 0\text{V} \tag{10-7}$$

在 n 型材料中满足，则此接触自然被认为是欧姆接触。对小的正值ϕ_m(小的肖特基势垒高度)，足够的隧穿和热离子发射过程可能发生，并允许在小正偏压下有明显的电流通过。这仅有极小的电阻分量。表面态和表面电荷也会影响势垒高度和半导体中的电荷分布，从而影响 V-I 特性。后者对轻掺杂器件尤为重要(增强模式)，因此对近表面的电荷耗尽或集聚非常敏感。

•p. 530•

接触电阻(R_c)对理想的肖特基接触是从热离子 I-V 理论推导出来的。R_c 定义为

$$R_c = \frac{n}{q}\frac{kT}{I_{sat}} \quad \text{当 } V = 0 \text{ 时} \tag{10-8}$$

log I-V 的曲线是斜率为 q/nkT 的直线。其中 n 是肖特基结的理论理想因子，k 是玻尔兹曼常量，q 是单位电荷，T 是温度，而 I_{sat}是反偏饱和电流。对于好的典型的欧姆接触，n 的范围为1.0—1.1。非常接近1的值是最理想的。

欧姆接触的一个关键性质是线性的 I-V 关系：任何的类二极管特性都是所不希望的。

金属必须沉积在清洁的表面，以阻止在合金时金属与半导体的不确定混合，特别是诸如含铝或钛这样的有反应活性的金属。通常金属化的成分至少有一种是施主(例如 Si,Gc,Sn,Se 或 Fe，对 n 型的Ⅲ-Ⅴ族化合物)或受主(如 Zn,Cd,Be 或 Mg，对 p 型材料)，对于基质半导体来说，这将大大增加欧姆接触形成的容易程度，因为有效的掺杂将在金属半导体界面形成高简并层。如上述所讨论的，合金过程引起金属、掺杂剂和半导体的内部混合。然而，合金过程还有许多需要考虑：化学反应性成惰性、各物质的扩散性质、多成分系统的相图、表面张力、前步工艺的限制(热和形貌)、附着力和确定的几何形状(掩模)、中间亚稳相的稳定性、与金属丝键合的相容性等。在很大程度上，相图和相互混合动力学确定成功的势垒降低和界面金属区的导电性。这就要求比接触电阻尽可能低，对 n 型材料，典型值为 10^{-7}—$10^{-6}\Omega cm^2$，而对 p 型材料此值约高出10倍，原因在于它们迁移率的差别。在发展可行的、可用于生产的和制作稳定的欧姆接触形成工艺中，因各种相互制约的因素面采用了大量的折衷方案。

欧姆接触制作由仔细的表面制备开始，随后沉积金属或合金。对Ⅲ-Ⅴ族化合物有多种方法和冶金学系统适于形成欧姆接触(Sharma，1981；Schwartz，1969；Palmstrom 和 Morgan，1985)。表10-5给出一些这样的系统，占主导地位的基于 Au-Ge 或更一般的基于 Ar-Ge-Ni 的冶金学系统是研究得最多、应用得最广的系统。更多的信息请参阅(Sharma (1981)，Howes 和 Morgans(1985，Chap，6). Williams(1990，Chap. 11)，及它们中的有关参考文献。

·p. 531·

蒸发方法对多组分金属化系统特别有用。而衬底材料的加热必须仔细地加以控制，通过沉积速率、有目的地加热或冷却晶片，对厚度和沉积速率的控制是非常有效的。通过多步沉积、共沉积或使用合金作为加源材料等方法可以实现对组分的控制。溅射和电镀型工艺也用来在半导体上沉积金属，虽然在实践中极少用电镀完成顶部表面金属层。溅射方法一般具有低的沉积速率，能对半导体造成实质性的损伤，厚度控制也很困难。但在另一方面，溅射在界面区造成的损伤因产生缺陷态和表面无序，又能导致低接触电阻。电镀方法镀层很快，但是从化学的观点看它是很脏的，且对形貌和厚度的控制都存在问题。对某些工艺过程，如晶片背面的欧姆金属化或键合块的形成，金属厚度的控制是不严格的，而是要求厚的金属层，在这里电镀工艺是选择的方法。

欧姆接触拓扑图是在金属沉积之后用标准的光刻图形技术形成的(见本卷第4章)。光刻胶或介质辅助的浮脱工艺是最普通的除去不需要的金属的方法(见10.11.2节)，提供的沉积过程并不在光刻胶或介质表面的拓扑图上产生完全均匀的金属层。铝和其它非 Au 金属化系统可以用干法刻蚀方法图形化，如 RIE(见10.5.2节中讨论的)。离子铣可用于图形化金或含金的合金系统，或钨基的接触材料。

表10-5　欧姆金属化系统

金层	半导体型	参考文献
In	n	Wronski(1969)
Sn	n	Schwartz 和 Sarace(1966)
Au-In	n	Paola(1970)
Au-Sn	n	Henshall(1977)
Au-Ge	n	Fukuta 等(1976)
Au-Ge-Ni	n	Shih 和 Blum(1972) Kuan 等(1983)
An-In	n,p	Mation 和 Tokunaga(1969)
Al	n	Shih 和 Blum(1972)
Ag-Zn	n	Ishihara 等(1967)
In-Zn	n	Mation 和 Tokunaga(*1969*)

在 IC 制造中采用的多数金属化退火过程是非常严格的。"钉子"和其它对平整性的偏离都可能引起轻微的过合金(即过高的温度或过长的合金时间),使其后的制作困难更大(Gyulai 等,1971;Zeng 和 Chung,1982;Palmstrrom 等,1978;Miller,1980)。化合物半导体系统中的接触金属钉穿现象非常类似于在接触窗口边缘的 Al:Si 系统中所观察到的现象。横向扩展对电场分布起负影响,并可能引起精细图形的短路[参阅 Goronkin 等(1989)]。合金后,特别是在过合金情况,接触区域的粗糙性或结构的产生是显然的。即使仅20—30℃的过温或(GaAs 材料采用的 NiGe-Au 接触,合金温度范围约为400℃)轻微延长了时间,都可能引起金属穿通有源层,正如图10-33所示。接触材料的横向扩展可能导致有源和无源 器件的不可控电学行为,例如低的击穿电压或漏电特性。接触点的粗糙性也可能影响其后的对准、光刻图形及其它的制作步骤。

•p.532•

应用扩散炉、热板或快速热退火(RTA)系统的合金工艺,都要求最小的热耗。其目的都在于使冶金学相互作用最小化,并获得合金接触区的最高电导。对 n 型材料,采用金基金属化系统,合金工艺在相对低的温度(≤400℃)和短的时间(约5—10min)完成,或采用 RTA 系统,在稍高的温度(约500℃)而较短的时间(约30s)完成。接触金属化工艺的控制足以产生 n 型材料的可重复的低电阻的接触[参阅 Sharma(1981)中第Ⅴ节)]。类似的,对 p 型接触,通常采用的是 Au-In 和 Au-Zn 合金家族。由子低的载流子迁移率及由此产生的

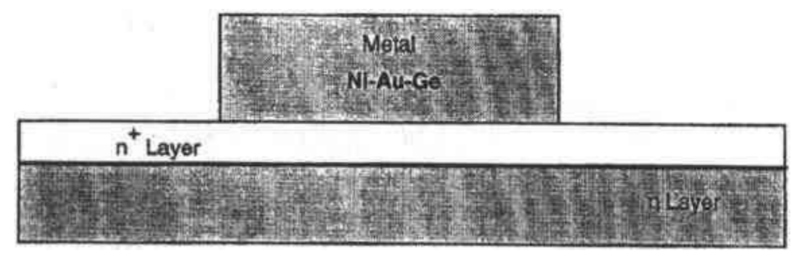
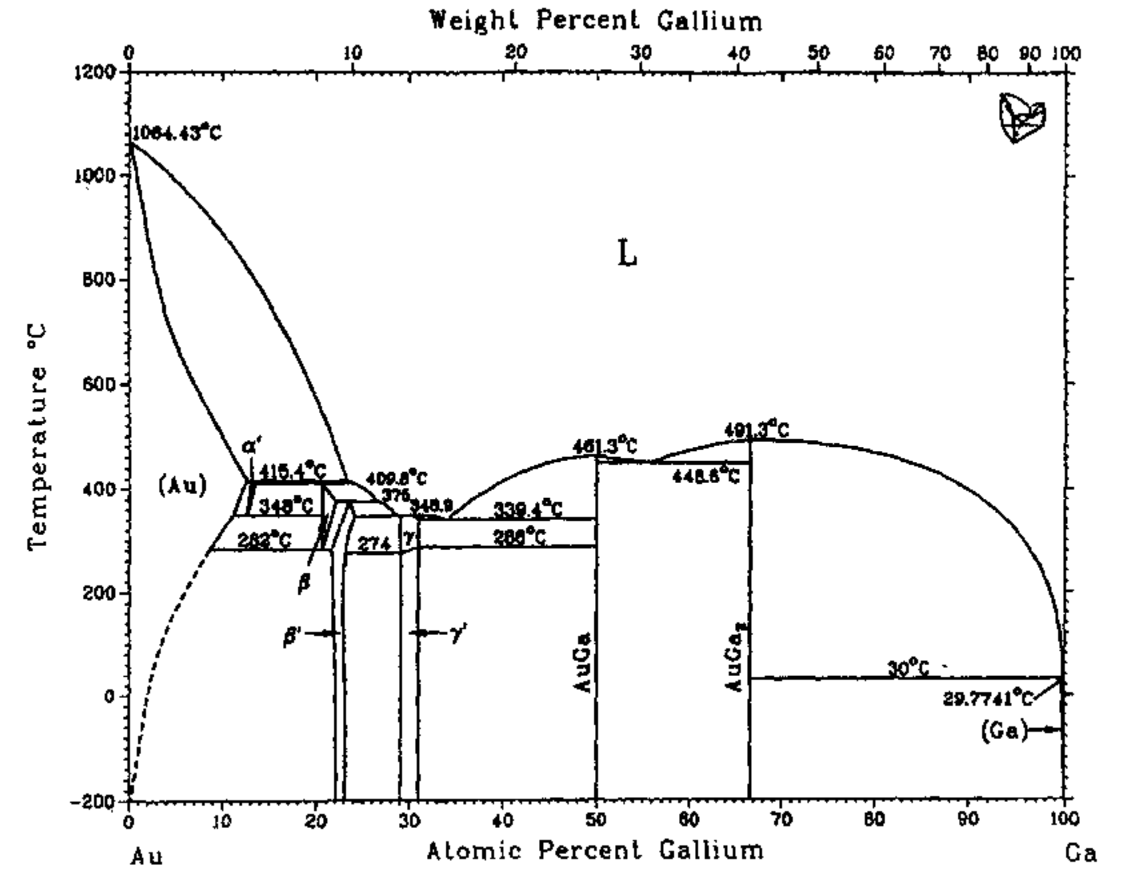


图10-33 GaAs 的 Ni-Au-Ge 接触的退火效果简图。图 a)金属区沉积并由光刻限定。图 b)材料被退火。NiAs(Ge)晶体结构的角结构由阴影区表示,它是退火期间金属-半导体相互作用的特征,已被 TEM 的研究观察到(Zeng 和 Chung. 1982;Parsey,1990)。如图所示,过退火使金属穿通至 n 型层下

p 型材料的较高的电阻率，为达到低接触电阻，就要求较高的掺杂水平（通常高于10^{19} cm^{-3}）以达到高度简并区。

·p.533·

在表面层提供足够高的掺杂浓度，GaAs 和其它化合物半导体有可能形成非合金欧姆接触。典型地，高于3×10^{19}—$5\times10^{19}cm^{-3}$的电子密度对于 n 型材料非合金接触是需要的（Chang 等，1971）。如果半导体带隙很小或可以降低，例如借助附加合金组分，如 InGaAs，非合金接触的形成是可行的。使用 $Zn_{0.5}Ga_{0.5}As$ 作为 HBT 器件的低阻接触具有吸引人的重要意义（Poulton 等，1994；Huang 等，1993）。产生这类接触的关键是：1）$Zn_{0.5}Ga_{0.5}As$ 较小的带隙（约0.8eV）；2）半导体材料的简并（高表面掺杂浓度）；3）在表面形成非常薄的耗尽区（<10nm）。电荷很容易通过隧道和热过程流动且仅需要很小的电场，即使电荷漂过冶金结。用大量技术完成了对欧姆接触和界面相互作用的详尽的分析，其中有 X 射线衍射（Ogawa，1988）、Auger 电子谱（Robinson，1975）、透射电子显微镜（Kuan 等，1983）、扫描电子显微镜（Robinson，1975）和二次离子质谱（Palmstrom 等，1978）。所获得的信息对合金过程的相互作用和控制给出详细的了解（见 Howes 和 Morgan，1985，第6章）。金基欧姆合金反应已有详尽的研究。金和含金合金材料与 GaAs 的相互作用被研究（Zeng 和 Chung，1982；Vandenberg 和 Kingsborn，1980），还有与 ZnGaAsP 的相互作用（Vandenberg 等，1982；Vandenberg 和 Temkin，1984），并发现，正如相图所预期的，在合金过程期间，形成了大量的中间相金属化合物。例如，在金与 GaAs 的反应中，Au-Ga 合金的形成导致表面 As 的缺乏，并产生 $AuGa_2$和 AuGa；如图10-34所示，同时生成 β 和 γ 中间相[Mas-



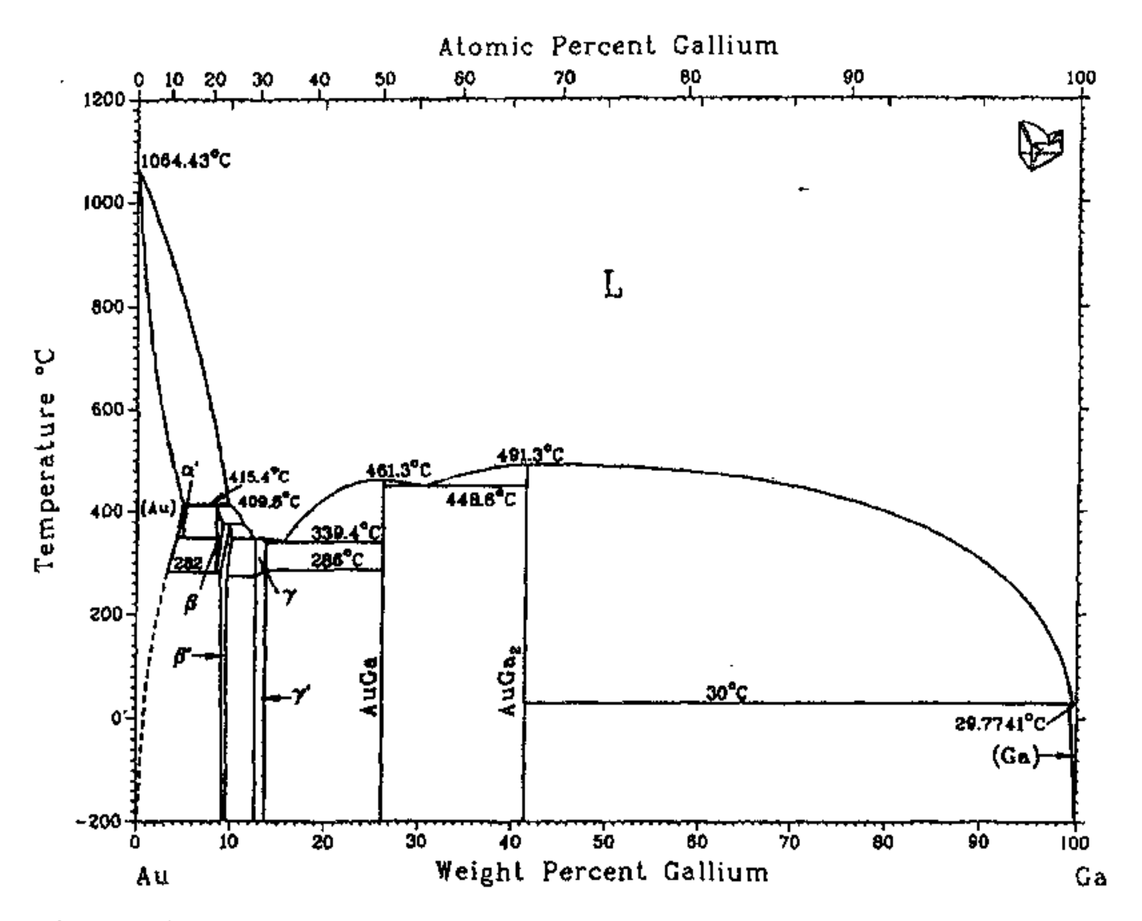


图10-34 原子百分比的 Au-Ga 相图和重量百分比的 Au-Ge 相图(F)关系。在274—491℃温度范围，可形成大量的中间金属相。它们会显著影响退火接触的形貌和电学行为[图源自 Massalski(1990)，p. 370]获准重印自 ASM International

salski(1986)，pp. 258—261]。

如果形成不希望的相产物(高阻)，在多数欧姆接触系统中接触电阻都会增大。例如，在 Ni-Au-Ge 接触中，如果形成足够的 α-Au:Ge 或 Ni-Ge，或过多的 Au 扩散进入半导体表面区，接触电阻都会增大。与此相反，如果形成 Ni-As 和发生 Ge 的内扩散和形成 Au:Ge，都将使接触电阻下降。最近 Schmiol-Fetzer(1988)评论了各种相的关系，并预期了对于潜在的与 GaAs 接触的大量金属相互作用。由于需消耗一些表面材料，薄层接触(为数十 nm 的数量级)是一困难的任务，它要形成校正相，由于表面缺陷的形成，使不可控的内扩散过程更加复杂化。各种金属成分变化的和快速的扩散特性也使极薄层的合金过程难以控制。

·p. 535·

10.7 肖特基势垒和栅

肖特基势垒为整流接触，它是当金属与半导体材料接触时形成的。其结构是电偶极子，产生的耗尽区类似于顶部 p-n 结二极管。肖特基势垒是大多数 FET 类器件的心脏。晶

体管中的电荷流在器件工作时，受到加于肖特基势垒栅金属上的偏置电压的调制。势垒高度与可能的电荷密度一起决定开关作用的阈值和给定偏置条件下器件的导通状态。

图 10-35说明了肖特基势垒的形成。半导体和金属具有不同的相对真空能级的功函数，分别为 ϕ_m 和 ϕ_s。由于金属与半导体接触，材料之间发生电荷交换，以使电子和空穴的化学势得到平衡，即费米能级不变地通过界面。金属平均每个原子贡献一个电子，而半导体中每个原子，通常贡献10^{-4}—10^{-6}个电子。电荷交换产生偶极层，并建立电荷平衡。作为电荷密度的非对等结果，在半导体中形成耗尽区，用 w 表示。

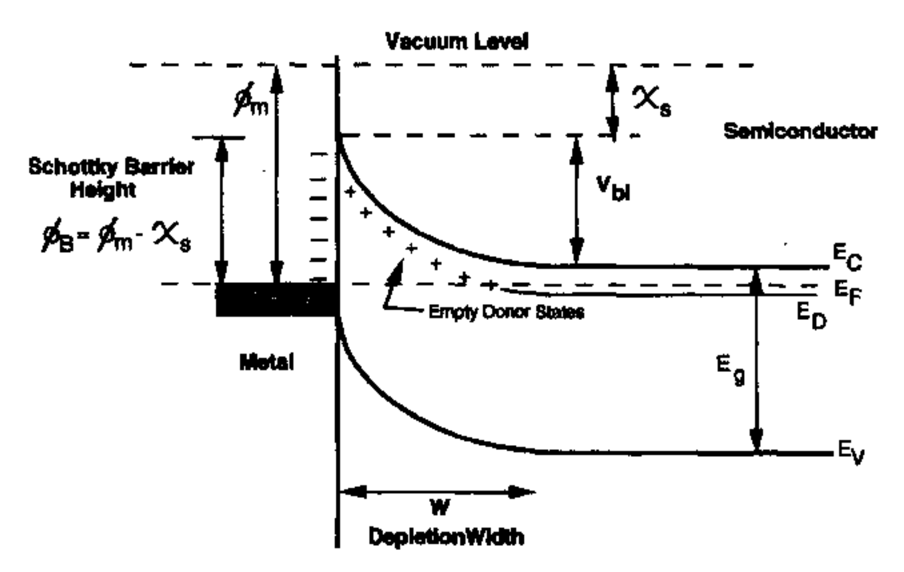


图10-35 肖特基势垒的能带简图。ϕ_m 是金属功函数，χ_s 是电子亲和势，V_{bi}是内建势，E_g 是能隙，E_c 和 E_v 分别是导带和价带边。ϕ_B 是肖特基势垒高度。金属被放置半导体表面之后，发生电荷交换以建立费米能级的平衡。由于半导所含电荷远少于金属，施主态(E_D)腾空而产生宽度为 w 的耗尽区

根据图10-35，可以观察到如下关系：

$$\phi_m - \chi_s = \phi_B \tag{10-9}$$

半导体亲和势 χ_s 与金属功函数 ϕ_m 之差为肖特基势垒 ϕ_B。原理上，根据图10-35的结构，每一个半导体-金属系统都应有唯一的肖特基势垒高度。在实际中，表面态、表面重构、杂质和缺陷都可能起“钉扎”费米能级的作用。以表10-6为据，这样势垒高度值被限定在相对窄的范围。这一现象是重点研究的课题[例如，见 Spicer 等(1980)，Brillson 等(1983)，和 Williams(1982)]，且至今未得到完全解决。

肖特基二极管中的电流用以下关系描述：

$$I = I_0\{\exp[qV/(kT)] - 1\} \tag{10-10}$$

其中 q 为单位电荷，V 是外加电压，k 是玻尔兹曼常量，T 是绝对温度，I_0是热离子电流：

$$I_0 = A^* T^2 \exp[-q\phi_B/(kT)] \tag{10-11}$$

其中 A^* 为 Richardson 常量，ϕ_B 是肖特基势垒高度，其它符号具有其惯常含意。根据(10-9)式，如果 $\phi_m > \chi_s$，则 $\phi_B > 0$，此结构为整流型的。这样，理想二极管应有无限大的 ϕ_B 值。在实际中，势垒高度最大可能的值应足够了。肖特基势垒理论的进一步发展可参阅 Simmons 和 Taylon 的文章(1983)。通常 ϕ_B 对最重要的化合物半导体，处在0.5～1.4V 的范围，如

表10-6 某些化合物半导体材料的肖特基势垒高度[a,b]

金属	半导体材料				
	GaAs	AlAs	InP	GaP	ZnSe
Al	0.80	—	0.52[c]	1.07	0.76
Au	0.90	1.20	0.52	1.30	1.36
Ag	0.88	—	0.54	1.20	1.21
W	0.80	—	—	—	—
Ti	0.83[d]	—	—	1.12	—
Ni	0.77[d]	—	—	1.27	—
Pt	0.84	1.0	—	1.45	1.40

a 值为300K下,以电子伏为单位;b 选自 Sze(1981, p.291);c Sharma(1981);d Waldrop(1984)。

表10-6所示;对GaAs,多数金属的势垒高度都处在0.8V附近。所观察到的势垒高度是与半导体的能隙大小有关的,大约为 E_g 的0.5—0.6倍。E_g 小的材料 ϕ_B 较低,E_g 大的材料,如GaP,ϕ_B 则较高。对于小带隙材料,如InAs (0.42eV)。上述因素提出有关器件操作的苛刻要求,它只有在低温下才能有效地工作。肖特基势垒高度值似乎并不强烈地依赖金属功函数,虽然根据(10-9)式的物理描写,它们是直接与 ϕ_m 有关的。

•p. 536•

上述所注意到的肖特基势垒高度的"钉扎"归因于10^{12}—$10^{13}cm^{-2}$水平的表面态的存在。这些态可能来自碳、氧、表面缺陷或表面上其它的化学吸附或物理吸附沾污。许多说法被提出来解释这一效应。Brillson 等(1983)曾考虑,在金属沉积时存在一定量的界面混和,而不是理想化的原子级的突变界面。定义了一个有效金属功函数,它汇集了缺陷、金属团或半导体材料等的影响。这导致了肖特基势垒高度的"钉扎"值。Spicer 提出"统一化缺陷"模型,与由缺陷(如空位)所形成的表面态有关,这种缺陷产生了钉扎态。这一行为由 Williams 作了进一步的讨论(1982),而且对这些钉扎现象还有不少的理论。

•p. 537•

有关肖特基势垒现象的大多数研究集中于了解及控制金属-半导体结的界面态和冶金学性质,以获得稳定和重复性的势垒高度(Spicer 等,1980;Pan 等,1983;Brillson 等,1983;Walldrop 等,1982;Williams,1982)。而在近理想条件(如真空中的解理表面)下得到的势垒高度是相对容易被表征清楚的。在实际中,因工艺化学和材料性质引起的改变需要极大地努力提供"可重复的"肖特基势垒高度。然而,对能隙、功函数和 ϕ_m 的精确的物理关系并不完全了解,这正如许多研究者所指出的[见 Schmid-Fetzer(1988)]。

为形成肖特基势垒栅结构,金属(如金或铝)或金属化合物(如 WSi,WN,TiWN 等)沉积在半导体表面,然后用标准的光刻工艺图形化。肖特基势垒栅应用中的关键问题是制造工艺次序的需求:所允许的栅金属化为所需要的加热及图形化过程所确定。还要解决栅金属半导体之间的粘附性问题,以及后序工艺对金属半导体系统的化学反应性和稳定性的影响。因此对适用的金属和金属合金的选择变得相对有限(参阅表10-6)。这些金属材料可以用于综合改善系统的性质,如电阻率,面势垒高度是由金属或金属合金与半导体表面的接触性质决定的。

金属沉积的基本方法是溅射和蒸发。像在任何沉积过程中,晶片表面及被淀材料必须经过产格清洁处理,防止不可控制的界面反应或产生金属-绝缘体-半导体结构(MIS)。对大多难熔金属,因它们熔点是够高,溅射是唯一可行的方法;对这些材料使用电子束蒸发或者是不实际,或者是因沉积过程使半导体表面过度温升而无法阻止所不希望的化学相

互作用。此外，溅射很容易产生表面损伤，从而导致界面态(参阅10.6节)。如前面指出的，肖特基势垒的形成对界面态密度非常敏感。与此相应势垒高度的局部或整体的变化将影响晶体管的阈电压，工作条件及性能的重复性。

表10-6所提出的许多冶金学系统，特别是难熔金属，它们在沉积及制造过程可能产生应力，甚至在器件工作时也可能发生，这归因于晶格参数或原子组态的失配及存在的热膨胀系数的失配。这些现象产生压电效应，结果引起晶体管阈电压的漂移。例如，肖特基势垒金属化的颗粒结构，当其是用各种方法沉积时，强烈地依赖了沉积速率和沉积条件(如真空度、等离子体成分、靶材料，等等)。这样 ϕ_B 的变化是可以预期的。颗粒结构的微观详情可能影响栅金属电阻率及在高电流密度下对电迁移的敏感度。这些问题必须逐一考虑，以获得稳定的肖特基势垒工艺制作过程。

·p. 538·

如果器件制造过程是在相对低的温度下完成，可使用像 Ti-Pt-Au 这样的栅材料(Wada 等，1989；Brown 等，1989)。对多数化合物半导体，金的粘附性相当差，且会很快向化合物材料中扩散，即使在低温(250—400℃)，像铂一样。有必要利用金的优良导电性，而保持工艺的完整性。在 GaAs 中，通常使用 Ti-Pt-Au 系统作为栅金属。在这种情况，钛用作粘附材料，铂作为扩散势垒，阻止金与钛反应及随后的金的“钉穿”进入 GaAs[见 Massalski(1986)，pp. 298—299及(Goronkin 等，1989)]。金提供非常低的电阻通路，可支持高密度电流。从热膨胀观点看，这些金属是适配的，在500℃以下只有很小的应力及层间混和，因此产生热动力学稳定的接触结构。对于使用非合金非退火的制作工艺，发现铝、钛、钽在300℃仍是稳定的。这些材料可以提供用于栅结构，其后的工艺温度不要超过200—250℃，器件工作温度限制在低于125—200℃范围。

对于在栅金属沉积后使用离子注入和退火工艺的器件制造(参阅10.3节和10.11节)，栅金属至少在退火温度下是稳定的，典型的温度范围为800—1000℃。自对准工艺作为一般化的制作方法，如图10-36所示，它要求使用离子注入和退火来限定栅及沟道区。有一些方法可以产生自对准栅结构，其中有 n^+ 层技术的自对准注入(SAINT)(Yamasaki 等，1982)，和自对准难熔栅集成电路工艺(SARGIC)(Dautremont-Smith 等，1990；Dick 等，1989)。

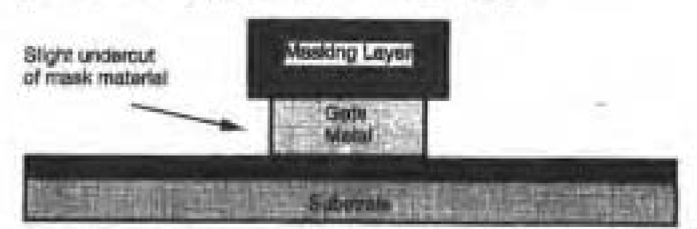
这种类型工艺的任何改变都须符合对稳定的肖特基势垒栅的冶金学要求。通常，自对准栅结构材料为难熔金属或贵金属，如钨(Sze，1981，p. 290)、铂(Fontaine 等，1983；Sinha 和 Poate，1974)、钛(Matino)，或合金，或双层，如 W-Si(Dautremont-Smith 等，1990)，W-N(Kikaura 等，1988)，Ti-W-N(Sadler 等，1989)，W-Al(Inokuchi 等，1987)，或其它类似的组合。这些类型的肖特基势垒材料在高温是稳定的，且与化合物半导体表面仅有十分有限的反应性。然而，人们发现，某些这类金属，如钨，必须十分仔细地对待，因为热膨胀系数的失配，当温度高于400—500℃时，这些金属层有可能脱落(热膨胀系数比大于10:1)。

·p. 539·

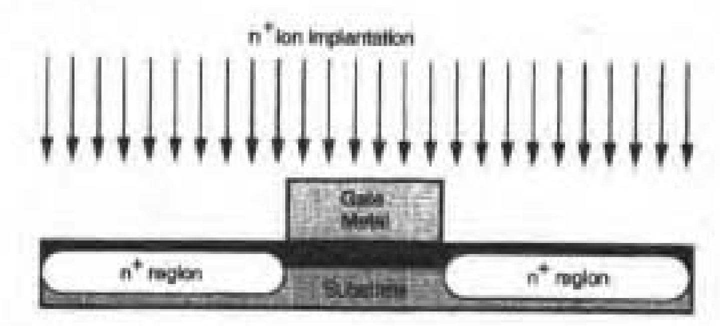
1) Dielectric deposition, Open gate windows



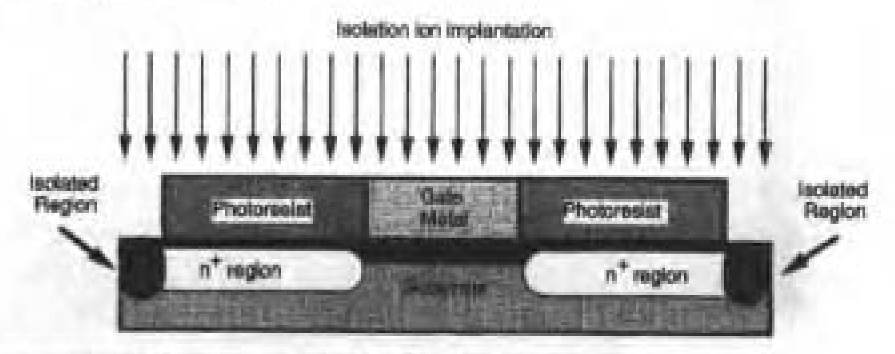
2) Gate metal deposition, Photolithography, Etching or liftoff to define gate



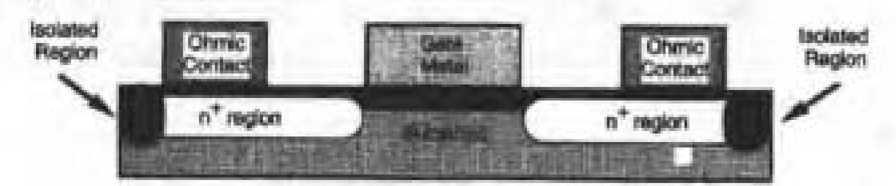
3) N^+ ion implantation, Anneal



4) Photolithgraphy, Isolation ion implantation

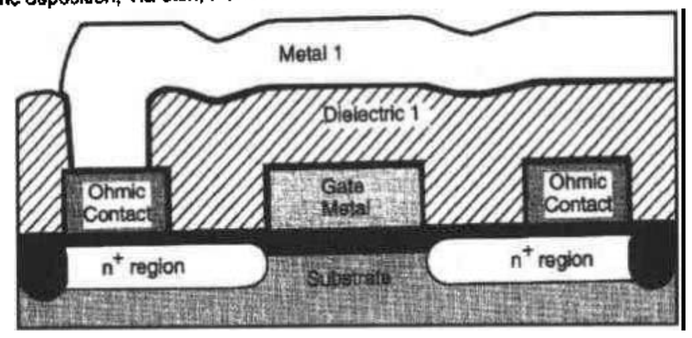


5) Photolithography, Ohmic metal deposition, Liftoff or etching, Alloying

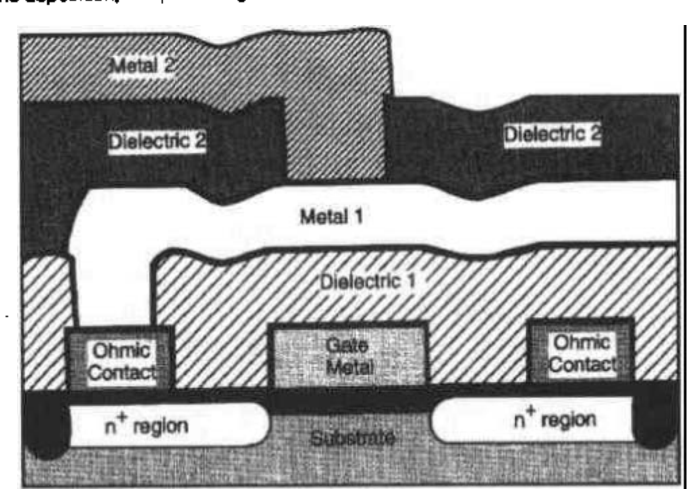


·p. 540·

6) Dielectric deposition, Via etch, Interconnect metal deposition, Patterning



7) Dielectric deposition, Via patterning, Metal 2 deposition, Patterning



8) Passivation and Contact pad via openings

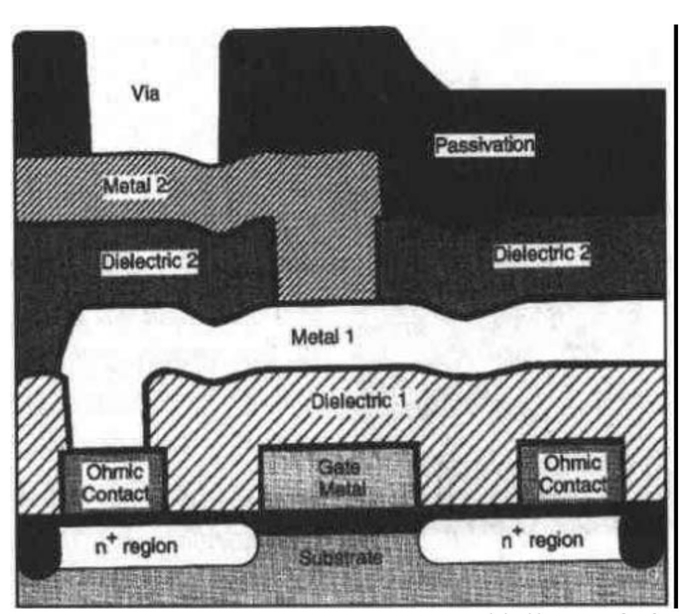


图10-36　自对准工艺简单流程，栅金属层是用于离子注入时保护 FET 沟道，并免除工艺造成的损伤，1和2步限定了沟道及栅，3步是自对准步，4步提供器件的隔离，5—8步限定欧姆接触、第一和第二层互连及钝化保护

·p. 541·

多层金属-类金属结构被沉积以明显降低栅结构的电阻率，例如，W-Si 上的金，Ta-Si 上的金，或 W-Si 上的钨。使用这些层结构对器件性能特别重要，因为硅化物或难熔栅比金和金基合金的电阻率高得多。这样电流的携载能力就明显低。如果电流密度超过 $10^5 Acm^{-2}$，电迁金和热感应颗粒调整可能发生(Irvin 和 Loya，1978；Irvin，1982；Oates 和 Barr，1994)。局部加热可能在电阻栅结构中发生，由此破坏了器件的工作特性，并加快了器件退化的进程[参阅 Irvin 和 Loya(1978)，Irvin(1982)，和 references therein]。

使用这种双层或 T 形栅结构有效地加强了电流携载能力(Maeda 等，1988)，并提高了器件的工作速度，因为栅的 *RC* 时间常量降低了。亚微米栅长器件使用低阻栅对器件的性能是很重要的，因为通过栅区小渡越时间的优点可能完全被电阻栅条的 *RC* 效应造成器件性能的损失给抵消掉。

·p. 542·

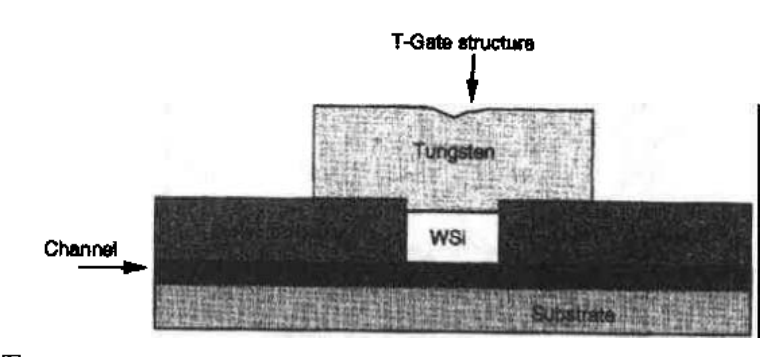


图10-37 T-gate 结构剖面简图。这种栅结构可用多种适配材料的组合形成

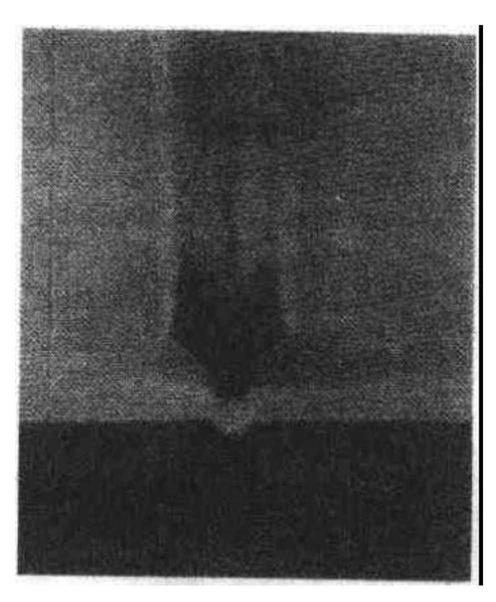


图10-38 T-gate 结构的 SEM 显微照片在半导体表面的物理栅长约100nm，体宽度约0.5μm[显微照片源自 Beaubieh(1992)]

所谓 T-gate 或蘑菇状栅结构(Yuen 等，1988；Beaubien，1992)可用于进一步降低难熔或高阻栅结构的电阻，同时保持非常小的有效栅长。T-gate 栅结构是仔细钻蚀顶部金属层下的肖特基势垒材料形成的，也可用光刻胶或其它牺牲层在沉积期间形成顶金属化层，然后在表面限定精细的栅图形。这种钻蚀结构对自对准离子注入工艺也是非常有用的，它阻止注入离子进入沟道区。T-gate 结构剖面示于图10-37，其电流携载主要靠顶部低阻金属层。其中，大的低阻顶部金属层延伸至 T 形结的高阻肖特基势垒材料上方。图10-38是 T 形栅结构的 SEM 剖面图。图中的物理栅长是约100nm，而横跨的金属宽度为0.5μm。需要电子束或深紫外光刻技术，以达到小于0.25μm 的尺寸，而 g 线或 i 线光刻技术适合的特性尺寸大于0.4μm。使用了许多技巧，如干涉、多次曝光、有意偏对中、多层光刻胶、遮影等等，以获得非常精细的栅几

何图形。细线工艺的折衷选择必须确定面对面器件和工艺的复杂性，成品率，工艺成本及可靠性。用这种精细图形制作的器件显示超级的高频性能，这是因为小的 *RC* 时间常量和短的栅长。

成功实现器件性能的关键在于栅形成过程的均匀性和重复性，与材料的性质密切相关(厚度掺杂积、电荷分布、异质结构，等等)。分步重复光刻系统在生产环境通常可产生的最小尺寸在0.25—0.5μm。G-line(尺寸约0.5μm)、I-line(尺寸约0.25μm)、深 UV(约0.5μm)，像反转过程或 X 射线洪水曝光，可用于对精细图形的限定。5倍或10倍投影系统比1:1投影或接触式光刻机绘出的图更细。电子束方法可达0.1μm 线宽，并在低一中等规模生产环境中接近这一水平。折衷地考虑，此系统相对较慢，成本高，因此在目前仅限于对栅水平的制作。设计者持续向更高频率性能和更小器件尺寸推进，人们应该认识到，制作工艺的进步是不可避免的，应在宏观条件下进行原子级水平的工作；考虑0.1μm 的栅条仅约350个原子宽度，而直径为100mm 以及150mm 的衬底正在开发中，分步重复相机的典型复制场为15—20mm×15—20mm。这个领域将是今后10年研究的重点。

10.8 退　　火

·p.543·

退火过程是为激活离子注入物、钝化表面和电活性缺陷，和不同种材料间的应力释放所需要的。其原理是用热激励方法引发可控制的晶片内的原子交换。对这一过程存在两种基本方法：扩散炉退火(FA)和快速热退火(RTA)。这两种设备结构简单地由图10-39和图10-40分别给予说明。扩散炉退火倾向于对晶片较少应力，因为温度变化率是相对慢的，而高温时间是相对长的。RTA 的目的是提供快速变化、高峰值的温度条件(通常比 FA 高数百度)，在非常短的时间周期里影响原子级的重排列。RTA 的缺点是快速加热引入的应力：短时间排除了均匀加热，暴露的周期一般对热平衡是不够的。这两种方法的基本区别是杂质和缺陷的扩散和再分布性质($\sqrt{Dt}$行为)，原因是不同的时间温度周期。

·p.544·

退火可用于修复因离子注入造成的轻微原子位移而不去除整体的位移损伤，这是隔离过程所要求的。或者，采用较大热耗，使注入标样进行位选择(激活)并占据晶格中的代位位置，同时恢复几乎所有的原子位移损伤，还有，用于使具有不同的物理性质多层材料结构的应变减缓，这是所有集成电路制造流程中所遇到的。钝化可以通过“医治”表面缺陷、固化沉积膜和可动物质如氢的内外扩散来实现(Pearton 和 Caruso，1989)。退火可用各种加热源来完成，例如：条状加热器(Banerjee 和 Bakar，1985)，基于扩散炉的过程(Woodall 等，1981；Shigetomi 和 Matsumaro，1983；Hiramoto 等1985)，和用激光器的 RTA 方法(Tsukada 等，1983)、快循环高强度加热灯(各种类型的红外光发生器)(Chan 和 Lin，1986；Crist 和 Look，1990)或弧光灯(Tabatabaie-Alavi 等，1983)。这里讨论的过程包含相对高的温度；低温合金化和退火过程放在10.6节中欧姆接触的形成中讨论。

·p.545·

比较 FA 和 RTA 方法，它们的重要区别在于热消耗。根据原子的扩散率推算，850℃，20min 的 FA 退火，等价于1000℃、数秒的原子扩散效果。典型的 RTA 循环为1000℃下5s

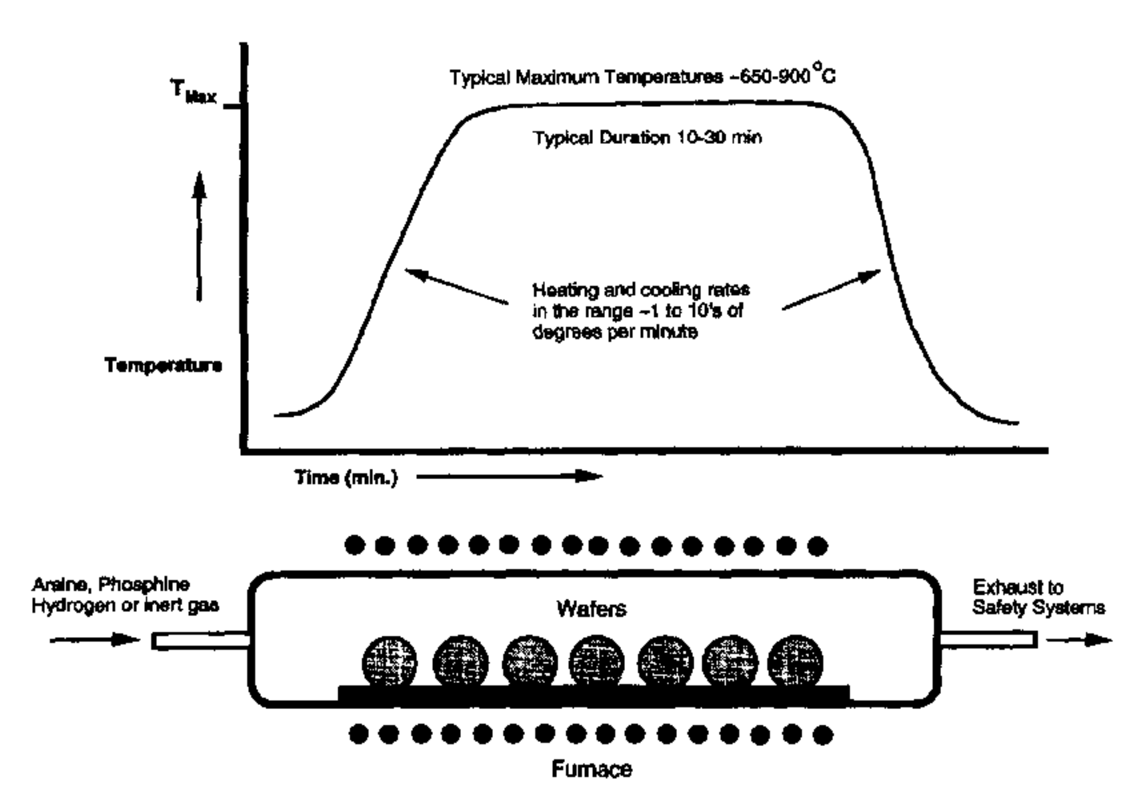


图10-39 扩散炉退火系统简图。图的上半部分是时间-温度次序的说明。关键点是相对慢的升温和降温过程和在峰温度的长时间。图的下半部分显示加热晶片平行于气流，以使由热保持、辐射/传导的热交换导致的应力为最小。当操作多数Ⅲ-Ⅴ或Ⅱ-Ⅵ化合物半导体材料时，为了控制泄漏的气体，安全系统是必须配备的

或10s时间。应注意，RTA所达到的表面温度是不能用加热源的温度来表征的（例如加热灯），因为热源温度一般比晶片温度高出数百度。在较高温度下增大了动力学能量，这就允许更快的原子交换及非常快地恢复晶格损伤和进行杂质位选择。由于在RTA过程中升温时间是如此之短，典型的掺杂剂的扩散距离仅是纳米的量级，而FA过程一般为数十或数百纳米。

当衬底在离子注入后退火，施主和受主杂质一般在晶格中变为代位的，并把电荷提供给半导体。电荷总量决定于1)所提供的施主或受主数，2)位选择几率（间隙位，自补偿效应，晶格中的离化态），和3)晶格恢复程度（点缺陷密度）。例如，使用非常高的注入剂量（~$10^{15}cm^{-2}$）和激光RTA技术（Liu等，1980），产生在n型区的电子浓度可高达$5\times10^{19}cm^{-3}$；使用脉冲激光退火（Kular等，1978）形成的p型材料的空穴浓度可达$7\times10^{19}cm^{-3}$。使用扩散炉退火过程，所达到的峰电荷浓度比用RTA方法稍低一些，这是由于FA过程的准平衡性质。通常用FA方法可实现的最大n型和p型载流子浓度分别为$3\times10^{18}-5\times10^{18}cm^{-3}$和$1\times10^{19}—2\times10^{19}cm^{-3}$。

建立在硅片制造工艺发展的经验上，已尽了很大努力来了解和控制在化合物半导体中的退火过程。由于Ⅱ，Ⅴ和Ⅵ族元素的挥发性，化合物半导体的热退火过程面临重要的挑战。在各种封帽和过砷压条件下，GaAs材料的退火行为进行了一系列的研究，其结果变化很大[例如见Woodall等(1981)，Banerjee和Bakar(1985)，Tsukada等(1983)，Crist

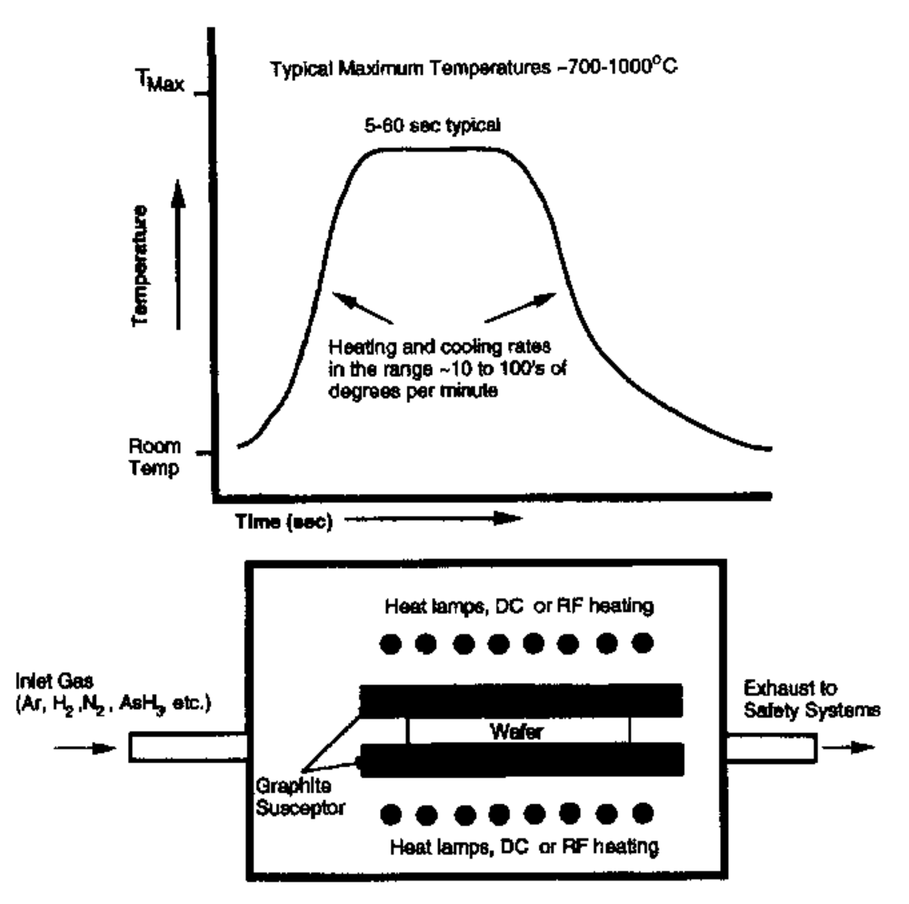


图10-40 快速热退火(RTA)系统简图。图的上半部分说明时间-温度次序。关键点在于相对快的升温和降温，和相对短的峰值温度时间。图的下半部显示晶片限制在二块石墨感受器中间，这是目前典型的商业系统配置，它一次可处理一片晶片。感受器的作用是对晶片提供均匀加热，防止陡变和应力，并减缓实际加热和冷却速率。为了安全，废气必须用燃烧或气体清洗器处理

和 Look(1990)，Asom 等(1988)，Look 等(1986)，Parsey 等(1987)]。杂质的位选择受到的影响有1)原子位移的统计性质，2)产生代位杂质必须发生的交换过程，3)点缺陷和缺陷复合体形成的竞争等。由于在化合物半导体中有两种在化学和电学上有区别的晶格位，杂质的荷电状态既可以是类施主的，也可以是类受主的，但是在间隙情况，电荷态不能很好确定。激活性质的差别归因于衬底性质的不一致性(例如，体和表面层的化学配比、杂质，缺陷和杂质二者的外扩散和内扩散)，面对面的蒸发交换过程的效果，和封帽层与半导体表面层的相互作用(例如，应力，互扩散、沾污等)。

·p. 546·

化合物半导体材料退火可以有保护封帽层或Ⅰ，Ⅴ或Ⅵ族元素的“准平衡”过压气氛进行；也可以没有。一般来说，保持表面完整性的某种方法是需要的，以阻止因Ⅱ，Ⅴ，Ⅵ族元素的高蒸气压引起表面区的分解，特别是对含磷化物的材料。化合物半导体表面层在加热期间，由于预期组分严重的蒸气压失配遭受不适当的分解，对 GaAs，GaP 和 InP 的情况如图10-41所示(Panish，1974)。Ⅴ族元素蒸气压在可用的退火温度下可能处在数帕至数

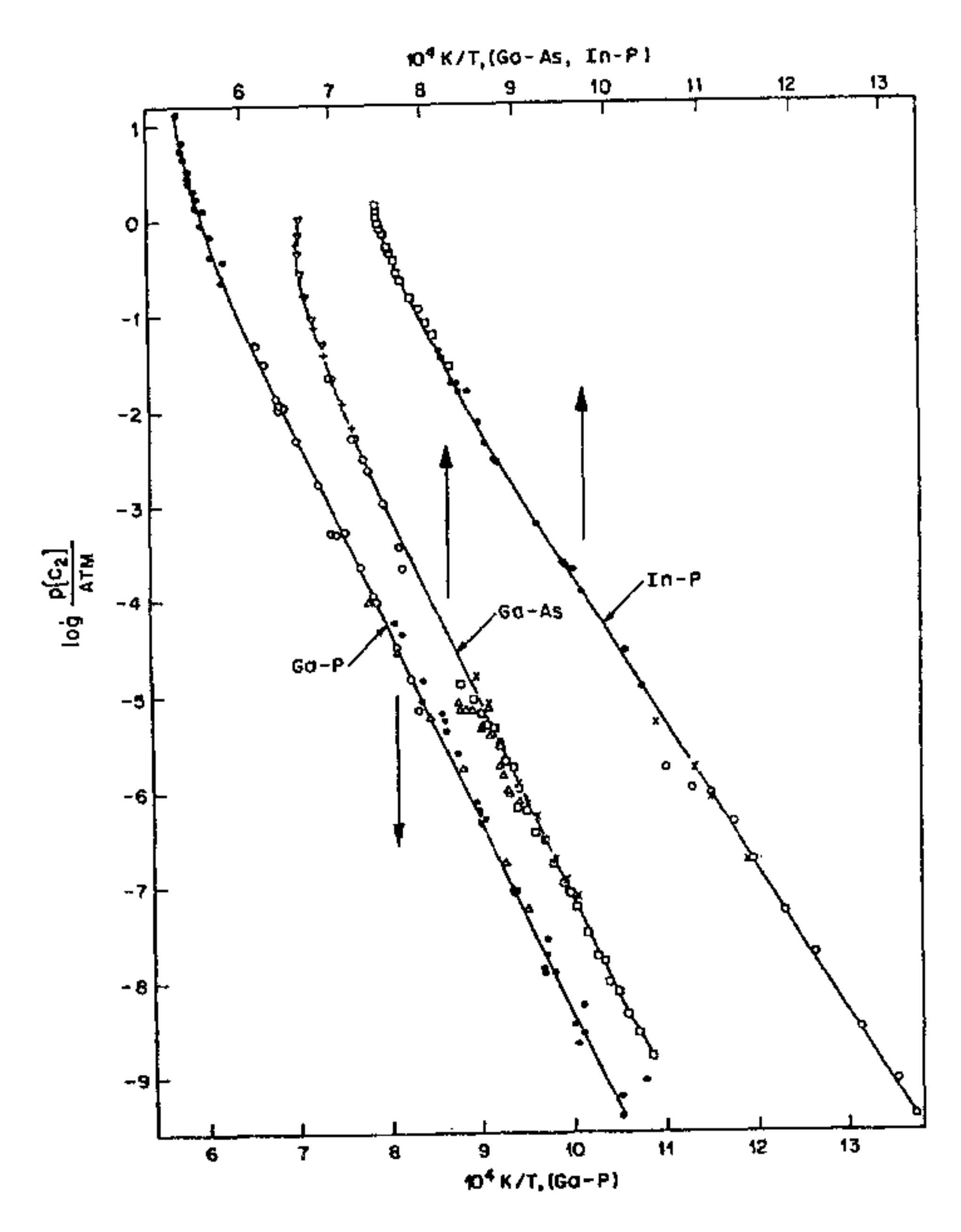


图10-41 GaAs，GaP 和 InP 的砷和磷的蒸气压图(实线)。压力的标度是以 log(大气压)为单位，温度标度是10^4T^{-1}K 氏温标)。蒸气压代表砷和磷的二聚物形式。重印自 J. Crystal Growth，27，Panish，M. B.，"A Thermodynamic Evaluation of the Simple Solution Treatment of the Ga-P，In-P and Ga-As Systems"，6—20(1974)并获许可 Elsevier Science-NL Sara Burgerhartstraat 25，1055 KV Amsterdam. The Netherlands.

千帕的范围。表面损失必须最小化，避免随着不易挥发元素在表面富集使表面具有天然导电的导电性(更类金属)。这后一效应在温度接近或高于一致气化点时产生。对 GaAs 基材料，这一温度范围为580—620℃(Panish，1974)。Ⅵ族元素倾向比Ⅴ族元素低的蒸气压，这样对大多数Ⅱ-Ⅵ材料一般采用稍宽松的退火条件，虽然同样的现象也必须考虑。然而对像 HgCdTe 这样的材料，汞的蒸气压非常高(且有毒)，必须倍加小心，防止表面分解。

GaAs 的扩散炉退火中,自由表面分解率约为每秒3个单原子层,这决定于加热速率、温度及所在气氛的压力。在等价的 RTA 过程,未封帽层的 GaAs 的表面分解速率开始时为每秒数十纳米。对于含磷的化合物,分解速度更高一些。使用过压的 As_x 或 P_x 蒸气可以借助表面分解率的平衡减小或阻止分解,虽然封帽层可完全抑制挥发损失,但挥发物向封帽及晶片表面层的扩散可能是一个问题。过压可以通过加热基质材料的固体源产生,固体源可以是元素的或化合物的蒸气标样。开管和闭封的细颈瓶的方法都被使用:大晶片工艺的实际考虑要求使用开管方法,虽然对多数化合物半导体必须采取有效的安全措施(Zuleeg 等,1990)。

·p. 547·

离子注入后 GaAs 的 FA 退火典型的时间为20—30min 或更长一些,温度为700—900℃。退火工艺在700℃以下进行时,需要非常长的时间,这会引起大的变化及不可重复性(Henry, 1989—1991)。更低的温度,500—700℃用于含磷的材料,而更加低的温度(200—350℃)用于Ⅱ-Ⅵ族系列材料。为阻止或最小化表面分解,晶片通常用氮化物或氧化物的封帽层(Nishi 等,1982; Campbell 等,1986; Mathur 等,1985)。在一些工艺过程中,采用面对面(face-to-face)结构完成(Woodall 等,1981),而在其它情况,采用无封帽层的过压方法(Henry,1989—1991)。每一方法都产生一些麻烦:去除封帽层是一比较困难过程,且可能损伤表面层;面对面方法可能因晶片划伤和潜在的交叉沾污而使成品率降低。面过压方法可能要有一个系统,并受化合物半导体工艺中材料有毒的安全性限制。

·p. 548·

因为化合物半导体材料与硅相比是相对软的,其最大退火温度、加热及冷却速率都要求更加严格。例如,当 GaAs 晶片在扩散炉垂直放置退火,温度850℃,并以快的速率从扩散炉中拉出(有效的 $dT/dt \sim 100—1000℃/min$),则晶片很易翘曲。这种翘曲使晶片不适于再进行后序工艺制作,因为现代的分步重复或接触式光刻系统不能在超过数微米的局部焦平面的变化下在表面聚焦,或者当送入夹具与掩模板接触时晶片会碎裂。以水平放置晶片方法完成退火,但用去扩散炉中很大的面积,而且在大批量中会遇到保持均匀性和重复性环境的困难。此外,快速加热或冷却产生的应力可能在衬底中导致滑移,在工艺过程后它可能引起短路或开路,且在后续工艺中,如晶片减薄,背面金属化,或切割操作,易于使晶片解理裂开。为保持晶片完整性,在 RTA 中非常快的热循环过程使得了解和控制这些应力引入的现象特别重要。

RTA 过程虽然引入较 FA 退火过程高的峰温度于主晶片,但实际上只影响相同原子水平的重构。典型的 RTA 工艺条件的温度范围为850—1050℃,时间是10—60s(Banerjee 和 Baker, 1985; Tabatabaie-Alavi 等,1983)。RTA 过程的关键是过程的净热耗比 FA 过程小。这样,虽然由于高温,原子水平激励较高,但是短时间阻止了多数杂质、缺陷和主晶格原子的明显的再分布,并仍然允许损伤和原子位移的恢复。这后一点就是 RTA 退火过程与 FA 过程相比的主要优点。如前面所指出的,RTA 过程可以得到比 FA 过程更大的载流子浓度;这一效果归因于 RTA 中产生的非平衡条件(Tiku 和 Duncan,1985)。

研究快速热退火已有一些年了,并也得到了些混杂的结果。(Kular 等,1978; Kasahara 等,1979;Immorlica 和 Eisen, 1976;Fan 等,1982;Arai 等,1981;Ito 等1983)。RTA 成功的实现强烈地依赖于退火设备的结构、工艺室内的环境以及时间-温度循环过程的细

节。RTA 过程被发展在 As,AsH_3,H_2,N_2或 Ar 气氛下退火晶片,以消除表面分解效应。这一方法的困难在于发展一种在晶片内均匀的、重复的热环境,而晶片可以是具有图形化的、金属化的表面,并同时需要保持表面完整性。化合物半导体材料的低热扩散性的晶片内造成显著的温度梯度,从应力和电学性能的均匀性的角度,这是所不希望的。对于 RTA 过程必须仔细考虑并理解由于晶片温度极快的上升产生的热冲击和不均匀加热产生的应力,不均匀加热归因于被加工晶片的变化的反射和吸收特性。

·p. 549·

由于大的热应力(即前后表面之间的热梯度)、半导体材料有限的热扩散性和金属热导等(Pearton 和 Cazuso,1989),RTA 过程比 FA 更容易引起晶体的滑移。晶片边缘的辐射特性增强了径向和轴向的热梯度,使沿〈110〉晶向的滑移和位错可能在晶片周边范围产生。晶格机械损伤和晶格点阵的破坏导致该区域制作的器件性能变坏和失效(Miyazawa 等,1983;Ishii 等,1984;Suchet 等,1987)。RTA 过程感应的应力可能导致翘曲、介质层的脱落和精细图形元件的损坏(如电阻膜的分离、金属条的裂断等),尤其是在台阶部位。仔细设计加热系统,使用热屏蔽罩、衬托、覆盖晶片或热延伸器,RTA 方法可能生产出合格的晶片,只带有很小的退化效应。

退火产生的应力从基础上来说主要来自两个现象:不同的热膨胀和物理-化学的相互作用。沉积金属层过程,在金属蒸发系统中,晶片表而可能暴露在超过1000℃的高温中,或对基于溅射的沉积情况,温度也有数百度的变化。尽管体材料在工艺过程中不可能达到如此的高温,但表面层却着实遭受这种热损害。冷却时,由于金属、半导体和其它层如介质膜的热膨胀系数有很大差别,因而就产生了应力。不同材料之间热膨胀系数的差别达5:1—10:1的数量级。如果在退火周期中未认真考虑这一点,这种不同的压缩或膨胀可能产生足够的应力,以至剥离结构,碎裂精细的图形,或感应出压电效应。退火过程也可用来弛豫应力,只要此应力是由器件制造中所包括的制作流程和不同材料不适配的多层结构材料产生的。通常扩散炉退火在相对低的温度(450—500℃)下进行,通以适当的中性或保护气体,退火时间由数分钟至数小时不等。这一过程的目的是允许某些原子相互交换并弛豫产生在不同材料之间的过渡区。

在介质材料的沉积中,化学组分可以适当调节以降低退火产生的应力,从面导致较大的对热过程效应的抵抗作用。然而,即使低应力的膜也可产生～10^9至＞10^{10}dyn/cm 范围的伸张和压缩应力(10^4至＞10^5N),这足以改变器件的电学特性。这后一点是化合物晶体半导体晶格的极性产生的结果,导致了压电特性。与这种组分变化有关的问题是膜的性质是由化学组成决定的,因此可能与设计的需要相冲突(例如介电常数或隔离和耐压能力)。在介质膜包围栅条的情况,在此关键的区域内,应力可能使阈电压漂移,由于过程效应,这可能导致不稳定的电路特性。金属化/介质的夹层结构,如电容器或电感器和多层金属,它们是在无源元件和金属互连制作过程中形成的,它们在热循环周期中也必须是稳定的。如果要避免因在预期界面过多应力引起膜脱落或"爆皮",预测材料的性质和相容性是非常重要的。

·p. 550·

用适当的离子注入过程(如低能质子)随后进行温和的低温退火,可以钝化化合物半导体中的界面和深能级态(Pearton 和 Caruso,1989)。由于氢快速地由化合物半导体外扩

散(Pearton 等,1987),退火过程必须使用300—400℃的温度范围。如果要在其后过程中保持氢的钝化效果,由于高的扩散率,则任何后序工艺的热过程和热耗都受到严格(限制参阅10.3节)。

电路在制造流程中应用了退火过程,其重复性对电路性能是重要的。杂质位选择、有关补偿和缺陷形成的统计性质都需要严格控制退火环境。如果使用如离子注入退火所要求的高温退火,则必须考虑晶片前期工艺的热过程历史,及其后过程对杂质和缺陷再分布的影响,以及材料经受附加热过程的能力。加于制造流程的条件之一是相继的工序必须在持续较低热耗下完成,以防止不可控反应、不希望的相形成、附加的内扩散和结与接触区的穿通。因此,仔细规划和详细了解材料性质和工艺过程的热力学和动力学是必要的。

10.9 介质和层间隔离

提供各种半导体和金属层间的电学的和机械的隔离在器件中是必要的。例如电容器的形成需要介电材料隔离电极板。在电感中,线圈绕组必须与衬底或任何其它金属化隔离。电容器的简单剖面图示于图10-42。典型结构是一覆盖以介质层的 n^+层或第一金属层由一介质层覆盖(图10-42a,图10-42b),随后由一上金属层限定电容器面积。在此应用中,介质层的性质和完整性对电容的重复性和成品率是很关键的。

·p. 551·

现代电路设计的集成度要求多层金属化系统,用于器件互连和信号传输线,提供电源总线通路,并允许电路适当的压缩。每一金属层都须用介质层隔离。介质层必须具有适当的介电强度和介电常量、一定厚度以及物理性质的均匀性,且以高度完整性沉积,使短路的可能性降至最低。介质层在控制表面态密度和钉扎半导体表面的费米能级方面也扮演关键的角色。这些性质可能影响器件的阈电压值及其控制。这些器件包括在 GaAs、InP 和其它化合物半导体材料上制作的 MESFET, HFET(MODFET)和 MISFET 类器件[Daembkes(1991)]。

介质材料通过续接悬键和钝化表面,降低了表面泄漏。介质层也用于在制造过程中保护化合物半导体不受化学侵袭和沾污,并提供对表面的机械保护。封闭的介质膜可用于在退火期间阻与表面的分解。这在多数Ⅲ-Ⅴ和Ⅱ-Ⅵ族化合物中是一个重要的应用,因为它的组分构成是易挥发的。为了帮助形成空气桥金属化,介质膜被用于协助限定“柱-桥”结构。因此了解介质材料及其沉积过程和在界面潜在的相互作用对获得重复性的器件特性是必要的。

·p. 552·

不幸的事实是,化合物半导体材料没有在硅工艺中可用的坚固的基质氧化层。例如 GaAs 中的基质氧化层 Ga_2O_y 和 As_2O_y($y=3.5$)是非常不稳定的,很容易溶于各种液体中。亚氧化物(Ga_2O 和 As_2O)在普通工艺温度下是易挥发的。这些能很快在空气中形成的氧化物是界面态的来源之一,因为表面键合组态及化学在氧化过程中受到很强的调制。基质氧化物在性质上也是不均匀的,由于其化学组分和键合存在强烈的局部改变(Watanabe 等,1979)。部分原因是组分元素的蒸气压和反应性的巨大差异。其它的氧化层,例如用乙二醇溶液形成的氧化物,在电学性质上劣于多数沉积的介质材料,因此不被重视

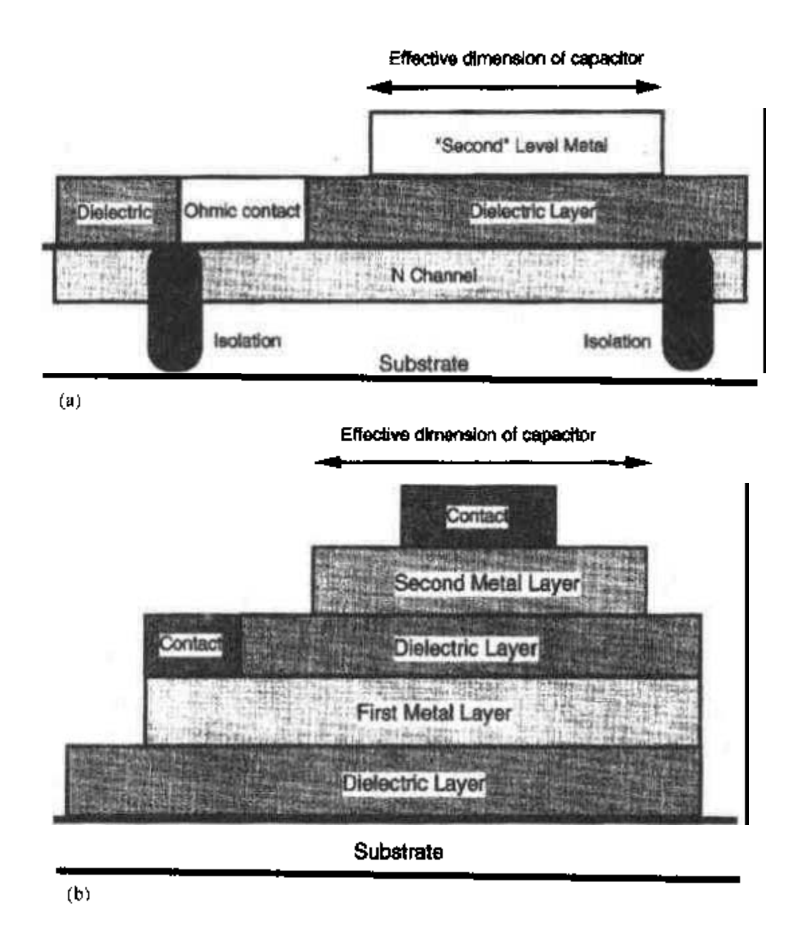


图10-42 电容结构的剖面简图。a)基于沟道的电容器说明。b) 由两层金属和金属间介质层形成的电容器。对于此两种情况，介质的厚度及完整性对结构的漏电及击穿特性是很关键的。电容器的有效面积决定于上层金属块长度

(Hasegawa 和 Hartnagel，1976)。Ⅲ和Ⅴ族氧化物可以很容易用 HCl-或 NH_4OH-基的化学药品溶解，这对表面处理是很方便的。但是必须强调，对集成电路应用来说，基质氧化物只有有限的用处。因而必须使用替代的沉积介质材料。

对于大多数应用，使用 SiO_xN_y，Si_xN_y 和 SiO_x 这些介质。介质材料的介电常量主要取决于其化学组分。这些化合物的组分主要由沉积化学和沉积设备的配置确定。器件性能指标决定优化的介电常量值。应当强调，这些材料很少有化学配比的。因此必须仔细实验，使沉积能获得组分和厚度均匀的及应力低的薄膜。

介质层的应用包含了许多折衷。最满意的是，高速工作要求低的介电常量。使用 SiO_2，Si_3N_4和 SiO_xN_y 的权衡是其介电常量值：氮化硅对电容是最好的，而氧化硅由于低的介电常量对速度最佳，并导致低电容，混和的氮氧化物材料具有的介电常量值居于 SiO_2和 Si_3N_4之间，它允许在电路制造和性能之间的关系中的折衷处理。例如，SiO_x($x\sim2$)的介电常量比 Si_xN_y($x\sim3$，$y=4$)小得多，如表10-7所示，表中还有其它有价值的介质材料。因此用作互连隔离时，用 SiO_x 可以实现低电容，这是高速电路所期望的。但为了获得设计的电容值，就必须沉积非常薄的 SiO_x 层(相对于较大介电常量材料)，或者就要器件

扩大面积，结果使成本增加，成品率下降。在极薄层情况，膜的完整性是对成品率限制的一个因素。

·p. 553·

如果工艺在优化条件下进行，多数介质层可沉积得具有相对低的应力。典型的应力水平为10^9—10^{11}dyn cm^2(10^4—10^6N)。10^9dyn cm^{-2}被认为是无应变的，而10^{10}dyn cm^{-2}(10^5N)的应力可能产生问题，如成品率、可靠性(层的粘附，热过程效应)。应力产生的另一问题是由化合物半导体晶格的极性引起的压电效应(PE)。由于PE效应，层间应力可能产生显著的各向异性的电压漂移。这样，栅极的取向对于衬底晶向的取向变成很重要了。在GaAs上的Si_xN_y膜中，应力通常随硅组分而增加。同时，介电膜的电阻率随气氛中硅烷的浓度变化，使电隔离效果变差，而观察到较大的漏电流。较低的沉积温度也使氢的含量增加。氮化硅材料性质优化平衡的结果是当膜的组分接近于化学配比的条件下获得的[Williams(1990)]。

表10-7 某些介质的介电常量

材料	介电常量相对值	参考文献
GaAs	13.1	Sze(1981, App. H)
SiO_2	4—5	Williams(1990, p. 295)
Si_3N_4	7.5	Sze(1981, App. I)
Polyimide	~3.5	CRC(1978)
Ta_2O_5	20—25	Williams(1990, p. 2951)
TiO_2	14—110	CRC(1978)
$SrTiO_3$	50—100	Nishitsuji et al. (1993)
Al_2O_3	9.5	CRC(1986)

·p. 554·

介质材料应用的一个问题是多数材料与化合物半导体的力学不相容性。介质材料的热膨胀系数通常与金属和主半导体材料有很大不同。结果介质层的沉积可能引起相当大的应力水平。器件工作的热循环可能因循环疲劳使金属线和接触失效，特别是在台阶和边缘部位。这一效应可用图10-43来说明。循环应力也可能因化合物半导体的PE效应使器件的特性发生漂移。由于PE效应和制造过程的相关现象影响了器件的阈值和工作，因此必须对其清楚了解，以获得正常可靠的电路工作特性。

介质膜的沉积可以用各种技术完成。对于介质材料的沉积，蒸发方法是了解最多的，但其对化合物半导体制作的应用是有限的。这种方法暴露衬底于高温，介质组分的控制非常困难，随时间、速率的变化引起源上成分的变化，从而引起介质组分的变化。化学配比和材料性质的控制也很复杂，因在高真空下(HV或UHV)的沉积环境，元素和分子蒸发速率是很难平衡的。

溅射方法可用于沉积，但表面损伤是严重的。在微观上，整个膜的化学配比一般是不均匀的，它会影响物理性质和刻蚀特性。溅射靶的寿命也会引起介质性质逐渐改变。晶格损伤可能由离子及被注入表面区的表面原子引起：在沉积时也发生表面原子的再溅射。表面区的氢化也是一个问题，特别是对使用硅烷，氢气和(或)氨等供给气体的情况。氢以各种形式进入膜，以不可控方式改变介质的性质，并使膜内产生随时变化效应。这是因为在后序工艺中，甚至在器件工作期间，氢都可能外扩散(Pearton 等，1978)。

标准的CVD工艺需要相对高的沉积温度，以驱动气相反应。通常的沉积温度高于500—1000℃，这与多数欧姆接触和互连用的金属化过程不相容。此范围温度对多数化合物半导体材料也嫌太高：在沉积周期中表面分解可能发生，因为V族元素的蒸气压，如P_{As}和P_P在这些温度下是不可忽视的[例如见图10-41，和Panish(1984)]。

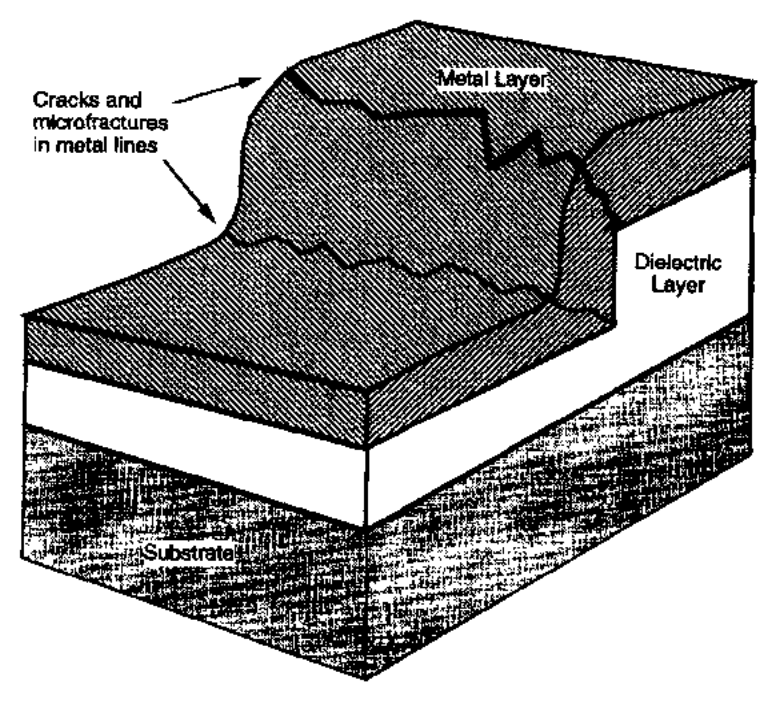


图10-43　介质台阶上的金属线详情。由于持续的热过程循环，不同的膨胀可能引起断裂和微裂纹在金属线中。类似的，上面的介质层由于下面金属的膨胀也可能产生裂纹。由于应力密度，台阶和边缘处是最敏感的

可供选择的沉积方法看来是等离子增强化学气相沉积(PECVD)。这是归功于这些过程开发出相对低的温度(～175—400℃)和增强了反应系统的可控性。等离子体用于产生有活性的反应标样，具有的能量来自电激励，而不是直接的热离化。在各种系统配置中，等离子体可以由直流或交流场产生：每种方法都有其倡导者(Gupta 等，1983；Tsubaki 等，1979)。

•p. 555•

在 PECVD 中，典型的压力为10^{-3}Torr(0.13Pa)等离子内的激励给予的能量在数百电子伏范围或更少。结果，离子轰击仅带来很小的表面损伤(Meiners，1982)。等离子体在低温下激励产生化学反应标样。凭借这种相互作用仅有很小部分可用分子被离化：大部分等离子体是中性的，因此相对较冷和无反应性。衬底可以被加热，但是对高质量的沉积仅需升温至200—300℃。自加热效应在沉积同时就可以把衬底带入这一温度范围。这一过程的低温允许通过特征的发射和吸收能量直接监视气相反应、反应标样和副产品(Havrilla 等，1990)。这种测量可容易地适合于过程控制或终点检测。

PECVD 方法提供很大的灵活性：介质密度、组分、折射率和介电常量都可以用控制沉积条件加以改变。PECVD 方法可以很容易地用于生长 AlN，Si_xN_y，SiO_x，Ta_2O_5，TiO_2和其它材料。AlN 似乎对 GaAs 及有关材料的应用是一种很有希望的新材料。它具有的热膨胀系数与 GaAs 匹配得很好，但是与沉积有关的损伤目前还比较严重，而且很难在不产生附加表面损伤的前提下被除去(Gamo 等，1977)。

PECVD 的生长速率随操作压力和沉积温度增加倾向于降低，而折射率一般随沉积温度的升高而增加。适合沉积和刻蚀的气体是反应物：氯化物、氟化物、氨、硅烷、氢、氧和

含氮化合物。贵重气体，如氢，可用作稀释剂以缓和沉积过程。PECVD 工艺的主要缺点是过程有太多的可变参数：气体压力、反应腔和衬底温度，流速率、气体组分、刻蚀速率、副产品材料的演化、电极形状、激励方式(DC 或 RF 激励频率)、输入功率、等离子体能密度、系统配置、衬底旋转等(Gupta 等，1983)。这些参数对过程的发展设置了一个难以克服的障碍，且使过程控制复杂化。

对于工艺的一致性来说，必须考虑的因素有：来自泵的沾污，真空密封的泄漏(工艺未在 UHV 下操作)，反应腔材料，残留物如 Si、O、H、C、N 等。结果，一个稳定而耐用的操作条件的得到和持续下去是困难的。PECVD 方法另一个有关问题是沉积发生在整个反应腔，使过程的控制及稳定性复杂化。为保持过程的完整性和一致性，仔细地保养和经常地清洁是需要的。通过仔细设计实验方法和应用统计性的工艺控制监测，一个耐用的重复的工艺过程是可以得到的(Havrilla 等，1990)。

·p. 556·

桶形(或平板型)PECVD 反应器的设计可以用于沉积过程(图10-44)。在桶形反应器中，反应腔内的电极板可以是中性的，或相对地电位悬浮。各种基座和腔体的配置都是可能的。低能离子流在晶片上方的极板间产生。偏置的晶片基座可以增强或延迟沉积过程，或改变沉积的选择性。在这种系统中，受控制精细尺寸的刻蚀过程将更加困难，这归因于低的离子能量和小的加速电场。晶片表面电场的局部扰动就能容易地偏折入射离子。这使桶状反应器最好地适用于相对粗糙的工艺过程，例如光刻胶的烟化，大图形的刻蚀，或厚的、非标准层的沉积，这是由于在金属化或图形化晶片上与局部非均匀电场有关的问题。受控气流——达到均匀刻蚀过程的关键，在桶状设计中要保持均匀性也是困难的。原因是非均匀和非对称性加热效应、对流和通常的非对称注入和废气的抽排。

辐射状气流、旋转基座的设计被证明对达到膜的均匀沉积非常有利。一个通用的配置

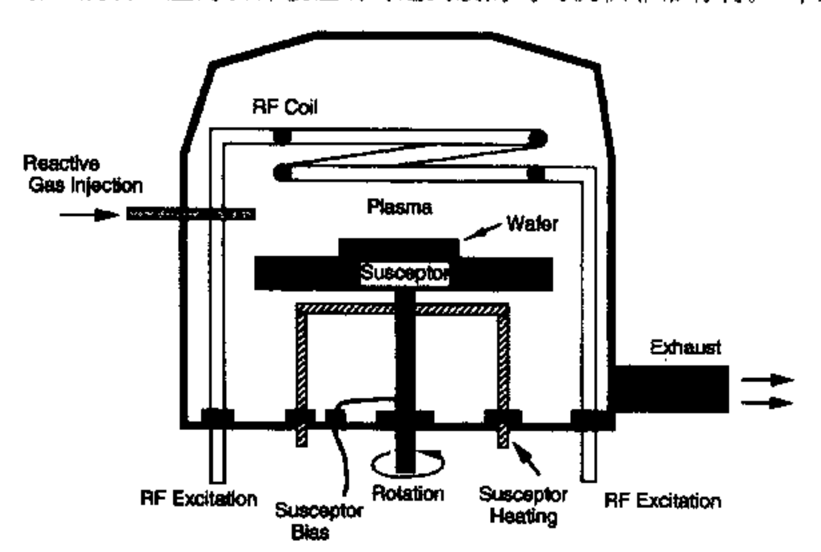


图10-44 RF 激励，桶形配置的 PECVD 介质薄膜沉积系统示意简图。晶片上方的等离子体产生用于沉积的活性标样。被激励的标样能量可以非常高并引起半导体表面的损伤。引入基座旋转以改善均匀性。对晶片提供加热和偏置以帮助沉积

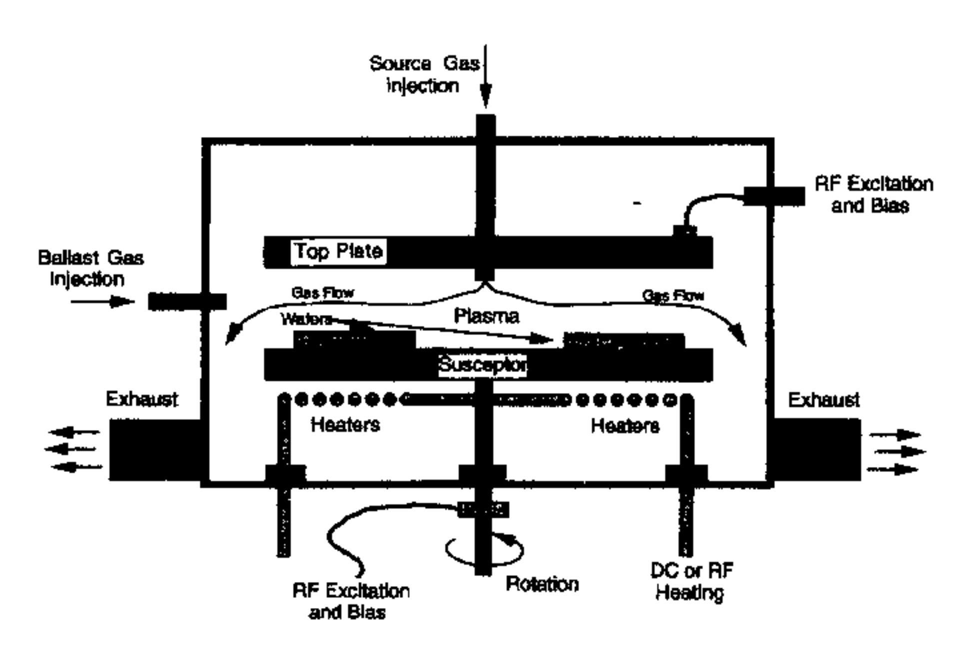


图10-45 高性能的辐射状流配置 PECVD 介质膜沉积系统的简要说明。等离子体在晶片上方产生，为沉积生产活性标样。辐射流按注入和耗废配置，改善了沉积的均匀性。正如多数等离子系统，激励样品的能量非常高，并引起半导体表面损伤。基座旋转被加入以改善均匀性。加热和偏置可提供的晶片以帮助沉积

示于图10-45。新的商业系统，如由 Electro Tech 或 Plasma Therm 所开发的，对直径3″(76mm)的 GaAs 晶片厚度均匀性可控制在1%以内。在这种配置中电极可被轻微加热，如果需要，可提高晶片温度和增强表面反应速率。反应气体和离子标样在辐射状反应器里分布较桶状设计好得多，这导致膜特性和厚度均匀性的改善。在辐射状反应器中，等离子体被限制在激励极板之间，带有一邻近极板表面的粹灭区(空间电荷区)。离子在通过空间电荷区时被电场加速，并撞向晶片表面。

•p. 557•

一些研究者提出所谓"下游"(非直接)系统，其中等离子体激励和活性反应物在"上游"产生(相对于衬底和气流的位置)，明显远离沉积区。反应材料和气流被从源小室抽出，并流过晶片。如果热条件适当，沉积发生在晶片表面。这一配置示于图10-46。人们发现，使用这种下游沉积方法极大地降低了在表面区的等离子体引入的离子损伤(Meiners，1982)。

•p. 558•

另一种 CVD 沉积方法是光激(photo-stimulated)CVD。在此系统，CVD 的反应腔配一窗口，允许所选择波长的光撞击在气体或衬底上。这种附加的激励以减少的电能输人能产生所需要的物质。这种技术的优点类似于 PECVD；用选择的光激励能量激励特定的分子，使之具有低的沉积温度和大的选择性(Pesters，1981)。光增强(photo-enhanced)CVD 比标准的 PECVD 技术引人更少的表面缺陷，并且运用"下游"或配置，表面的直接离子轰击损伤可得以避免。

电子回旋共振(ECR)是一个产生等离子体而同时减缓因离子、电子轰击引入的损伤的一种较新的方法(Kondo 和 Nanishi，1989；Takamori 等1987；Sugata 等，1988)。在此，等

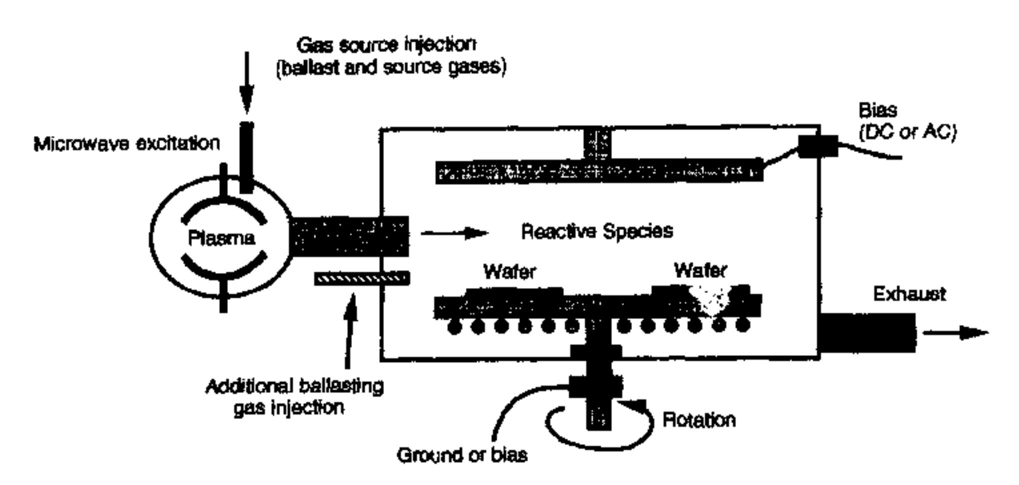


图10-46 ECR 等离子体 CVD 系统说明简图。等离子体由所希望标样调谐的电子回旋共振在小室内产生，它远离沉积区。携载流或抽取势输运活性标样至晶片。在这种配置只引起最小的晶片损伤。晶片旋转被提供以改善沉积的均匀性。加热和偏置可供给晶片以帮助沉积

离子体激励以通常的方式提供，只是附加非常高的频率的 RF 激励信号。用选择激励频率与所需离子物质的回旋频率共振的方法获得选择激励。这些选择中的离子将能量吸收，并产生沉积所需的等离子体。这种方法需要相对高的激励功率，因此，使用“下游”(downstream)配置，其理由是明显的。

另一类介电材料是聚酰亚胺(polyimide)。这类材料是具有相对低的介电常量的有机聚合膜，介电常量的典型值为3.5。聚酰亚胺是非常稳定的介质：某些成分能够经受高于500℃的温度(Dupont，1976)。这类材料最适合作封帽层或电容介质，用于电感的隔离或第二层(和更高层)金属的隔离。这类材料也可用作金属桥结构中金属导板的支架、虽然在非常高的频率下，大电容可能造成问题。

聚酰亚胺可以用分配/自旋系统沉积，类似于光刻胶涂覆。聚酰亚胺应用的主要缺点是：1)相当长的固化时间，需要去除溶剂和多叉连接的聚合物链(在升高温度下需1h 或更多时间)，2)厚度控制的困难，由于液相的高粘度。伴随固化，聚酰亚胺膜可以用标准的光刻方法图形化。然而只有特殊的溶剂和某些等离子体可以去除聚酰亚胺材料。它们用氧等离子(asher)刻蚀，或用功能很强的基本腐蚀溶液。适当的溶剂或醇类也可用于图形显影，但必须留心使软化或对膜的其它损伤降至最低。聚酰亚胺一大优点是它们的介电强度，典型值约为10^6V cm^{-1}。这一性质结合高介电常量，使这种材料用于高压电路或获得非常精细图形尺寸方面很具吸引力。

PECVD 和有关的沉积方法中，膜的生长速率为10—50nm min^{-1}，且有用膜的典型厚度为50—1000nm。聚酰亚胺膜厚度是通过流体的粘滞性、转速和在沉积系统的加速程序控制。更薄的膜可以被沉积，但一般完整性不好。所有类型的介质膜都可用椭偏仪测量确定厚度和介电常量。其它仪器，如干涉仪，用于确定被沉积膜的压缩或张应力条件。针孔或膜完整性的破坏是一个持久问题，它由晶片表面沾污、在等离子体中和反应室上大的基团和粒子的形成或复杂的表面拓扑结构导致的。多次工艺循环可能用于减轻或使这一问题最小化。

·p. 559·

对介质膜和表面态对沟道饱和电流(J_{sat}),器件的阈电压(V_{th})和反向击空电压(V_{br})的影响了解得仍很不够。溅射或 PECVD 产生的典型离子损伤深度小于50—100nm,但是在不正确的沉积条件下,GaAs 中的损伤深度可能上升至预期值的二倍(Williams,1990等)。这种损伤引起重要的表面耗尽效应,它可能导致器件行为的不稳定。对于增强模式或低电流器件,表面态效应是特别重要的,其中电荷非常接近于栅,或表现出非常低的密度。结果,导电沟道对表面电场的局部扰动非常敏感。生长后退火通过平衡界面电荷和界面化学,及弛豫内建应力有助于稳定介质膜的性质(Weiss 等1977)。所有这些问题对用化合物半导体制造性能高、可靠性高的集成电路是关键的,而且是持续研究和发展的课题。

10.10 电 阻 器

偏置网络、反馈控制、分压器和分流器、负载端接器和平衡应用,所有这一切都需要使用电阻器。在 IC 制造工艺期间,电阻器可以用晶片表面的导电沟道(有源区)或建造分离的薄膜层结构来形成。基于沟道的电阻结构可用 n 层或 n/n^+层(离子注入或外延生长层)来形成,如图10-47所示。这种方法要求严格控制层的薄层电阻以实现对电阻值的控制。薄膜电阻一般是沉积在第一层介质膜上,如图10-47(b)所示,但是可以在多次金属规划中放在任何适当的位置。

一个电阻器需要导电电阻条和接触。沟道型结构需要某种形式的周边隔离。这样,在计划工艺流程时,对电阻的制作必须仔细加以考虑。对沟道型电阻器必须使用凹坑、台面或离子注入来限定电阻体和隔离接触区。沉积薄膜电阻可用光刻,刻蚀或浮脱(lift-off)工艺实现限定。在介质层上的薄膜电阻允许占据较大的范围,因为电阻体可在表面曲折分布(带有一定限制)不消耗有价值的有源区。与沟道型结构相比,薄膜过程允许较大范围的电阻率值。与电阻制作有关的过程必须不超过对前序工艺的热限制。

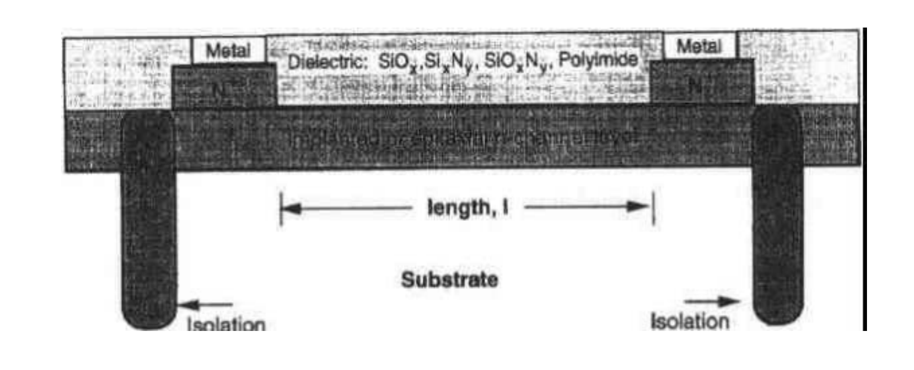
电阻器获得的电阻值由下述关系确定:

$$R=\frac{\rho L}{Wt}+\frac{2R_c}{W_c} \tag{10-12}$$

其中,ρ 是导电材料的电阻率;L 是长度;S 是电阻体的宽度;t 是层厚度,注入厚度($\sim 2\Delta R_p$)或有源外延层总厚度;$2R_c$ 是接触电阻之和;S_c 是有效接触面积。一个电阻器结构的细节示于图10-48。如果在电阻条中使用多层导电层,如 n^+-n 层结构,(10-12)式要作适当调整以适应平行导电效应。对实际电阻结构,接触电阻将可忽略(通常大大小于电阻的1%),并且满足电阻制作过程允许的变化。用半导体导电层形成的电阻相对易于实现。不需增加掩模板,因为沟道可按欧姆金属化和隔离的工艺次序图形化。典型的电阻率值在100—1000 Ω/□范围,但是这一范围很容易用附加的离子注入和退火工艺加以扩大。

·p. 560·

沟道型电阻器的实现存在一些缺点:表面耗尽(表面态)可影响电阻条件中的电荷,介质沉积可以引起表面势的偏移,电阻率存在有相对大的温度系数(带隙能量系数、杂质离化、迁移率影响等),可能发生电流携载能力的饱和,加热和冷却效应改变电荷密度和载流子迁移率,以及慢畴振荡和高频振荡(Gunn-type)可能因电荷注入衬底而发生。兼顾了所



a)

b)

图10-47 沟道型电阻器的剖面图。电阻器的有效长度为"l"。欧姆接触限定有效长度。宽度用周边隔离限定(台面或注入,如图所示)。在后序工艺期间,用介质层保护电阻体。图b)说明一个用薄膜材料制作的电阻。如图所示,此层沉积在介质层上,用光刻方法图形化。金属接触被沉积和图形化在电阻的两端。如果需要,可沿电阻体设置抽头。电阻的有效长度为l,宽度由光刻决定。控制膜的厚度和组成,提供对电阻性质的高度控制



图10-48 一个电阻结构的详图,给出了关键尺寸和图形,接触电阻主要在金属和半导体界面。体电阻率决定了电路设计所需的电阻器的尺寸。W_c是有效接触宽度,W是电阻条的有效宽度,t是层的有效厚度,L是有效长度

有下述的效应形成了这种电阻器结构的性能。仔细排布电阻的位置(参照电源分布总线、到关键节点的距离等)是必要的,以最小化电阻器与其它电路元件的相互作用。

·p. 561·

在电阻结构中,IC制造的现实显出下面方式。表面耗尽会降低电阻条中可利用的电荷,一般导致高于预期的电阻值。由于工艺引入的层厚度、电荷密度尺寸容限、表面态和表面沾污变化的影响的改变,电阻实际上以非控方式或增加,或减小。高的片电阻率薄层因

为它们相应的低电荷密度，对这些变化更敏感。使用介质薄膜倾向缓和表面态的影响，但是由于产生应力和压电效应会恶化对电阻的控制。这些效应的大小受到介质膜的组成、表面制备和沉积条件的制约。

必须考虑热效应，因为载流子迁移率随加热而下降(比例于$T^{-3/2}$)结果，当电路和电阻有相当功率耗散时，电阻值会增加。此外，当温度非常高(>100℃)，带隙变窄效应也会开始影响输运特性，再一次改变电阻率。这一行为对设计者是重要的，因为补偿网络可能必须加入电路，以适应电阻的这些改变。由于电阻体本质上是晶体管导电沟道，像晶体管一样，它也受到同样的电流饱和限制。对于多数化合物半导体材料，沟道饱和发生在1000--5000V cm^{-1}的电场强度范围(Sze，1981d，pp. 44，325)。尽管这些效应可用仔细控制和设计电阻两端的压降予以减轻消除，但它仍给器件设计者和工艺工程师提出一个附加的限制。有意超过饱和值将导致过加热和加速器件的失效。

·p. 562·

当电阻器被偏置时，临界场效应可能因DC和AC工作条件而被引发。当高于临界场强，电荷可以注入电阻器周围区域(隔离区或半绝缘衬底)。在化合物半导体中可能引起自激振荡。这种振荡可以实现作为慢畴振荡(Ridley 和 Walkins，1961；Ridley 和 Pratt，1965；Kaminska 等，1982)，参阅10. 3. 3节，或为高频 Gunn-type(取代)振荡所取代(Sze，1981，第11节)。在 GaAs 中，当电场强度超过500－1000V cm^{-1}时会产生慢畴(Kaminska 等1989；Gunn 振荡发生在场强超过3000V cm^{-1}时见 Sze，1981d，第11章)。

在使用沟道电阻器中的一个主要考虑是散热。GaAs 的热导率(Ω)只有0. 48W cm^{-1} K^{-1}(EMIS1990，1. 8节)，且热扩散率仅为0. 27cm^2s(EMIS，1990，1. 9节)。InP 的这两个参数值分别为0. 56W$cm^{-1}K^{-1}$和0. 4cm^2s(EMIS，1991，1. 8节和1. 9节)。因此必须慎重考虑，避免超过局部加热和热崩条件，特别是如果电阻体邻近有源区时。

有关沟道电阻的最后一点是大的分布电容，它来源于沿电阻长度的耗尽效应。对于“长的”电阻条(高电阻值)，这种电容特别关键，它导致难以控制的 *RC* 时间常量问题，严重降低器件的工作速度。寄生电感也由长的弯曲电阻引起，它也会限制高频操作和产生不希望的工作不稳定性。

表10-8　薄膜电阻材料[a]

Metal	Resistivity range (Ω/□)	Temperature coefficient (ppm K^{-1})
Cr	13	3000
Ti	55－135	2500
NiCr	60-600	200
TaN	280	－180 to －300

a 源自 Williams(1990，p. 306)

薄膜电阻可以在半导体表面制作(运用在电阻体和接触区下的离子注入隔离)，或在第一层或其下面的层或几层的介质层上沉积和图形化薄层 Cr、Ni-Cr 镍铬合金，TaN 或其它材料(参阅表10-8)。这些电阻薄膜具有比电阻值范围10—1000 Ω/□，提供适当的电阻值范围。在半导体表面沉积和图形化这些膜遇到上面描述过的影响沟道电阻结构的许多效应。薄膜结构的形成包括沉积均匀的电阻材料沟道，然后光刻限定适当的图形。刻蚀暴露的材料是用等离子体技术来完成的。然后将接触金属按要求沉积在电阻条上进行图形化，并退火使之与电阻体进行合金化。抽头式电阻结构容易制作，使激光消融或电流脉冲破坏所需位置的膜，这些抽头式电阻可在调整高频响应或电路增益特性中得以实现。

·p. 563·

在介质上沉积薄膜层。具有许多优点：电阻值比较易于控制，有调整能力(激光修整或聚焦离子束(FIB)修理)，降低分布电容，以及设计和排布上的灵活性，只须多化费一次掩模工序。薄膜沉积提供很大范围的工艺控制，虽然典型膜厚小于100nm。蒸发和溅射过程是电阻制作使用的沉积方法；电镀方法缺乏良好的控制。薄膜方法的缺点是其连续性严重受到膜内针孔和不均匀性的影响。薄膜电阻内的高电流密度可能导致电迁移问题、局部加热和灾难性失效，特别是在接触块和电阻体的接合部位。这些效应类似于在源/漏，或栅金属化的电迁移失效。这种失效机理简单表示于图10-49[Magistrali 等(1992)]。

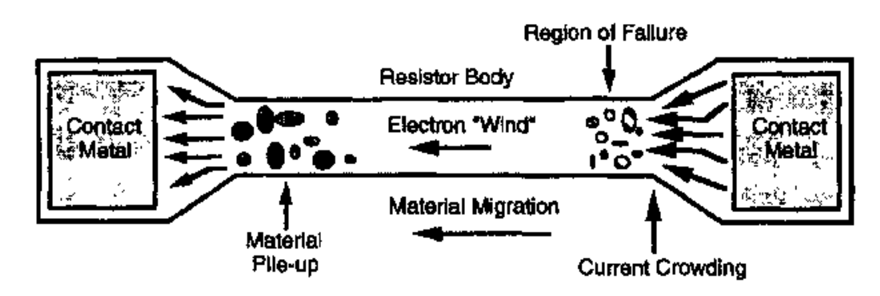


图10-49　薄膜电阻失效简图。电迁移引起的材料输运("电子风")在接触区附近产生高阻区。一些材料输运至电阻器的另一端。材料的损失生成一热点(hot spot)，它最终引起灾难性失效

电阻膜对半导体或介质材料的粘附性是关键的问题。这个问题的克服是在电阻器上再沉积一层介质层，以保护薄膜层不受损伤，不受应力，并固定住这薄膜。电阻值的控制受到膜厚度，限定宽度和膜组分的影响。薄膜电阻可以用激光消融的方法在检测的同时精密地调节电阻值。最近，由于FIB的出现，电阻条可以被修理或新建，虽然此方法目前仅限用于非常昂贵的电路。使用沉积薄膜电阻，边缘电容效应被最小化，因为半导体中的电荷完全不在电阻条内。介质的介电常量可以优化，最小化的电容性耦合可受薄膜结构的影响，这对比于沟道电阻，导致明显的 RC 时间常量的下降。

原理上，在薄膜电阻中对电流的限制是材料所能支持的最大电流。在实际中，这是受电迁移现象、与加热有关的效应、材料的温度系数和电阻及衬底的最大功率耗散等因素的限制。因为介质材料表现很好，当操作于高偏置水平时，沉积在介质层上的薄膜电阻中很少存在与电荷注入、振荡、非线性等有关的问题。

10.11　金属化和浮脱工艺

·p. 564·

金属导体是需要用来提供器件的互连，层间和背面的通路连接(Vias)和与外部环境的热导和电导通路，导体材料必须具有以下性质：高电导和热导率，在电学和力学上稳定，化学惰性，还可用与制造相适配的化学方法进行图形化，具有好的粘附性能，抗腐蚀性，延展性，与工艺流程的相容性，工艺包括沉积和限定步骤。

金属化和互连工艺的关键点是使导线和通路电阻率最小以阻止过多的功率耗散和伴随的信号损失，以及当使用很小几何尺寸时因 RC 时间常量和热效应对工作速度的限制。

Au,Al,Ti,Ta,W,Ge,各种硅化物和大量的金基合金材料,都是与大多数化合物半导体材料工艺相容的(Howes 和 Morgan,1985,第6章,Williams,1990,第11章)。然而,为了防止不需要的化学和冶金学反应,多数材料必须以多层结构进行使用,即叠层和高电导体金属。此外,互连金属必须对电迁移过程是稳定的,该过程能在电流密度超过10^5—10^6A cm^{-2}时发生(Davey 和 Christon,1981;DiLorenzo 和 Khandelwal,1982,345;Williams,1990,第20章;Irvin,1982)。进一步说,这种稳定性必须在高应力实验和工作条件下能得到保持,如:加速寿命实验,高温下检测和工作,高偏置和高湿度。在这以后才能称该材料适用于化合物半导体器件。与硅基产品不同,这种金属化在本质上高于工作温度,如150--200℃下必须稳定几万小时。

·p. 565·

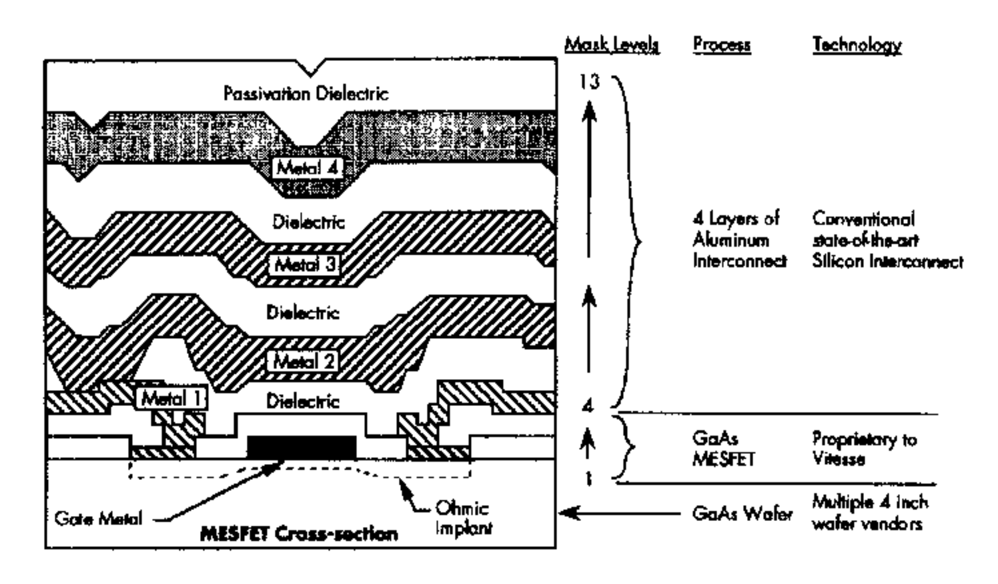


图10-50　四层金属互连方案的剖面简图。Al 被用于 MESFET IC 的上层金属层(图源自 C. Gardner,Vitesse Semiconductor Corporation,Camarillo,CA.)

金属化方案在 IC 互连中是主要问题。典型的双层工艺由于功率通路问题,妨碍了现行 IC 制造中的小尺寸化。结果,做出的电路性能较低,成品率较低,且成本较高。三层(Lee 等,1989)和四层(Vitesse,1990;Tri Quint)互连方案提供了信号和功率通路的灵活性,允许电路的明显压缩,并使信号和功率分布优化。在多层金属化方案中,控制信号通常由低层携载,而功率分布和地连接被安排在上层。商业的四层金属化工艺简示于图10-50的剖面图中。图中,互连直接由上层金属层到较低的金属层。图10-51所示的多层结构是"接线柱和布线"结构。互连层依次由金属化、图形化和某种类型的通路填充/面积选择金属化产生。互连导线由铝或金基金属沉积工艺和光刻图形技术形成。柱子可以在互连金属沉积时形成,或者,例如用选择钨 CVD 工艺实现(Wilson 等,1993),如图10-52所示。每一后续金属层通常以稍大的特征尺寸被复印,作为电路拓扑学限制的结果。大程度的平面化可被认为是大尺寸的非主要受益。然而,图10-52作为证据,这并不总是需要的。在任何情况,上层金属化的较大尺寸具较大电流荷载能力的明显优点,这对低损耗功率分布总线是理想的。四层"接线柱和布线"金属互连方案示于图10-53的 SEM 显微照片中。这种多层工艺被证明是可靠的和具有高成品率及适用于生产的(Mickanin 等,1989;Wilson,1989)。

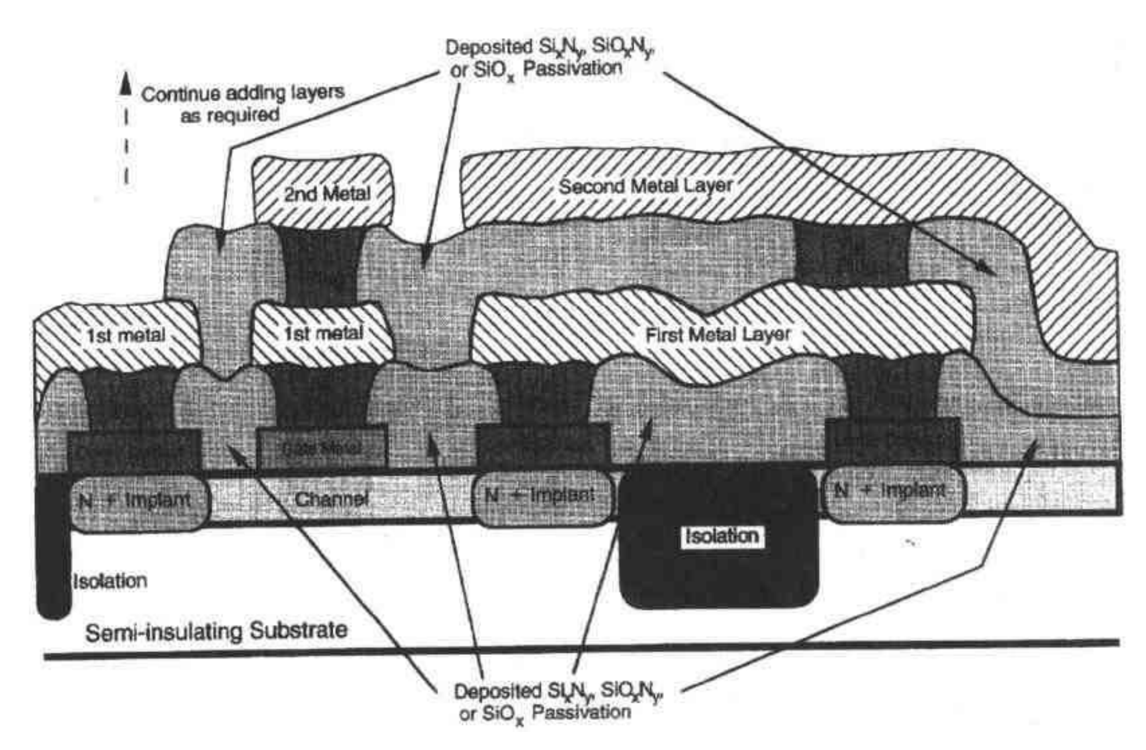


图10-51 详细的"接线柱和布线"多层金属化简图。欧姆接触上显示了两层金属。通路插可由面积选择CVD或地毯式沉积和刻蚀形成。由于介质层倾向填平高度的变化和台阶，在这种结构产生了实际程度的平面化。通过继续的沉积和图形化，这一结构在两层上被继续

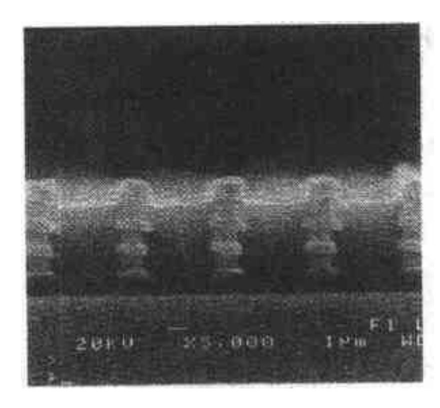


图10-52 SEM剖面照片说明了详细的四层"接线柱和布线"金属化过程。通路插被面积选择CVD沉积钨，每一钨插上带有钛粘附层和金基金属。放大率标志是1μm，互连金属层厚度约为400—500nm（图源自Dr. M. Wilson，Cray Computer Co.，Colorado Springs，CO.）

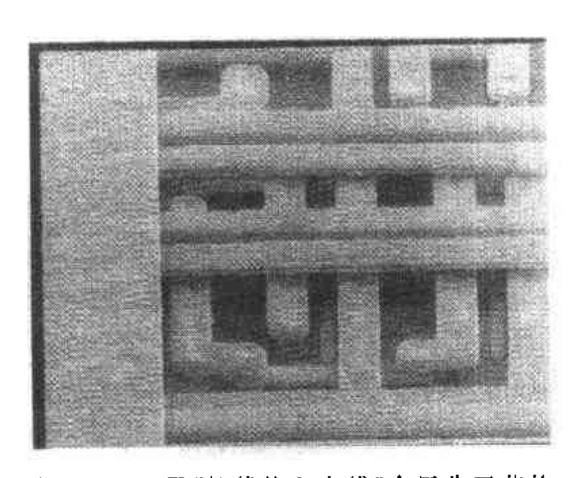


图10-53 四层"接线柱和布线"金属化工艺的SEM显微照片，其中层间的介质被除去。该图表明多层金属化工艺的美观和实用。精细几何线是线度为1μm的栅指。逐渐增大的金属线是在高水平层的证据（图源自Dr. W. Mickanin，TriQuint Semiconductor，Inc.，Beaverton，OR.）

·p. 566·

多层金属化所允许的电路压缩能显著地改善电路的高速性能。这主要靠与不同水平的互连的通路和最小化电路中关键节点的距离而达到这一点的。目前，用第四水平的金属功率通道，使用放宽的设计规则，对功率和接地分布线二者，可以有接近50%的表面积被利用(Vitesse)。因为附加一金属化层仅需要放宽临界尺寸(归因于表面拓扑学)，一个通路工艺和一个介质层，对金属层的数目没有理论上的限制。然而用目前的工艺，由于拓扑学的考虑和成品率的限制，使人们放弃发展四层或五层以上金属的系统。

10.11.1 金属化

在化合物半导体器件制造中，互连金属化仍然是以金和金基合金为主。铝基金属化工艺正被引入制造流程[见 Vitesse(1990)]，但是铝及铝合金的使用尽管在硅工业中对其了解的很清楚，但受到在硅工艺中同样的限制，例如，Au-Al 交互金属间化合物的形成，它具有不希望的高电阻[e.g.，"紫斑"，见 Irvin 和 Loya(1978)，和 Irvin(1982)]，及与长期可靠性有关的形成合金材料，如铜。为尽量减小金的金属冶金学反应和快速内扩散，必须在接触层(半导体或金属)和金的互连层之间使用垒金属，如 Pt，Pd，W 或 Ti。

·p. 567·

在化合物半导体领域实验了大量的金属化过程。读者可以参考10.6节和 Howes 和 Mozgan 的书(1985第6章)，以作为附加的支持讨论。因为化合物半导体工艺正在成熟，铝合金在日益增长的应用中使用。铝和铝合金具有易于图形化的不可替代的优点，可通过反应离子刻蚀、离子铣或浮脱方法形成，并具有相对低的成本。金可以用浮脱法和离子铣工艺有效地图形化。亚微米图形在任何化合物半导体 IC 制造的通用金属化系统中都容易图形化。

铝层通常与铜形成合金以便材料稳定化，抗拒电迁移失效。在硅器件，没有发现铜对器件性能的影响。对于 GaAs，铜是深受主，至少在能隙的下半部有四个深能级(参阅图10-3)。这可能会增大慢瞬态，并在一定偏置和工作条件下造成器件工作的不稳定(明显与器件的预计和结构有关)。对于 GaAs 数字应用，Al-Cu 系统似乎是适合的。在 RF 和混合信号应用中，工艺流程、器件结构和工作点都显著不同，可能造成折衷的器件性能。在 InP 材料中，铜至少有三个深受主能级，且事实上高浓度的铜会产生半绝缘特性并有铜沉积(Leon 等，1992)，因此用 Al-Cu 金属化必须仔细地实验。另一方面，金属互连在硅中是成问题的(载流子寿命的刽子手中心)，但对化合物半导体器件却是高度有效的。

通常，使用金基栅和互连的制作工艺，除了形成结、隔离和接触层之外，不使用离子注入。这归因于快速扩散和冶金学反应，对多数化合物半导体而言，其反应温度在350～500℃范围。在 GaAs IC 制造中，普通使用的互连金属化是 Au/Pt-Pd/Ti 系统(Niehaus 等，1982)，其中钛层用于增强粘附，钯或铂层起扩散垒作用，防止金的互扩散，并消除钛与金的反应，其反应温度约在200℃。由于 Au，Pt，Pd 都有很高的电导率，这种三明治结构能形成非常低阻的互连。一种较高温度的互连应用是基于 Ti-W/Au。Ti-W 层被用于接触半导体和对金提供扩散垒，面金属荷载大部分电流。这种接触的稳定温度为500—600℃，虽然粘附问题，不同热膨胀(应力)和退化扣制还未完全得到控制。此外，必须仔细控制溅射沉积，以避免因表面损伤造成的漏电流(Kohn，1979；Day 等1977)。

·p. 568·

由于 GaAs 和 InP 与很大范围的金属的反应性，互扩散是一些所需用材料都具有的问题。通过这些系统的相的关系，这些反应可得到很好的了解。例如，在250℃即观察到 Al 在 GaAs 上的互扩散，并扩展数倍(Mukherjee 等，1979；Sealy 和 Surridge，1975)。应该注意到，对于铝基的金属化，250℃是非常接近"2/3融点"的数值，这是在冶金学中使用的定义互扩散稳定性的判据，因此，这种互扩散是可被预见到要发生的。为进一步了解潜在的交叉金属相的形成，可参阅 Massalski 的文章(1986)。

如前所讨论的，垒金属或合金元素可以用于改善接触区的稳定性和最小化其中的互扩散。当需要对离子注入退火，晶片可能受到高的制作过程温度时，要使用高温互连和金属化。这些材料在10.6节有关栅形成的部分已作过讨论。这些互连结构通常是由难熔金属构成的，例如 Ti-W，W-Si，Ti-W-Si，W-N，Ta-N 和 Ta-Si 等(这些材料中的一些也可用于制作薄膜电阻条)。人们发现，这些材料可以经受超过850℃的温度而没有显著的互扩散[见 Dautre mont-Smith 等(1990)]。

用不同图形化方法可获得的金属线宽存在重要的限制。电子束(e-beam)描写系统在实验室所达到的尺寸低于100nm，但是这种方法对生产线是令人担心的方案，在这里它要求可控，低成本和重复性。例如一个电子束曝光的约0.1μm 的样品，T-gate 结构示于图10-38。通常小至0.5μm 尺寸的栅是用分步重复系统复印的(Wilson 等，1993)，而"0.25"工艺是用电子束方法实现的(Danzilio 等，1992)。更小的栅图形需要多层偏移光刻胶图形化方法，电子束或其它短波长制作工艺，例如深紫外曝光。由于仪器产量的限制，电子束仅用于描写最细的栅图形，而不是一般的金属化图形。分步重复系统使用 G-line 可以控制线宽低至0.4—0.5μm，使用 I-line。可至0.3μm，光源是高强度汞蒸气光源。图10-54展示一个0.36μm 的栅图形，使用 G-线曝光和浮脱工艺限定。更细的图形可通过仔细控制光刻胶的厚度，曝光条件，多层多次曝光光刻胶和金属的厚度来产生。图10-55简单说明偏移多层光刻胶和实现直接金属沉积以获得更细金属线几何图形的方法。在上金属化层，对金属线尺寸有较小的限制，但图形化和尺寸控制因拓扑考虑变得复杂化了。用介质沉积平面化可以部分缓解这些问题。

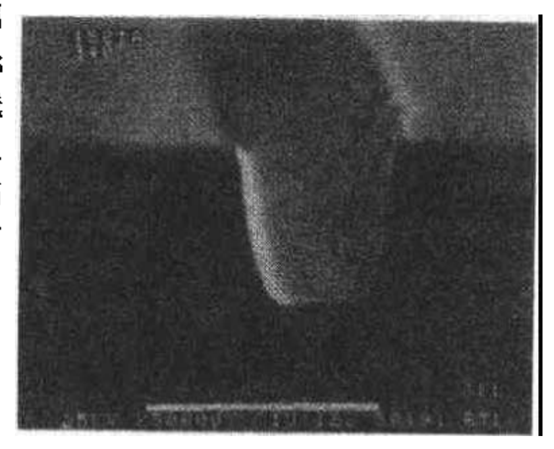


图10-54　显示凹栅开口的 SEM 显微照片。放大率标志为1μm，在底部，凹坑尺寸为0.356μm，使用 G-line 光刻技术复印。这一尺寸代表使用单通分步重复曝光系统，G-line 光刻技术的极限，使用的是标准光刻胶(照片源自 P. A. Grasso, S. E. Lengel, A. F. Williams, Lucent Technologies, Inc., Reading, PA.)

·p. 569·

离子铣或溅射方法可以用于对金属图形的限定。这一过程需要高真空系统和适当的高束流离子源或等离子激励系统。在离子铣过程，高通量离子源用于从暴露表面将不需要的金属原子溅射出去。在溅射过程中，使等离子体产生在晶片上方，以此用物理溅射的方法除去金属原子。氩或含氯化合物是典型使用的源气体。可以加入氮气以稳定和控制离子铣的速率。图形化精细图形受到邻近金

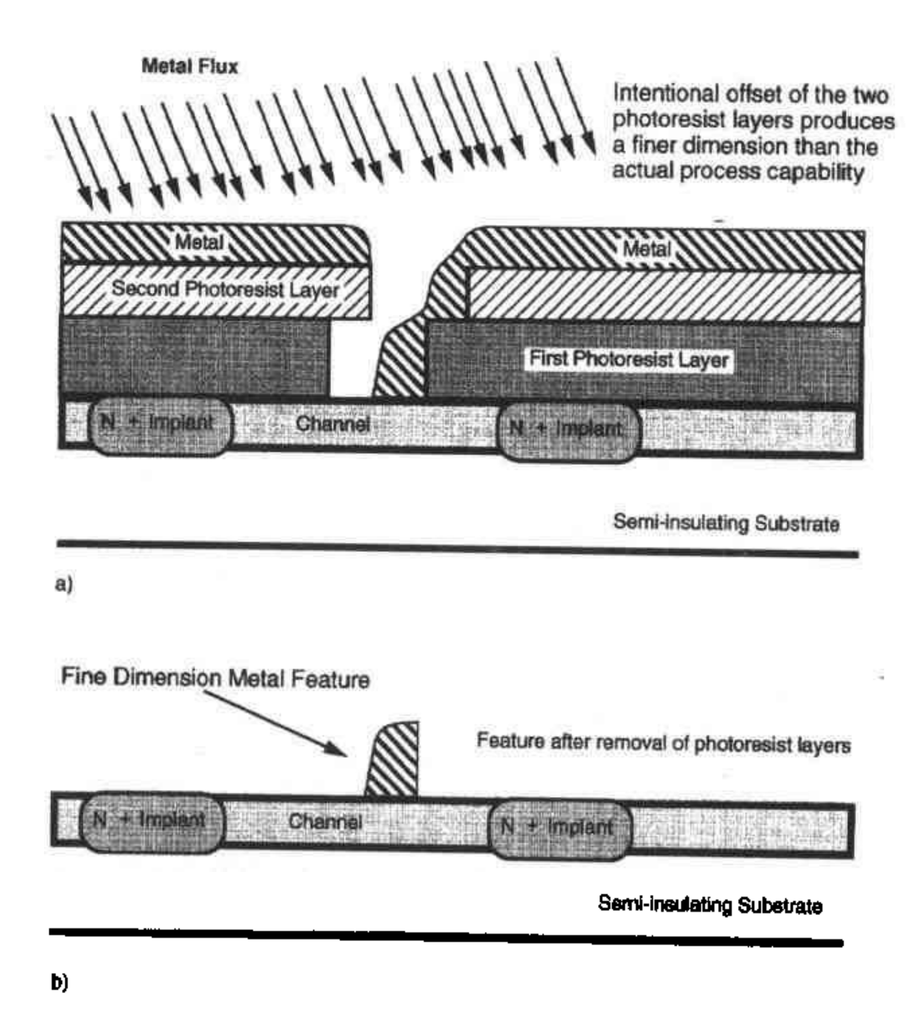


图10-55 用有限过程光刻技术产生精密图形的方法说明图。a)一层光刻胶被沉积且在可控尺寸上曝光，第二层光刻胶被沉积，在相对原始图形一特定位移下曝光。清洗曝光过的光刻胶，留下双层偏移图形。其次以偏爱的角度沉积金属，如果需要，产生的精细图形的尺寸可以比光刻的限制小得多

属导板间距的限制，这归因于由金属、存在的单片表面及光刻胶或其它限定层（如第二层金属、介质层或光刻胶和金属或介质层的拓扑结构造成离子的阴影）。离子铣与浮脱工艺相比是相对慢的过程。虽然它留下非常平滑的表面且不受边缘埋入和粘附强度的限制。
·p. 570·

溅射是相对快的，且可用于刻蚀精细图形。离子铣或溅射关联的问题之一是：在刻蚀过程中，剩余离子损伤和被溅射物质的再沉积可能产生。它们可能导致在器件中由表面态引入的电学上的影响和漏电通道。多数工艺设备同时只能刻蚀一片或数片晶片，导致有限的产量。离子刻蚀的题目在10.5节中已有讨论，其中提出的标准和应用对金属化的图形化也是有用的。

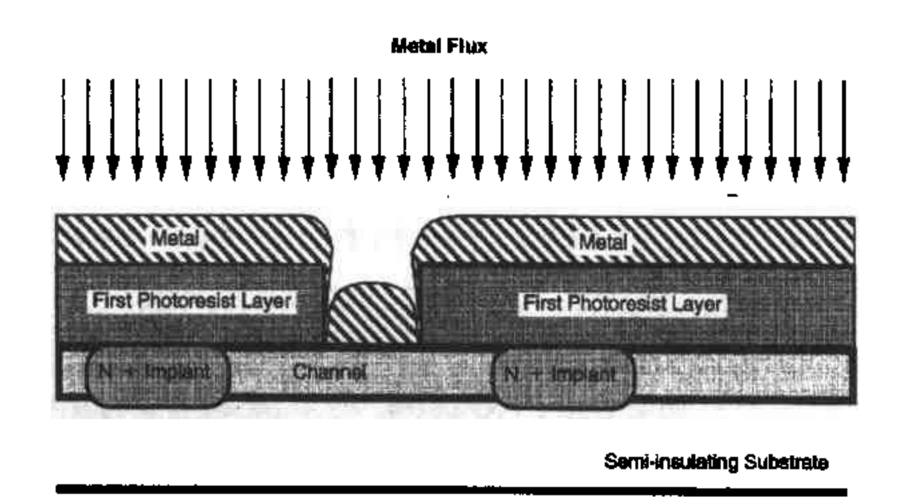
10.11.2 浮脱工艺

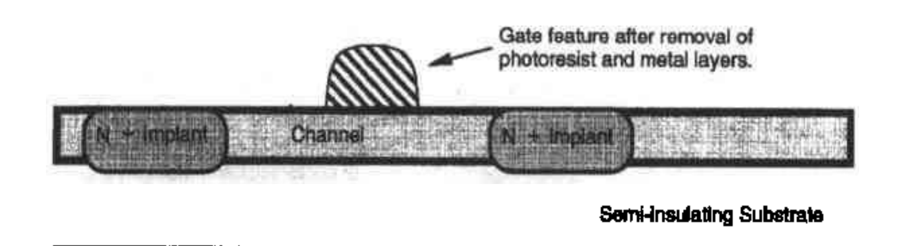
当金属化与化学腐蚀剂不相容或不打算使用离子基的图形方法时，可用浮脱程序来

实现图型化。为了使不需要的金属有选择地从晶片表面分离，要求沉积的金属层具有良好的延展性和粘附性。此外，为提供金属的“弱连接”以允许金属膜的分离，控制好台阶、边缘和侧墙覆盖是很关键的。用蒸发或电镀沉积的金属满足这些要求，通常十分适合浮脱过程。这种图形化方法对金或金基材料特别有效，因为沉积的金层是近乎不受攻击的(deacl soft)。溅射的金属层，尤其是难熔金属，它仍很难成功地用于浮脱工艺，这归因于它们对所有表面的强的粘附性，对台阶和边缘的良好保角覆盖特性以及倾向在沉积状态更加坚固。

浮脱过程包括在图形化的光刻胶或介质层中产生高宽深比的凹坑或钻蚀的图形，伴随直接的金属沉积过程。金属沉积在这种图形化的牺牲层上，然后金属层和牺牲膜用化学的、机械的或化学机械方法剥离，这样就把不需要的金属从表面“提起”。为成功完成浮脱工艺，在光刻胶或介质边缘完整的全厚度覆盖是非常不希望的。电子束或电阻加热蒸发方法最适于这种金属沉积，因蒸发过程的高度方向性导致“差”的边缘和犄角覆盖，如图10-56所示。

·p. 571·





b)

图10-56　优化的浮脱金属覆盖工艺的简要说明图。
a)干净的金属浮脱的关键在于栅或金属凹坑图形很薄或不存在侧墙的覆盖。
b)当图形化材料的光刻胶由晶片除去时，薄金属线很容易与主金属成分开，留下所需要的金属线图形

其它金属化方法，例如溅射和电镀倾向提供更均匀的表面覆盖，这样就不太适合浮脱技术，除非牺牲层被成形在金属中产生细的分离线。介质和光刻胶的厚度和边缘限定影响金属沉积时金属覆盖的厚度，在浮脱工艺的完整性方面起了重要作用。在台阶边缘和角落处的金属通常比体区域的金属膜要薄得多。因此该膜比体区域膜弱得多且容易在这些位置上分开。在图形边缘覆盖的减薄和缺少对阻止产生毛刺和消除层间短路也是很重要的。然而，必须仔细练习金属浮脱工艺，因为需要的金属线迹在其拓扑结构中含有台阶和边缘。

有一些提走不需要的金属的可行方法。所有这些方法都依赖于溶解牺牲层的溶剂（水或有机化学药品）和腐蚀剂。一般光刻胶易溶于丙酮或其它有机溶剂。介质牺牲层用 HF 或其它适合的酸或酸基溶液溶解。这后一方法用于大面积浮脱外延膜（Fan，1990；Yablonovich 等，1990），使用的牺牲层为 AlAs 或 AlGaAs。其次，不需要的金属和牺牲层被浮起或用搅拌、高压液体喷洒或其它机械方法从半导体晶片表面"擦除"。非控的物理/机械擦除可能严重损伤保留的金属，因此多数工艺采用在适当的压力和流量的去离子水或溶剂除去金属和剩余光刻胶或介质层。利用金属恢复系统以提取工艺废料中的贵金属。
·p. 572·

金属对所需表面的粘附性在沉积状态时必须很强，否则在浮脱工艺中金属层可能在

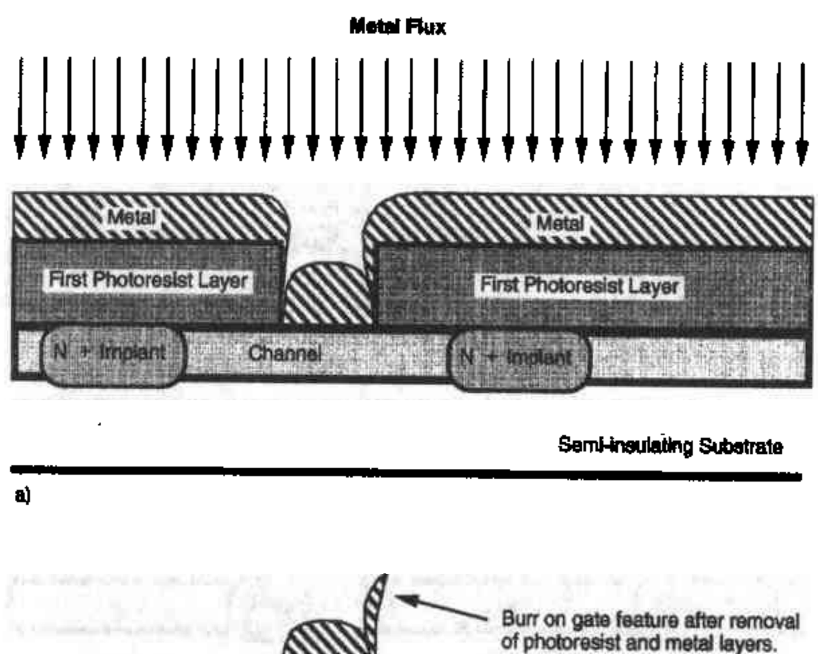
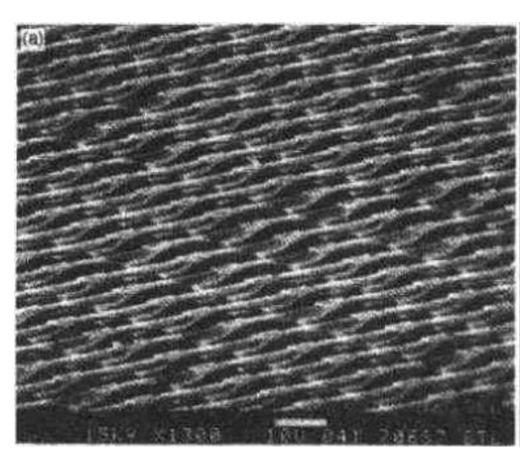


图10-57　由于不适当的凹坑边限定或过大的金属层厚度在金属图形上形成毛刺的说明图。在此情况，毛刺可以延金属线扩展或是一个孤立的小点。在以后的工艺过程中，由于差的介质覆盖可能引起层间的短路

需要的区域被除去。同时，金属对牺牲介质或光刻胶的差的粘附性也是极不希望的。此外，还必须使用相对薄的金属层，以阻止金属的撕裂或脱离所需层。如果对所需接触区的粘附性不够，可能发生边缘的脱离和钻蚀。由于沉积态金属的延展性，毛刺可能是浮脱工艺的一个问题。浮脱过程可能撕裂在分离线附近的金属，这归因于厚度的变化、晶粒结构的反常性、粘附的变化、粒子等，沿金属线边缘留下小的毛刺。这一问题示于图10-57。毛刺可能通过下一层介质层伸出，引起金属层间的短路。需要仔细准备和严格控制沉积条件，以确保干净去除不需要的金属。图10-58展示用浮脱方法产生多指空气桥结构的干净边缘限定。空气桥用牺牲层的接线柱和布线工艺制造。



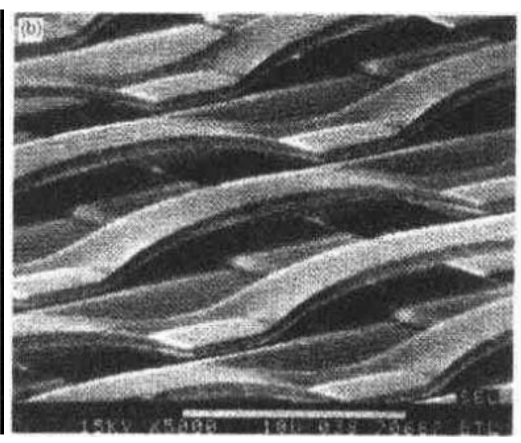


图10-58　用浮脱方法形成的空气桥结构的二次电子显微照片。两张像中的标志都是10μm。间隔尺寸约25μm。a)展示互连金属线上近125个空气桥"海"。注意，适度的空气桥的起飞角导致高强度和高可靠性，且消除了电学短路。像这样的桥结构很易经受背面制造工艺(照片源自 P. A. Grasso, S. E. Lengle, A. F. Williams, Lucent Tech. nologies, Inc. , Reading, P. A.)

·p. 573·

现在还没有完全改善金属层边缘脱离和少量撕裂和毛刺问题的解决方法。这造成了因开路、电接触电阻变化、毛刺和短路导致成品率的略微下降。尽管这一缺点可能是严重的，但由于许多材料都不能成功地进行刻蚀或离子铣，因而浮脱过程对它们来说是唯一可能的替代方法。应该指出，商业化的浮脱工艺是非常可靠的，且目前以很高的成品率工作。

10.12　背面制作过程和芯片分离

当晶片必须减薄或需要背面金属化时，就要完成背面制作过程。从热学和电学观点出发，减薄化合物半导体晶片以改善器件的性能，这是一般的要求。例如，薄的晶片和使用背表面接地平面对微波 IC 的 RF 性能是关键的。上表面导体对地平面(背面)间隔产生一个对传输线的控制阻抗条件，它是器件的稳定的微波性能所要求的。它可能需要连接顶部表面地线至背表面地平面，即需要穿通晶片的通路。此外，较薄的衬底和穿通晶片的通路允许极大程度地改善从电路的热抽取。因为 GaAs 和 InP 的热导率明显小于硅，这是一个关键措施，如表10-9所示。这样借助减薄晶片，对于给定的温升，单位面积可以耗散较大的功率，这就允许压缩面积，而不引起大功率器件的性能下降。如果不需要背面制作过程，晶片

表10-9 某些半导体的热导率[a]

Si	砷化镓	磷化铟
1.5[b]	0.48[c]	0.56[d]

a. 值以 $W\,cm^{-1}K^{-1}$为单位 at 300K；
b. Sze (1981,App.H)；
c. EMIS(1990.Sec.1.8.)；
d. EMIS(1991,Sec.1.8).

将通过芯片分离，如10.12.2节所述。

·p.574·

背面制作流程的关键问题之一是注意每一细节。这一点的重要性如何强调都不过份。因为正面制作现在已经完成，在减薄和金属化背面时损伤有源电路变得非常昂贵。背面制作有大量的操作加于晶片，以相对弱的条件，达到相当滥用的程度。碎裂、沾污和物理损伤(如划伤和崩边)可能发生在每一工序中。背面制造流程包括安装、研磨、抛光、清洗、腐蚀、金属化和拆御等步骤，如图10-59所示。与硅制造相比，化合物半导体材料要软得多(GaAs 的硬度约为硅的1/10)，并且容易解理，这就更加强调要仔细操作以避免崩边和碎裂。最终的芯片成本很大程度上決定于这最后制作工序的成功。在公开场合，有关背面制造流程只有很少的信息可能得到，因为它被认为是高度专有的。这里对制造流程的描述来自作者的经验和与其他专家的讨论，并提出一个综合的有关背面问题的叙述。

10.12.1 背面制作过程

·p.575·

工艺过程包含许多步骤，以完成晶片的制造流程，如图10-59所示。要完成的主要任务有：安装、研磨、清洗、抛光，如果需要还有光刻、通孔腐蚀及最后的金属化。这些过程之后，晶片将进行电学检测，光学检查，用各种方法分离有用芯片及芯片通过装配和包装。

安装包括将晶片正面下固定在支持衬底上，使研磨或粗磨便利，且依次在减薄条件下操作。这种支架必须在力学上是高强度的、牢固的、非常平整的，且没有因减薄而引入的损伤。研磨和抛光至光学平整度的蓝宝石或石英支架适合这种任务。如果没有背到正的对中需要，可以使用其它材料。晶片可以用红外透明的粘结剂(如石蜡、蜂膜或其它易溶解的、低熔点无污染的材料)固定在支架上。关键是确保支架是无颗粒的，且晶片平行于支架表面。在安装过程中，晶片绝不能承受过多的应力或压力。必须非常仔细不要损伤正面结构，当使用空气桥技术时，这后一点尤其重要。

晶片减薄是一种慢的、高劳动强度的过程，即使是使用自动化设备也是如此。初始研磨或粗磨背面可移去达原始厚度的95%，其精度达数微米(约0.1mil)。通常晶片被磨至厚度略大于最终目标厚度的值，然后使用化学抛光或腐蚀。这一步消除研磨损伤和获得最终厚度，且表面质量适合于通孔腐蚀和/或金属化。这一任务需要高精密的研磨设备，具有控制良好的磨削速率，以避免对晶片造成损伤和确保精确的厚度控制。使用精细的金刚石磨砂(1—10μm 的小粒)的研磨轮可产生良好的表面平整度，以经济的研磨速率，不对衬底产生过度的损伤。商业的垂直旋转水平推进的研磨系统可获得对厚度和表面质量的极佳控制和重复性(Lapinsky,1991)。

研磨程序之后，晶片和支架被仔细加以清洗，除去研磨的残留物。这一步包括详细检查晶片，鉴别出任何表面损伤、裂纹或边缘的破损。然后晶片被化学机械抛光至最终厚度，除去因研磨造成的粗损伤，并制备用于金属化或光刻及通孔限定的表面。最终的抛光化学通常基于 NaOCl 或 NH_4OH 腐蚀溶液，因为它们是各向异性的，并产生超级的表面抛光

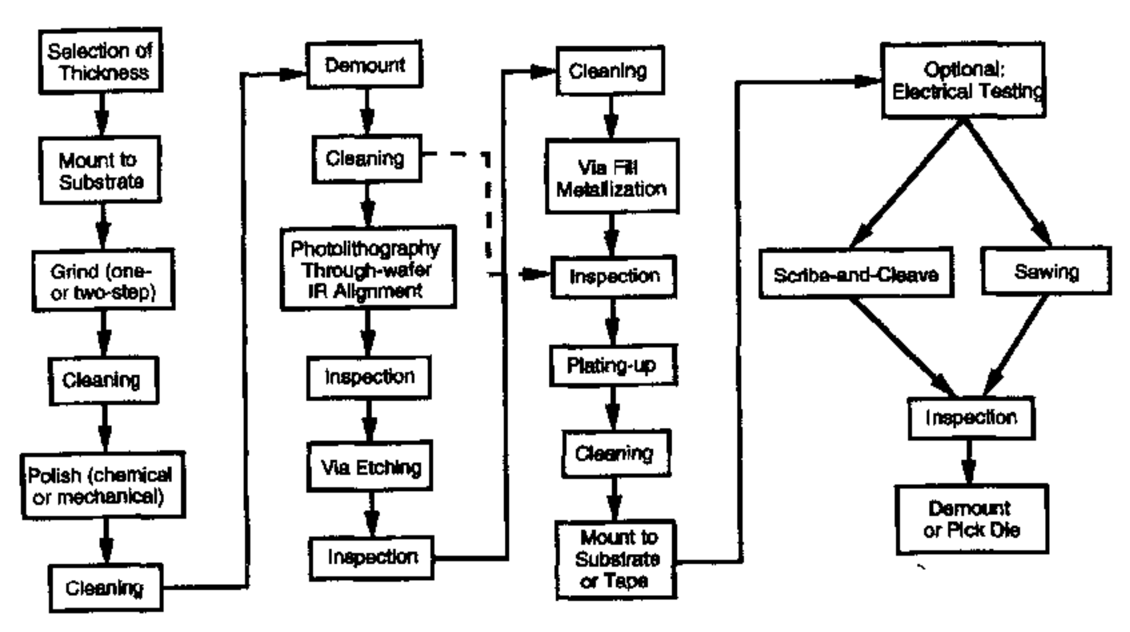


图10-59　对产生背面金属化，穿通晶片通路，芯片分割和成品筛选的一个制作流程的选例

(Stirland 和 Straugham，1976)。对 ZnP 衬底通常使用溴和甲醇(Chin 和 Barlow，1988)。随着抛光的进行，化学机械腐蚀容易使晶片的剖面轻微变圆。所以必须仔细保持晶片表面的平整度和平行度。此外，抛光系统必须很好地进行表征，以获得精确的最终厚度，因为材料的去除速率很强地依从于压力和溶液的 pH 值。在一个好的控制过程中，对于最终厚度范围100—250μm(Lapinsky，1991)变化能够保持在2.5—5μm。对用于确定的微波或大功率应用，晶片被减薄至25μm。在此厚度，晶片将易于适应 NITTO™的安装带的波纹。

·p. 576·

安装好的晶片现在已准备好进行背面金属化。如图10-59所示，存在两个途径：沉积光刻胶和进行通孔图形曝光，产生正到反的接触；或者如果不需要通孔，安装好的晶片将送去清洗和进行金属化。一般4mil(100μm)或更薄的晶片将不用卸载，因为化合物半导体材料非常容易解理；250μm 的厚晶片可以不用载体仔细地操作。彻底的清洗对工艺的成功是很关键的，因为光刻胶的粘附和初始的腐蚀强烈受到表面条件的影响。

对背面制作过程，掩蔽层必须比正表面过程要求的厚得多。因为对几百微米的衬底开通孔这需要非常长的时间，掩蔽层必须是很坚固的，虽然临界尺寸精度比正面过程放宽了很多。可以使用多层掩蔽技术以最小化通孔的“吹破”(比图形尺寸超出很多)和对衬底的损伤(边缘脱落、孔漏电等)。例如，在基本光刻胶层的顶上加一层光刻胶或像 Ni 或 Cr 的金属层。穿通晶片通路的图形需要正到反的红外对中系统。在此设备中，前表面金属化图形是用亚带隙红外光通过载体和晶片形成的。通孔掩模图形对中参照正表面上的靶接触块。曝光像正常的光刻技术那样进行(参阅本卷第4章)，只是需要非常长的曝光时间。在多层金属过程中需经过这一流程数次。

穿通晶片的通路腐蚀用本卷10.5描述的方法进行。反应离子刻蚀变为首选方法，因为通孔的外观和宽深比可通过刻蚀条件控制(压力和气体成分)。使用湿化学方法，就是使用高各向异性腐蚀剂，通孔随着垂直腐蚀倾向于横向扩展。如果腐蚀剂渗漏至金属接触块周

围，控制目标面积的最终过腐蚀和最小化正表面的损伤是很困难的。通孔的宽深比和侧墙结构对金属化过程是很重要的：严重的边缘钻蚀，再进入拐角，或弯曲的侧墙（图10-60a），或垂直侧墙和尖锐的拐角（图10-60b），将妨碍或使成功的金属化覆盖复杂化，导致不满意的连续性，高电阻和差的可靠性。

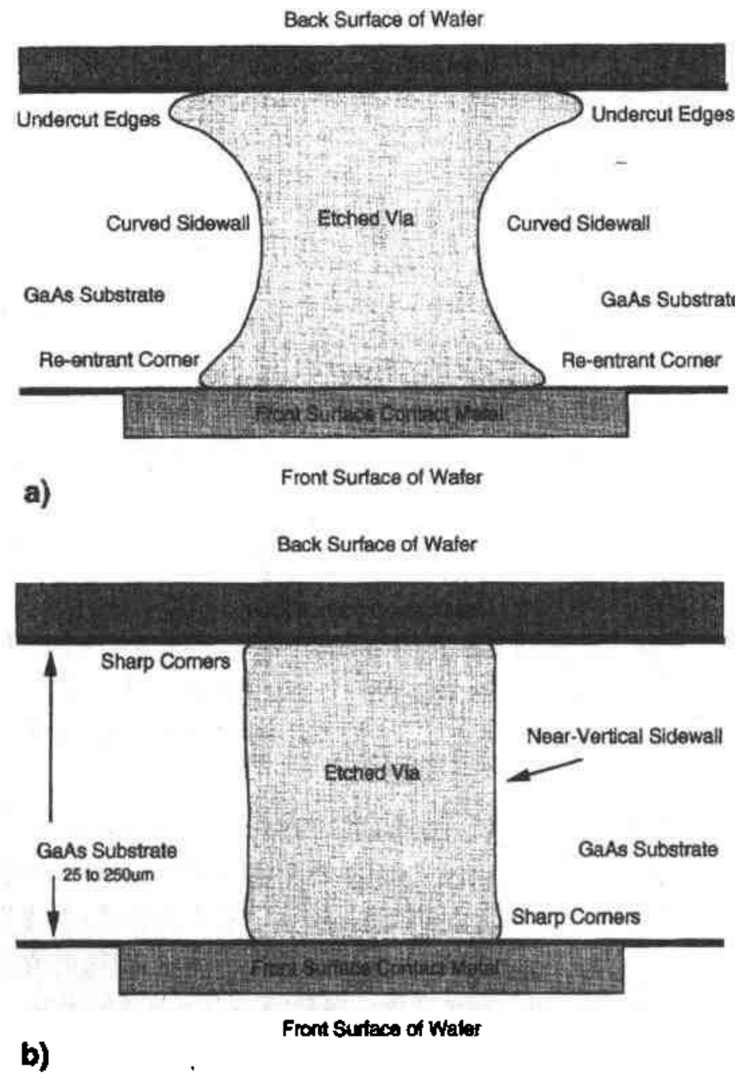


图10-60 不希望的通孔外观示意图。

a)钻蚀和再进入拐角效应是证明。金属覆盖和连续性因这些条件而变劣。

b)强调尖锐的拐角和垂直侧墙所附加的问题，因为垂直的侧墙和尖锐的拐角增强了应力的局部化而使通孔填充质量变差

·p. 577·

金属化工序在仔细清洗被刻蚀的晶片之后进行。由于 RIE 过程中的多聚化或等离子体的过热，或由化学腐蚀过程剩余的副产品，造成残余物经常留在表面。除去所有外来材料是非常关键的，因为金属化质量可能受其影响或完全不可能。存在一些背面金属化方法：1)沉积一薄金属层，形成一通孔插，然后在整个晶片沉积一厚的、充满表面的金属层；2)沉积一用于接触的薄金属层，然后用焊料流过程填充通孔，并提供全表面的金属覆盖。



图10-61　良好限定的穿通晶片通路简单示意图。通孔的拐角被圆化以增强连续性和最小化应力。种金属电镀是连续的，填充金属只显示有限向下填充。一平面化金属层被显示（可选）。最终的背面金属层提供连续的背平面导体

还有许多这些一般方法的变通过程。

·p. 578·

金属化可以分两步或三步完成：首先提供一初始保角的种金属层，以确保欧姆接触接至在背面暴露的正面金属块（图10-61），然后插入或填充通孔，和第三步完全接触表面和通孔，产生接地的平面。这可能需要附加一个平面化的金属沉积或厚的背面金属化。这第一层金属化可以是一粘附促进层（如钛），或金层或金的合金层。插入过程必须填充通孔至100—250μm 水平，且比较平坦。当最后金属层形成时，它必须粘附好，厚度均匀和平坦。插入过程的实例示于图10-62和图10-63中。图10-62中的 SEM 照片给出通孔的像。通孔墙的形貌是显而易见的。图10-63中，表示腐蚀脱离衬底后，带有顶部表面接触块的一系列通路插。通孔周边的表面形貌是证明，它处于金插上。很清楚，对获得背平面的正表面接触的

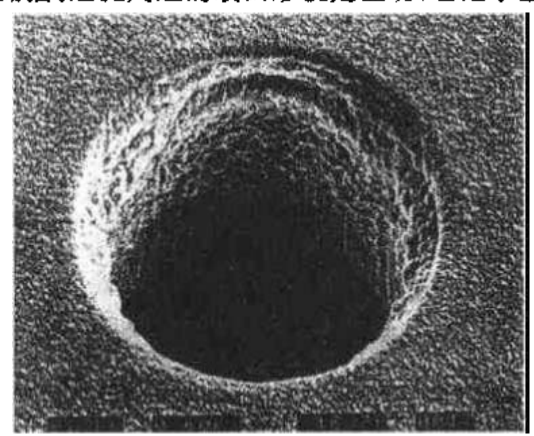


图10-62　腐蚀后通孔的 SEM 显微照片。通孔的直径约100μm。注意通孔的顶部区是缓慢弯曲的（图源自 Dr. A. Colquhoun, Daimler-Benz Research Center, Ulm, Germany.）

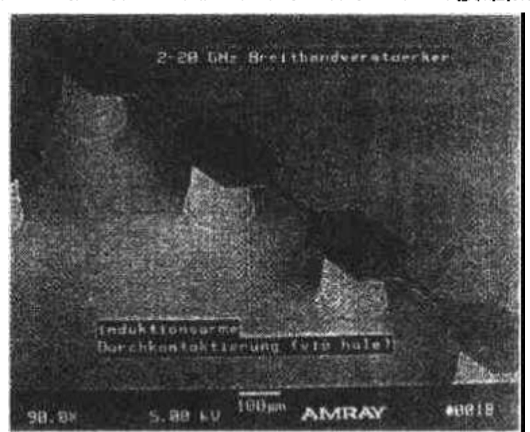


图10-63　除去 GaAs 衬底之后一系列穿通晶片通路的 SEM 显微照片。顶部表面接触块在填充通孔金属上形成一个帽。通孔直径略大于100μm。这些通路被用于形成接地平面，用于2—20GHz 器件的工作（图源自 Dr. A. Colquhoun, Daimler-Benz Research Center, Ulm, Germany.）

连续性,通孔的形状是关键。借助选择区域填充金,金基合金或其它金属焊料,或借助用具有好的填充特性的电镀过程都可形成金属插。焊料填充方法可以提供一个相对低成本的通孔填充。插金属化必须与用电镀或蒸发的一般用于形成接地平面的金或金合金相容。

·p.579·

电镀的背面金属层有许多微米厚且覆盖均匀,以确保均匀的电学和热学接触,低电阻,且能在完成芯片安装至封装时经受合金化和发生的反应的考验。因此,电镀方法(有电或无电)被优选,虽然蒸发和溅射方法也可使用。金属沉积过程的关键点是保持晶片温度在粘附材料的软化点以下(晶片仍安装在载体上)。电镀可在低于100℃的温度下进行,这与多数粘附材料完全相容,而蒸发可能使晶片处在非常高的表面温度下,溅射方法也可能提高温度达200℃以上。为克服过加热问题,蒸发和溅射也可分多步完成,虽然这是以产量和金属膜的质量为代价,且成本也与这种制作流程有关。

像在正表面金属化一样,可以使用粘附促进剂,如 Ni 和 Ti 以改善背表面的粘附性。因为半绝缘衬低的(GaAs 或 InP)的高电阻率,当使用电镀过程时,很难产生厚度均匀的金属层。需要进入电镀的电流在衬底被阻止,因此一般在靠近接触区处金属更快地镀覆。使用薄的粘附促进层很大程度地缓和了这一问题,因为增加了平面内电导。对于与 GaAs 或 InP 的金互连,存在在极端工作条件下的长期稳定性问题。垒金属,如 Pt 和 Pd,可引入背表面金属层以降低金与 GaAs 衬底的相互作用。然后实验证明,金基金属学在高应力可靠性实验中是稳定的(Irgin,1982)。诸如 Massalski 的书(1986)的一类文献应对进一步了解有关相图有帮助。

至此,晶片可从支持板上拆卸下来。晶片到这时是非常脆弱且易受不适当操作的损伤。在晶片被选去检测和估价之前需经过一些清洁步骤。为保持镀覆面在前表面加的粘附材料及任何不需要的材料必须被除去。如前面一样,残余物不可以留在任何表面,因为它们会妨碍对背表面的电接触及正表面对压焊块的键合。晶片可以送到一载体上,如 NITTO 带操作系统(Nitto)。在此,晶片被轻轻地压在一聚合物膜上,它被用一个张伸的环状载体支持。这膜和环在检测、芯片分离和筛选及定位时有能力在力学上支持晶片。聚合膜是塑料的,适于在晶片经过纵横切割后,通过膨胀使芯片分离。

10.12.2 芯片的分离

·p.580·

现在晶片必须通过电学检测鉴别其好坏。在检测和标志之后(墨水或 X-Y 芯片分布图),芯片必须分离以安装在封装中。存在一些分离芯片的方法:划片和解理(金刚石划片或激光消融,用改变机械应力沿划线解理晶片)和切割(通常用金刚石刀片)。第一种方法最适合薄的、没有背面金属化的晶片。虽然如果金属层小于几微米厚,这并不倾向是不可克服的问题。后一方法适于非常厚的背面金属化,因为金的韧性。

用金刚石或激光划片,条被分别刻痕或消融,在邻近芯片区形成纵横的"街道和胡同"。这些条的作用是,当用一滚动装置或解理棒在适当衬垫上压迫使晶片弯曲时聚集机械应力。使用滚动方法不太适合空气桥金属化的器件,除非在划片和机械操作中特别仔细运作。空气桥很易压碎。同时来自金刚石划片或激光消融的碎屑可能进入空气桥周围而导致短路或其它损伤,除非表面被封帽。

一种为划片解理过程设计的新设备被引入化合物半导体工艺(Dynatex)。这种仪器使用一自动的金刚石划片系统联合一精密的压棒,它在晶片背面的下面运动。随着划片过程,晶片以二维定位,而压棒在每一划线处将背表面折断。不用过度的压力能准确地压裂或理解晶片,并且发现在使用空气桥金属化时,它也适用于芯片的分离,虽然要注意由金刚石划片带来的沾污。注意到当光刻对中沿化合物半导体优先的〈110〉解理方向时,这一过程完成得最好。试图沿其它晶向分离芯片通常都导致失败和低成品率。

第二种分离方法是金刚石切剖(AT,Disco)。在这种过程,晶片被放在一精确的定位桌上,然后运动旁边的旋转金刚石轮在晶片表面上的"道"中的切槽,刀片宽度一般为10—100μm,产生的切口比刀片约宽25%。金刚石锯是分离芯片的最不清洁的方法。像上面注意到的,晶片应被封帽以保护表面不受损伤和沾污。然后这可能与检测和估价过程产生矛盾。使用金刚石刀片、冷却和润滑液体,和产生的碎屑与其它污物,对晶片表面产生严重沾污,并需要仔细的清洗程序去除残余材料。在"x"和"y"条型图形切好后,如上述的那样,晶片被施以机械应力沿条解理衬底。同样在此也遇到了用力学弯曲解理晶片的方法的限制。在某些情况下,透过背面的金属将晶片可以完全锯开。在锯的过程中,要求隔离的精度以避免损伤衬底荷载的膜层。在锯的过程中引入的振动对 GaAs 和 InP 材料是非常有害的,因为它仍很脆。边缘损伤、裂纹和不希望的解理在锯的操作期间都很容易发生。

·p. 581·

在芯片可以筛选之前,一步工艺要保留:物理分离芯片。在 NITTO™带或类似的材料的情况,这一步受聚合物膜伸张的影响。分开的芯片间的间隔被扩大到能允许机械芯片操作装置从膜上移出芯片,或允许入的手工操作,而不给邻近芯片造成损伤。可使用暴露于化学气氛或紫外光下的方法,以减少晶片与载体之间的粘附,使芯片容易从膜取下。

筛选和定位是选择合格芯片和把它们固定在芯片载体和封装腔内的过程。这可以用手工或自动化系统完成。真空吸着被用以避免使用镊子和机械夹持装置所造成的损伤和成品率损失。对膨胀膜载体情况,两种方法都可使用。固体晶体载体(如蓝宝石或石英)不能自身进行有效的芯片分离,因此需要手工进行芯片分选。在后一情况,可能需要进一步的清洗程序,以去除残留物。芯片的鉴别和其在晶片内的定位已经从检测程序中知道,并可将其保留在装配之前。随着筛选定位工作的完成,芯片要经过检验员的附加视觉检查,将合格品送去装配和检测。

10.13 参考文献

Abernathy, C. R., Pearton, S. J., Caruso, R., Ren, F., Kovalchick, J. (1989), *Appl. Phys. Lett. 55*, 1750.

Abrokwah, J., Huang, J. H., Ooms, W., Shurboff, C., Hallmark, J., Lucero, L. (1993), in: *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 127–130.

Adachi, S., Oe, K. (1983), *J. Electrochem. Soc. 130*, 2427.

Ali, F., Gupta, A. (Eds.) (1991), *HEMTs and HBTs: Devices, Fabrication, and Circuits*. Norwood, MA: Artech House.

Anderson, W. J., Park, Y. S. (1978), *J. Appl. Phys. 49*, 4568.

Arai, M., Nishiyama, K., Watanabe, N. (1981), *Jpn. J. Appl. Phys. 20*, L124.

Asom, M. T., Parsey, J. M., Jr., Kimerling, L. C., Sauer, R., Thiel, F. A. (1988), *Appl. Phys. Lett. 52*, 1472.

Aukerman, L. M., Graft, R. D. (1967), *Phys. Rev. 127*, 1576.

Aust, M., Yonaki, J., Nakano, K., Berenz, J., Dow, G., Liu, L. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 95–98.

Ayaki, N., Inoue, A., Katoh, T., Komaru, M., Noda, M., Kobiki, M., Nagahama, K., Tanino, N. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 101–104.

Banerjee, S., Baker, J. (1985), *Jpn. J. Appl. Phys. 24*, L377.

Bar, S. X., Wu, C. S., Hu, M., Kanber, H., Pao, C., Yau, W. (1993), in: *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 172–175.

Beaubien, R. (1992), unpublished work supplied to the author with permission, Rohm Research Corp., Westlake Village, CA.

Bernstein, G., Ferry, D. K. (1988), *IEEE Trans. Electron Devices 35*, 887.

Biersack, J. P., Haggmark, L. G. (1980), *Nucl. Instrum. Methods 174*, 257. Software program "TRIM" (Transport of Ions in Matter). Updated yearly as TRIM-YY.

Braslau, N., Gunn, J. B., Staples, J. L. (1967), *Solid State Electron. 10*, 381.

Brillson, L. J., Brucker, C. F., Katnai, A. D., Stoffel, N. G., Daniels, R., Margaritondo, G. (1983), *Surf. Sci. 132*, 212.

Brown, A. S., Chou, C. S., Delaney, M. J., Hooper, C. E., Jensen, J. F., Larson, L. E., Mishra, U. K., Nquyen, L. D., Thompson, M. S. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 143–146.

Burton, R. H., Hollien, C. L., Marchut, L., Abys, S. M., Smolinsky, G., Gottscho, R. A. (1983), *J. Appl. Phys. 54*, 6663.

Campbell, P. M., Aina, O., Baliga, B. J. (1986), *J. Electron. Mater. 15*, 125.

Capasso, F. (1987), *Science 235*, 172.

Capasso, F. (Ed.) (1990), *Physics of Quantum Electron Devices*, Springer Ser. Electron. Photon., Vol. 28. Heidelberg: Springer.

Chan, Y. J., Lin, M. S. (1986), *J. Electron. Mater. 15*, 31.

Chang, C. Y., Fang, Y. K., Sze, S. M. (1971), *Solid State Electron. 14*, 541.

Chapman, B. (1980), *Glow Discharge Processes–Sputtering and Plasma Etching*. New York: Wiley.

Chen, T. H., Tan, K. L., Dow, G. S., Wang, H., Chang, K. W., Ton, T. N., Allen, B., Berenz, J., Liu, P. H., Streit, D., Hayashibara, G. (1992), in: *14th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 71–74.

Chin, B. H., Barlow, K. L. (1988), *J. Electrochem. Soc. 135*, 3120.

Cockayne, B., Brown, G. T., MacEwan, W. R. (1981), *J. Cryst. Growth 54*, 9.

CRC Handbook of Chemistry and Physics (1978), 59th ed.: Weast, R. C., Astle, M. E. (Eds.). W. Palm Beach, FL: CRC, p. E-60.

CRC Handbook of Tables for Applied Engineering Science (1986), 2nd ed.: Bolz, R. E., Tuve, G. L. (Eds.). Boca Raton, FL: CRC, p. 262.

Crist, J. O., Look, D. C. (1990), *J. Electron. Mater. 19*, 773.

Cunnel, F. A., Gooch, C. H. (1960), *J. Phys. Chem. Solids 15*, 127.

Daembkes, H. (Ed.) (1991), *Modulation-Doped Field-Effect Transistors, Principles/Design/and Technology*. New York: IEEE.

Danzilio, D., White, P., Hanes, L. K., Lauterwasser, B., Ostrowski, B., Rose, F. (1992), in: *14th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 255–257.

Dautremont-Smith, W. C., McCoy, R. J., Burton, R. H., Baca, A. G. (1990), *AT&T Tech. J. 68*, 64.

D'Avanzo, D. (1982), *IEEE Trans. Electron Devices 29*, 1051.

Davey, J. E., Christou, A. (1981), in: *Reliability and Degradation*: Howes, M. J., Morgan, D. V. (Eds.). Chichester, U.K.: Wiley, p. 237.

Davies, D. E., Kennedy, J. F., Yang, A. C. (1973), *Appl. Phys. Lett. 23*, 615.

Day, H. M., Christou, A., MacPherson, A. C. (1977), *J. Vac. Sci. Technol. 14*, 939.

Dick, G. W., Huisman, R. F., Jhee, Y. K., Nordin, R. A., Payne, W. A., Wyatt, K. W. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 101–104.

DiLorenzo, J. V., Khandelwal, D. D. (Eds.) (1982), *GaAs FET Principles and Technology*. Dedham, MA: Artech House.

DiLorenzo, J. V., Niehaus, W. C., Cho, A. Y. (1979), *J. Appl. Phys. 50*, 951.

Dobkin, D., Gibbons, J. F. (1984), *J. Electrochem. Soc. 131*, 1699.

Donnelly, J. P. (1981), *Nucl. Instrum. Methods 182/183*, 553, and extensive references therein.

Donnelly, V. M., Flamm, D. L. (1981), *Solid State Technol. 24*, 161.
DuPont (1976), *Data Sheets for Kapton Polyimide Materials*. Wilmington, DE: DuPont Chemical Corp.
Edwards, W. D., Hartmann, W. A., Torrens, A. B. (1972), *Solid State Electron. 25*, 387.
EMIS (1990), *Properties of Gallium Arsenide*, 2nd ed., Datareviews Series No. 2. London: INSPEC/IEE.
EMIS (1991), *Properties of Indium Phosphide*, 1st ed., Datareviews Series No. 6. London: INSPEC/IEE.
EPI/Chorus (1994), *Data Sheets for MBE Solid Carbon Doping Source*. St. Paul, MN: EPI/Chorus.
Fan, J. C. C. (1990), in: *Optoelectronic Materials and Device Concepts:* Raseghi, M. (Ed.). Bellingham, WA: SPIE, pp. 202–211.
Fan, J. C. C., Tsaur, B. Y., Geis, M. W. (1982), in: *Laser and Electron-beam Interaction with Solids:* Appleton, B. R., Cellen, F. K. (Eds.). New York: Elsevier, pp. 741–748.
Favennec, P. N. (1976), *J. Appl. Phys. 47*, 2532.
Finchem, E. P., Vetanen, W. A., Odekirk, B., Canfield, C. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 231–234.
Fontaine, C., Okumura, T., Tu, K. N. (1983), *J. Appl. Phys. 54*, 1404.
Fujisaki, Y., Matsunaga, N. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 235–238.
Fukuta, M., Suyama, K., Suzuki, H., Ishikawa, H. (1976), *IEEE Trans. Electron Devices 23*, 388.
GaAs IC (1992), *14th GaAs IC Symp., Tech. Digest*. New York: IEEE, Session F., Papers F1, F3, pp. 149–152, 157–160.
GaAs IC (1993a), *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, Session D, Papers D1, D4, pp. 103–106, 115–118.
GaAs IC (1993b), *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, Session D, Papers D2, D5–D7, Session G, Papers G1–G6, pp. 107–110, 119–130, and 173–196.
GaAs IC (1994), *16th GaAs IC Symp., Tech. Digest*. New York: IEEE, Panel Session 2, p. 21.
Gamand, P., Deswarte, A., Wolny, M., Meunier, J.-C., Chambery, P. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 109–111.
Gamo, K., Inada, T., Krekeler, S., Mayer, J. W., Eisen, F. H., Welch, B. M. (1977), *Solid State Electron. 20*, 213.
Gannon, J. J., Nuese, C. J. (1974), *J. Electrochem. Soc. 121*, 1215.
George, T., Weber, E. R., Nozaki, S., Yamada, T., Konagai, M., Takahashi, K. (1991), *Appl. Phys. Lett. 59*, 61.
Gibbons, J. F., Johnson, W. S., Mylroie, S. W. (1975), *Projected Range Statistics—Semiconductors and Related Materials*, 2nd ed. Stroudsburg, PA: Dowden, Hutchinson and Ross.
Goronkin, H., Tehrani, S., Remmel, T., Fejes, P. L., Johnson, K. J. (1989), *IEEE Trans. Electron Devices 36*, 281.
Gösele, U., Morehead, F. (1981), *J. Appl. Phys. 52*, 4617.
Gray, M. L. (1989), AT&T Bell Laboratories, Reading, PA, unpublished.
Gray, M. L., Reynolds, C. L., Parsey, J. M, Jr. (1990), *J. Appl. Phys. 68*, 169.
Grider, D. E., Mactaggart, I. R., Nohava, J. C., Stronczer, J. J., Ruden, P. P., Nohava, T. E., Fulkerson, D., Tetzlaff, D. E. (1991), in: *13th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 71–74.
Grim, K. A. (1989, 1990), AT&T Bell Laboratories, Reading, PA, unpublished.
Gupta, A. K., Siu, D. P., Ip, K. T., Peterson, W. C. (1983), *IEEE Trans. Electron Devices 30*, 1850.
Guylai, J., Mayer, J. W., Rodriguez, V., Yu, A.Y. C., Gopen, H. J. (1971), *J. Appl. Phys. 42*, 3578.
Hafizi, M. E., Pawlowicz, L. M., Tran, L. T., Umemoto, D. K., Streit, D. C., Oki, A. K., Kim, M. E., Yen, K. H. (1990), in: *12th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 329–332.
Han, J., Ferry, D. K., Newman, P. (1990), *IEEE Electron Device Lett. 11*, 209
Harada, T., Gamo, K., Namba, S. (1981), *Jpn. J. Appl. Phys. 20*, 259.
Harrington, D. L., Troeger, G. L., Gee, W. C., Bolen, J. A., Vogelsang, C. H., Nicalek, T. P., Lowe, C. M., Roh, Y. K., Nguyen, K. Q., Fay, J. F., Reeder, J. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 87–90.
Hasegawa, H., Hartnagel, H. L. (1976), *J. Electrochem. Soc. 123*, 713–723.
Havrilla, R. M., Chlipala, J. D., Iannuzzi, M. P. (1990), AT&T Bell Laboratories, Reading, PA, personal communication.
Henry, T. C. (1989–1991), AT&T Bell Laboratories, Reading, PA, unpublished.
Henshall, G. D. (1977), *Solid State Electron. 20*, 595.
Hess, D. W. (1981), *Solid State Technol. 24*, 189.
Hiramoto, T., Saito, T., Ikoma, T. (1985), *Jpn. J. Appl. Phys. 24*, L193.
Hitchens, W., Brunemeier, P. E., Dobkin, D. M. (1989), *J. Vac. Sci. Technol. B7*, 680.
Hosokawa, N., Matsuzaki, R., Asamaki, T. (1974), *Jpn. J. Appl. Phys., Suppl. 2*, 435.
Howes, M. J., Morgan, D. V. (Eds.) (1985), *Gallium Arsenide Materials, Devices, and Circuits*. New York: Wiley-Interscience.
Huang, R. T., Nelson, D., Mony, S., Tang, R., Pierson, R., Penney, J., Sahai, R. (1993), in: *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 345–348.
Hurle, D. T. J. (1977), in: *Inst. Phys. Conf. Series 33a*. C. Hilsum, (Ed.). New York: Institute of Physics, pp. 113–122.
Ibbotson, D. E., Flamm, D. L., Donnelly, V. M. (1983), *J. Appl. Phys. 54*, 5974.
Ide, Y., Kohmoto, S., Asakawa, K. (1992), *J. Electron. Mater. 21*, 3.
Iida, S., Ito, K. (1971), *J. Electrochem. Soc. 118*, 768.
Immorlica, A. A., Eisen, F. H. (1976), *Appl. Phys. Lett. 29*, 94.
Inamura, S. (1979), *J. Electrochem. Soc. 126*, 1628.
Inokuchi, K., Tsunotani, M., Ichioka, T., Sano, Y.,

Kaminshi, K. (1987), in: *9th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 117–120.
Irvin, J. C. (1982), in: *GaAs FET Principles and Technology:* DiLorenzo, J. V., Khandelwal, D. D. (Eds.). Dedham, MA: Artech House, pp. 349–402, and references therein.
Irvin, J. C., Loya, A. (1978), *Bell Syst. Tech. J. 57*, 2823.
Ishihara, O., Nishitana, K., Sawano, H., Mitsui, S. (1976), *Jpn. J. Appl. Phys. 15*, 1411.
Ishii, Y., Miyazawa, S., Ishida, S. (1984), *IEEE Trans. Electron Devices 31*, 800.
Ito, K., Yoshida, M., Otsubo, M., Murotani, T. (1983), *Jpn. J. Appl. Phys. 22*, L299.
Jordan, A. S. (1982), *Proc. Semi-Insulating III–V Materials, Evian 1982*. U.K.: Shiva, pp. 253–262.
Kaminska, M., Parsey, J. M., Jr., Lagowski, J., Gatos, H. C. (1982), *Appl. Phys. Lett. 41*, 989.
Kaminska, M., Lilienthal-Weber, Z., Weber, E. R., George, T., Kortright, J. B., Smith, F. W., Tsaur, B. Y., Calawa, A. R. (1989), *Appl. Phys. Lett. 54*, 1881.
Kasahara, J., Arai, M., Watanabe, N. (1979), *J. Appl. Phys. 50*, 541.
Kikaura, Y., Terada, T., Kameyama, A., Kawakyu, K., Sasaki, T., Toyoda, N. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 127–130.
Kim, M. E., Oki, A. K., Camou, J. B., Chow, P. D., Nelson, B. L., Smith, D. M., Canyon, J. C., Yang, C. C., Dixit, R., Allen, B. R. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 117–120.
Klein, P. B., Nordquist, P. R., Siebenmann, P. G. (1980), *J. Appl. Phys. 51*, 4861.
Kofol, J. S., Lin, B. J. F., Mierzwinski, M., Kim, A., Armstrong, A., VanTuyl, R. (1992), in: *14th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 267–270.
Kohn, E. (1979), in: *Int. Electron Devices Mtg., Tech. Digest*. New York: IEEE, pp. 469–472.
Kondo, N., Nanishi, Y. (1989), *Jpn. J. Appl. Phys. 28*, L7.
Kuan, T. S., Batson, P. E., Jackson, T. N., Rupprecht, H., Wilkie, E. L. (1983), *J. Appl. Phys. 54*, 6952.
Kular, S. S., Sealy, B. J., Stephens, K. G., Chick, D. R., Davis, Q. V., Edwards, J. (1978), *Electron. Lett. 14*, 85.
Kullendorf, N., Jansson, L., Ledebo, L.-A. (1983), *J. Appl. Phys. 54*, 3203.
Lagowski, J., Parsey, J. M., Kaminska, M., Wada, K., Gatos, H. C. (1982), *Proc. Semi-Insulating III–V Materials, Evian 1982*. Nantwich, Cheshire, U.K.: Shiva, pp. 154–159.
Lang, D. V. (1977), in: *Review of Radiation Induced Defects in III–V Compounds*, Inst. Phys. Conf. Series No. 31: London: Inst. of Physics, pp. 70–94.
Lapinsky, R. L. (1991), AT&T Bell Laboratories, Reading, PA, personal communication.
Lee, C. P. (1982), *Semi-Insulating III–V Materials, Evian 1982*. Nantwich, Cheshire, U.K.: Shiva, pp. 324–335.
Lee, G., Canage, S., Terrell, B., Deyhimy, I. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 33–36.
Leon, R. P., Kaminska, M., Lilienthal-Weber, Z., Yu, K. M., Weber, E. R. (1992), *Mater. Sci. Forum 83–87*, 723–728.
Lin, B. J.-F., Kocot, C. P., Mars, D. E., Jaeger, R. (1990), *IEEE Trans. Electron Devices 37*, 46.
Linden, K. J. (1991), *Photonics Spectra 25*, 91.
Liu, S. G., Douglas, E. C., Wu, C. P., Magee, C. W., Narayan, S. Y., Jolly, S. T., Kolondra, F., Jain, S. (1980), *RCA Rev. 41*, 227.
Look, D. C., Yu, P. W., Theis, W. M., Ford, W., Mathur, G., Sizelove, J. R., Lee, D. H. (1986), *Appl. Phys. Lett. 48*, 1083.
Maeda, T., Miyatake, Y., Tomonoh, Y., Asai, S., Ishikawa, M., Nakaizumi, K., Ohno, Y., Ohno, N., Furutsuka, T. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 139–142.
Magistrali, F., Tedesco, C., Zanoni, E., Canali, C. (1992), in: *Reliability of Gallium Arsenide MMICs:* Christou, A. (Ed.). Chichester, U.K.: Wiley, pp. 101–189, and references therein.
Makino, H., Matsue, S., Noda, M., Tanino, N., Takano, S., Nishitani, K., Kayano, S. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 71–74.
Makram-Ebeid, S., Tuck, B. (Eds.) (1982), *Proc. Semi-Insulating III–V Materials, Evian 1982*. Nantwich, Cheshire, UK: Shiva, papers in Secs. 2–5.
Makram-Ebeid, S., Mitonneau, A., Laurence, G. (1982), in: *Semi-Insulating III–V Materials, Evian 1982*. Nantwich, Cheshire, UK: Shiva, pp. 336–343.
Malik, R. J., Nottenberg, R. N., Schubert, E. F., Walker, J. F., Ryan, R. W. (1989), *Appl. Phys. Lett. 54*, 39.
Martin, G. M., Mitonneau, A., Mircea, A. (1977), *Electron. Lett. 13*, 191.
Massalski, T. B. (Ed.) (1990), *Binary Alloy Phase Diagrams*, Vol. 1, 2nd Ed., Materials Park, OH: ASM International.
Mathur, G., Wheaton, M. L., Borrego, J. M., Ghandi, S. K. (1985), *J. Appl. Phys. 57*, 4711.
Matino, H., Tokunaga, M. (1969), *J. Electrochem. Soc. 116*, 709.
Matsunaga, N., Miyazaki, M., Kagaya, O., Haga, T., Tanaka, H., Yanazawa, H. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 147–150.
Meiners, L. G. (1982), *J. Vac. Sci. Technol. 21*, 655.
Melliar-Smith, C. M., Mogab, C. J. (1978), in: *Thin Film Processes:* Vossen, J. L., Kern, W. (Eds.). New York: Academic, pp. 497–556.
Mickanin, W., Canfield, P., Finchem, E., Odekirk, B. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 211–214.
Miller, D. C. (1980), *J. Electrochem. Soc. 127*, 467.
Miller, D. L., Asbeck, P. M. (1985), *J. Appl. Phys. 57*, 1816.
Milnes, A. (1973), *Deep Levels in Semiconductors*.

New York: Wiley.
Miyazawa, S., Ishii, Y., Ishida, S., Nanishi, Y. (1983), *Appl. Phys. Lett. 43*, 853.
Morgan, D. V. (1973), *Channeling*. New York: Wiley.
Mori, Y., Watanabe, N. (1978), *J. Electrochem. Soc. 121*, 1510.
Mukherjee, S. D., Woodard, D. W. (1985), in: *Gallium Arsenide Materials, Devices, and Circuits:* Howes, M. J., Morgan, D. V. (Eds.). New York: Wiley-Interscience, pp. 119–160.
Mukherjee, S. D., Morgan, D. V., Howes, M. J. (1979), *J. Electrochem. Soc. 126*, 1047.
Myers, D. R., Wilson, R. G., Comas, J. (1979), *J. Vac. Sci. Technol. 16*, 1893.
Niehaus, W. C., Wemple, S. H., D'Asaro, L. A., Fukui, H., Irvin, J. C., Cox, H. M., DiLorenzo, J. V., Hwang, J. C., Schlosser, W. O. (1982), in: *GaAs FET Principles and Technology:* DiLorenzo, J. V., Khandelwal, D. D. (Eds.). Dedham, MA: Artech House, pp. 279–306.
Nishi, H., Okamura, S., Inada, T., Hashimoto, H., Katoda, T., Nakamura, T. (1982), in: *Inst. Phys. Conf. Series 63*. London: Inst. of Physics, pp. 365–370.
Nishitsuji, M., Tamura, A., Kunihisa, T., Yahata, K., Shibuja, M., Kitagawa, M., Hirao, T. (1993), in: *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 329–332.
Noda, M., Hosogi, K., Sumitani, K., Nakano, H., Makino, H., Nishitani, K., Otsubo, M. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 227–230.
Nottenberg, R. N., Levi, A. F. J., Chen, Y. K., Jalali, B., Panish, M. B., Cho, A. Y. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 135–138.
Nubling, R. B., Sheng, N. H., Wang, K. C., Chang, M. F., Ho, W. J., Sullivan, G. J., Farley, C. W., Asbeck, P. M. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 125–128.
Oates, A. S., Barr, D. L. (1994), *J. Electron. Mater. 23*, 63.
Ogawa, M. (1980), *J. Appl. Phys. 51*, 406.
O'Neill, T. (1991), Bandgap Technology Corp., unpublished.
Onodera, K., Kitahata, H. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 215–218.
Otsubo, M., Oda, T., Kumabe, H., Miiki, H. (1976), *J. Electrochem. Soc. 123*, 676.
Otsubo, M., Kumabe, H., Miiki, H. (1977), *Solid State Electron. 20*, 617.
Palmstrom, C. J., Morgan, D. V., Howes, M. J. (1978), *Nucl. Instrum. Methods 150*, 305.
Palmstrom, C. J., Morgan, D. V. (1985), in: *Gallium Arsenide Materials, Devices, and Circuits:* Howes, M. J., Morgan, D. V. (Eds.). New York: Wiley-Interscience, Chap. 6, pp. 195–266.
Pan, S. H., Mo, D., Petro, W. G., Lindau, I., Spicer, W. E. (1983), *J. Vac. Sci. Technol. B 1*, 593.
Panish, M. B. (1974), *J. Cryst. Growth 27*, 6.
Paola, C. R. (1970), *Solid State Electron. 13*, 1189.
Parker, E. C. H. (Ed.) (1985), *Technology and Physics of Molecular Beam Epitaxy*. New York: Plenum.
Parsey, J. M., Jr. (1990), AT&T Bell Laboratories, Reading, PA, unpublished.
Parsey, J. M., Jr., Asom, M. T., Kimerling, L. C., Farrow, R. C., Sauer, R., Thiel, F. A. (1987), *Defects in Electronic Materials*, Vol. 104: Stavola, M., Pearton, S. J., Davies, G. (Eds.). Pittsburgh, PA: MRS, pp. 429–435.
Pearton, S. J., Caruso, R. (1989), *J. Appl. Phys. 66*, 663.
Pearton, S. J., Poate, J. M., Sette, F., Gibson, J. M., Jacobson, D. C., Williams, J. S. (1987), *Nucl. Instrum. Methods Phys. B 19/20*, 369.
Pearton, S. J., Katz, A., Geva, M. (1990), in: *SPIE Proc. Series*, Vol. 1393, Oct. 2–3, 1990, Santa Clara, CA: Singh, R., Moslehi, M. M. (Eds.). Washington, DC: Society of Photo/Optical Instrumentation Engineers, pp. 57–66.
Pearton, S. J., Chakrabarti, U. K., Perley, A. P., Hobson, W. S., Geva, M. (1991), *J. Electrochem. Soc. 138*, 1432.
Peters, J. W. (1981), in *Int. Electron Devices Mtg., Tech. Digest*. New York: IEEE, pp. 240–243.
Peterson, K. E., Adler, D. (1976), *IEEE Trans. Electron Devices 23*, 471.
Popovic, R. S. (1978), *Solid State Electron. 21*, 1133.
Poulton, K., Knudsen, K. L., Corcoran, J. J., Wang, K.-C., Nubling, R. B., Pierson, R. L., Chang, M.-C. F., Asbeck, P. M. (1994), in: *16th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 240–243.
Quinn, W. E. (1992–1993), Bandgap Technology Corp., unpublished.
Rees, G. J. (Ed.) (1980), *Semi-Insulating III–V Materials, Nottingham, UK 1980*. Orpington, Kent, UK: Shiva.
Ren, F., Pearton, S. J., Hobson, W. S., Fullowan, T. R., Lothian, J., Yanof, A. W. (1990), *Appl. Phys. Lett. 56*, 860.
Riben, A. R., Feucht, D. L. (1966), *Int. J. Electron. 20*, 583.
Ridley, B. K., Watkins, T. B. (1961), *Proc. Phys. Soc. London 78*, 293.
Ridley, B. K., Pratt, R. G. (1965), *J. Phys. Chem. Solids 26*, 21.
Rode, A., McCamant, A., McCormack, G., Vetanen, B. (1982), in: *Int. Electron Devices Mtg. Tech. Digest*. New York: IEEE, pp. 162–165.
Robinson, G. Y. (1975), *Solid State Electron 18*, 331.
Rosenblatt, D. H., Hitchens, W. R., Anholt, R. E., Sigmon, T. W. (1988), *IEEE Electron Device Lett. 9*, 139.
Sadler, R. A., Studtman, G. D., Geissberger, A. E., Singh, H. P., Burrier, R. A. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 219–222.
Saito, T., Fujishiro, H. I., Ichioka, T., Tanaka, K., Nishi, S., Sano, Y. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 117–120.
Sato, M., Nakamura, H. (1982), *J. Vac. Sci. Technol. 20*, 186.

Sauerer, J., Hagelauer, R., Oehler, F., Rohmer, G., Schlag, U., Seitzer, D., Grave, T., Kellner, W. (1992), in: *14th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 105–108.

Saunier, P., Tserng, H. Q., Camilleri, N., Bradshaw, K., Shih, H. D. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 37–39.

Schmid-Fetzer, R. (1988), *J. Electron. Mater. 17*, 193.

Schubert, E. F. (1990), *J. Vac. Sci. Technol. A 8*, 2980.

Schubert, E. F., Chiu, T. H., Cunningham, J. E., Tell, B., Stark, J. B. (1988), *J. Electron. Mater. 17*, 527.

Schubert, E. F., Kuo, J. M., Kopf, R. F., Luftman, H. S., Hopkins, L. C., Sauer, N. J. (1990). *J. Appl. Phys. 67*, 1969.

Schwartz, B. (Ed.) (1969), *Ohmic Contacts to Semiconductors*. New York: The Electrochemical Society.

Schwartz, B., Sarace, J. C. (1966), *Solid State Electron. 9*, 859.

Schwartz, G. C., Rothman, L. B., Schopen, T. J. (1979), *J. Electrochem. Soc. 126*, 464.

Sealy, B. J., Surridge, R. K. (1975), *Thin Solid Films 26*, L19.

SEMI Standards (1989), SEMI M9-89, *Book of Standards*, Vol. 3. CA: SEMI, pp. 119–120.

Sequeria, H. B., Duncan, S. W., Eskandarian, A., Golja, B. A., Matrel, D. C., Southwick, S. B., Svensson, S. P., Trippe, M. W., Tu, D. W., Weinreb, S., Byer, N. E. (1990), in: *12th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 161–164.

Sharma, B. L. (1981). in: *Semiconductors and Semimetals*, Vol. 15: *Contacts, Junctions, Emitters*. Willardson, R. K., Beer, A. C. (Eds.). New York: Academic, pp. 1–38, and references therein.

Shaw, D. W. (1981), *J. Electrochem. Soc. 128*, 874.

Shen, Y. D., Wilson, M. R., McGuire, M., Nelson, D. A., Welch, B. M. (1987), in: *9th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 125–128.

Shewmon, P. G. (1963), *Diffusion in Solids*. New York: McGraw-Hill.

Shigetomi, S., Matsumori, T. (1983), *Jpn. J. Appl. Phys. 22*, 1294.

Shih, K. K., Blum, J. M. (1972), *Solid State Electron. 15*, 1177.

Shimura, T., Hosogi, K., Khono, Y., Sakai, M., Kuragaki, T., Shimada, M., Kitano, T., Nishitani, K., Otsubo, M., Mitsui, S. (1992), in: *14th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 165–168.

Shin, C. B., Economou, D. J. (1991), *J. Electrochem. Soc. 138*, 527.

Short, K. T., Pearton, S. J. (1988), *J. Electrochem. Soc. 135*, 2835.

Simmons, J. G., Taylor, G. W. (1983), *Solid State Electron. 26*, 705.

Sinha, A. K., Poate, J. M. (1974), *Jpn. J. Appl. Phys. 13, Suppl. 2*, 841.

Slater, D. B., Enquist, P. M., Najjar, F. E., Chen, M. Y., Hutchby, J. A. (1990), *IEEE Electron Device Lett. 11*, 146.

Small, M. B., Potemski, R. M., Reuter, W., Ghez, R. (1982), *Appl. Phys. Lett. 41*, 1068.

Smith, F. W., Calawa, A. R., Chen, C. L., Manfra, M. J., Mahoney, L. J. (1988a), *IEEE Electron Device Lett. 9*, 77.

Smith, F. W., Chen, C. L., Turner, G. W., Finn, M. C., Mahoney, L. J., Manfra, M. J., Calawa, A. R. (1988b), in: *Int. Electron Devices Mtg. Tech. Digest*. New York: IEEE, pp. 838–841.

Smith, T. (1994), in: *16th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 115–118.

Smolinsky, G., Chang, R. P., Mayer, T. M. (1981), *J. Vac. Sci. Technol. 18*, 12.

Spicer, W. E., Lindau, I., Skeath, P. R., Su, C.Y., Chye, P. W. (1980), *Phys. Rev. Lett. 44*, 420.

Stirland, D. J., Straughan, B. W. (1976), *Thin Solid Films 31*, 139.

Streit, D. C., Umemoto, D. K., Kobayashi, K. W., Oki, A. K. (1992), *J. Vac. Sci. Technol. B 10*, 853.

Stringfellow, G. B. (1989), *Organometallic Vapor Phase Epitaxy: Theory and Practice*. Boston: Academic.

Studebaker, L. G. (1994), in: *16th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 321–324.

Suchet, P., Duseaux, M., Maluenda, J., Martin, G. (1987), *J. Appl. Phys. 62*, 1097.

Sugahara, H., Nagano, J., Nittono, T., Ogawa, K. (1993), in: *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 115–118.

Sugata, S., Takamori, A., Takado, N., Asakawa, K., Miyauchi, E., Hashimoto, H. (1988), *J. Vac. Sci. Technol. B 6*, 1087.

Suzuki, Y., Hida, H., Ogawa, Y., Okamoto, A., Fujita, S., Suzaki, T., Toda, T., Nozaki, T. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 129–132.

Sze, S. M. (1981), *Physics of Semiconductors*. New York: Wiley-Interscience.

Tabatabaie-Alavi, K., Smith, I. W. (1990), *IEEE Trans. Electron Devices 37*, 96.

Tabatabaie-Alavi, K., Masum-Choudhury, A. N. M., Fonstad, C. G., Gelpey, J. C. (1983), *Appl. Phys. Lett. 43*, 505.

Takamori, A., Sugata, S., Asakawa, K., Miyauchi, E., Hishimoto, H. (1987), *Jpn. J. Appl. Phys. 26*, L142.

Thurmond, C. D. (1965), *J. Phys. Chem. Solids 26*, 785.

Tiku, S. K., Duncan, W. M. (1985), *J. Electrochem. Soc. 132*, 2237.

Tokunaga, K., Redeker, F. C., Danner, S. A., Hess, D. W. (1981), *J. Electrochem. Soc. 128*, 851.

TriQuint Semiconductor, IC Foundary, Services Manual, 1986.

Tsen, T., Tiku, S., Chun, J., Walton, E., Bhasker, C. S., Penney, J., Tang, R., Schneider, K., Campise, M. (1993), in: *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 193–196.

Tsubaki, K., Ando, S., Oe, K., Sugiyama, K. (1979), *Jpn. J. Appl. Phys. 18*, 1191.

Tsukada, N., Sugata, S., Mita, Y. (1983), *Appl. Phys. Lett. 42*, 424.

Tu, C. W. (1995), *JOM 47 (12)*, 34–37.

Tuck, B. (1988), *Atomic Diffusion in III–V Semicon-*

ductors. London: Adam Hilger/Institute of Physics.
Vandenberg, J. M., Kingsborn, E. (1980), *Thin Solid Films 65*, 259.
Vandenberg, J. M., Temkin, H. (1984), *J. Appl. Phys. 55*, 3676.
Vandenberg, J. M., Temkin, H., Hamm, R. A., DiGiuseppe, M. A. (1982), *J. Appl. Phys. 53*, 7385.
Van Vechten, J. A. (1975), *J. Electrochem. Soc. 122*, 419–422, and 423–427.
Vitesse (1990), *Electron. Design*, Nov. 8, 152.
Vitesse Semiconductor Corp., Company Backgrounder, January, 1991.
Vitesse (1995), *Compound Semicond. 1*, 11.
Vogelsang, C. H., Castro, J. A., Notthoff, J. K., Troeger, G. L., Stephens, J. S., Krein, R. B. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 75–78.
Vook, F. L. (1964), *Phys. Rev. 135*, A1742.
Vuong, T. H. H., Gibson, W. C., Ahrens, R. E., Parsey, J. M., Jr. (1990), *IEEE Trans. Electron Devices 37*, 51.
Wada, M., Kawasaki, H., Hida, Y., Okubora, A., Kasahara, J. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 109–112.
Waldrop, J. R. (1984), *J. Vac. Sci. Technol. B 2*, 445.
Waldrop, J. R., Kowalczyk, S. P., Grant, R. W. (1982), *J. Vac. Sci. Technol. 21*, 607.
Watanabe, K., Hashiba, M., Hirohata, Y., Hishino, M., Yamashino, T. (1979), *Thin Solid Films 56*, 63.
Weiss, B., Kohn, E., Bayraktaroglu, B., Hartnagel, H. L. (1977), in: *Inst. of Phys. Conf. Series 33*. London: Institute of Physics, pp. 168–176.
Wey, H. Y. (1976), *Phys. Rev. B 13*, 3495.
Williams, R. H. (1982), *Contemp. Phys. 23*, 329.
Williams, R. E. (1990), *Gallium Arsenide Processing Techniques*, 2nd. ed. Norwood, MA: Artech House.
Wilson, M. R., Welch, B. M., Imboden, C., Krongard, B. S., Shah, N., Shen, Y., Venkataraman, R. (1989), in: *11th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 231–234.
Wilson, M. R., Chasson, D. E., Krongard, B. S., Rosenberry, R. W., Shah, N. A., Welch, B. M. (1993), in: *15th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 189–192.
Woodall, J. M., Rupprecht, H., Chicotka, R. J., Wicks, G. (1981), *Appl. Phys. Lett. 38*, 639.
Wronski, C. R. (1969), *RCA Rev. 30*, 314.
Yablonovich, E., Hwang, D. M., Gmitter, T. J., Florez, L. T., Harbison, J. P. (1990), *Appl. Phys. Lett. 56*, 2419.
Yamada, F. M., Oki, A. K., Streit, D. C., Saito, Y., Coulson, A. R., Atwood, W. C., Rezek, E. A. (1994), in: *16th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 271–274.
Yamasaki, K., Asai, K., Kurumada, K. (1982), *IEEE Trans. Electron Devices 29*, 1772.
Yin, X., Pollak, F., Pawlowicz, L. M., O'Neill, T., Hafizi, M. (1990), *Appl. Phys. Lett. 56*, 1278.
Yuan, Y. R., Eda, K., Vawter, G. A., Merz, J. L. (1983), *J. Appl. Phys. 54*, 6044.
Yuen, C., Nishimoto, C., Glenn, M., Pao, Y. C., Bandy, S., Zdasiuk, G. (1988), in: *10th GaAs IC Symp., Tech. Digest*. New York: IEEE, pp. 105–108.
Zeng, X. F., Chung, D. D. L. (1982), *Thin Solid Films 93*, 207.
Ziegler, J. F., Biersack, J. P., Littmark, U. (1985), *The Stopping and Range of Ions in Solids*. New York: Pergamon.
Zuleeg, R., Notthoff, J. K., Troeger, G. L. (1984), *IEEE Electron Device Lett. 5*, 21.
Zuleeg, R., Notthoff, J. K., Troeger, G. L. (1990), *Gallium Arsenide Technology*, Vol. 2. Carmel, IN: SAMS, Chap. 3, pp. 95–138.

11 集成电路封装

Daniel I. Amey

E. I. DuPont de Nemours Inc.,Dupont Electronic Materials. Wilmington,DE,U. S. A.

(贯松良 译 叶德培 校)

目录

符号与缩语表

g	逻辑门的数量
p	引脚数
P	耗散功率
T_1	管芯的平均结温
T_2	环境空气温度
ε_r	相对介电常量
θ_{CA}	管壳到环境空气的热阻
θ_D	管芯的热阻
θ_H	热沉材料的热阻
θ_{J1}	管芯到封装界面的热阻
θ_{J2}	封装到热沉表面的热阻
θ_{J3}	热沉到空气的热阻(薄膜热阻)
θ_{JA}	结到环境空气的热阻
θ_{JC}	结到管壳(外表面)的热阻
θ_P	封装材料的热阻
ATAB	TAB 焊球阵列
BGA	焊球阵列
CC	片式载体
C4	受控塌陷芯片连接
CERDIP	玻璃熔封陶瓷双列直插封装
CMOS	互补金属氧化物半导体
CQFP	陶瓷四边引线扁平封装
DIP	双列直插封装
ECL	射极耦合逻辑
EIA	电子工业协会
EIAJ	日本电子工业协会
FQFP	窄节距四边引线扁平封装
FRU	现场可更换单元
IC	集成电路
IEC	国际电工委员会

IEEE	电气和电子工程师学会
I/O	输入/输出
ISHM	国际混合微电子学会
JEDEC	电子器件工程联合委员会
LCC	无引线片式载体
LFPM	直线英尺/分钟
LGA	面或无引线焊点阵列
LIF	低插入力
LSI	大规模集成
MCM	多芯片模块
MCP	多芯片封装
MSI	中规模集成
PBGA	塑料焊球阵列
PGA	针栅阵列
PLCC	塑料有引线片式载体[1]
PWB	印制线路板
QFP	四边引线扁平封装
QUIP	四边直插封装
SIMM	单边直插存储器模块
SIP	单列直插封装
SMTA	表面安装技术协会
SMTPGA	表面安装针栅阵列
SO	小外形
SOJ	J 形引线的 SOP
SOP	小外形封装
SOT	小外形晶体管
SSOP	缩小的小外形封装
TAB	载带自动焊
TCE	热膨胀系数
TCM	导热模块
TQFP	薄型四边引线扁平封装
TSSOP	薄型缩小的小外形封装
VLSI	超大规模集成
ZIF	零插入力
ZIP	单边交叉双列直插封装

1) 原文为 Plastic leadless chip carrier 有误，leadless 应为 leaded，见表11-1。——译者注

·p. 592·

11.1 引　　言

在 JEDEC 标准 No. 99中,封装定义为:“内含一个或多个半导体芯片的一种外壳,它可提供电连接及机械和环境保护。”

封装的类型多种多样,有不同的形状、材料、式样、引出端形式、引出端节距和引出端数。引出端是通常的叫法,专用的术语为管脚、引线、焊盘、焊料凸点等,并且一种特定结构所用的术语常常是可互换的。有成千上万种封装类型,每种封装可满足某些特殊的需求。设计者选择一种集成电路时就面对着将从各种缩写符号——BGA,PGA,LGA,LCC,TSOP,TSSOP,QFP,MQP,等等——中去选择一种。但并非一直都是如此。在60年代,只有几种可供选择,当时最通用的是双列直插封装(DIP)。从那以后,每隔10年可供设计者使用的基本外壳类型的数量就翻一番。为了使整个封装获得成功,外壳类型的选择变得更为困难、更为重要。封装和互连已限制了电子系统的性能,并且这种限制将继续下去。

封装的类型很少被淘汰,如表11-1所示。对于 IC 的封装,TO-5型很快被 DIP 所代替,但30多年过去了,DIP 仍广泛地用于电子封装工艺。封装类型及其变种的发展并没有代替原有的类型,以致今天封装的类型急剧地增长。其中部分原因是由于对新型封装(外壳)的需求或潜在的应用前景的早期认证;还由于一种新型的封装从雏形到获得广泛应用需要一个很长的周期,以建立相应的基础设施(如组装设备、测试工具等)和对制造厂及工场投资。由于变化很快,不仅要对新的封装方式进行投资、而且还要对原有的封装方式进行投资,这种投资的分散延缓了技术的发展。这是 DIP 有如此长寿命的主要原因之一。封装已经并将继续向更高密度、更薄、更轻的单芯片封装发展,封装的类型将继续急剧增加。事实早已证明,没有一种封装形式可以适用于电子工业中各种各样应用的需求。

·p. 593·

表11-1　集成电路封装类型

封装类型	缩写词	60年代	70年代	80年代	90年代
双列直插封装	DIP	●	●	●	●
扁平封装	FP	●	●	●	
片式载体	CC				
无引线片式载体	LCC	●	●	●	●
塑料有引线片式载体	PLCC		●	●	●
栅阵列					
针栅阵列	PGA	●	●	●	●
无引线(面)栅阵列	LGA			●	●
小外形或小外形 IC	SO 或 SOIC		●	●	●
小外形 J 形引线	SOJ			●	●
载带自动焊	TAB		●	●	●
列直插封装					

续表

封装类型	缩写词	60年代	70年代	80年代	90年代
单列直插封装	SIP	●	●	●	●
单边交叉双列直插封装	ZIP		●	●	●
四边单列直插封装	QUIP		●	●	●
单列直插存储器模块	SIMM(SIP)			●	●
四边引线扁平封装	QFP		●	●	●
模塑环形载体	MRC			●	●
窄节距四边引线扁平封装	FQFP				●
薄型四边引线扁平封装	TQFP				●
窄节距小外形封装	SSOP				●
薄型缩小的小外形封装	TSSOP				●
栅阵列					●
焊球阵列	BGA				●
塑料焊球阵列	PBGA				●
载带自动焊焊球阵列	ATAB				●
表面安装型针栅阵列	SMTPGA				●
公制的 TAB	TAB			●	●
多芯片模块	MCM	●	●	●	●
MCM 针栅阵列	MCMPGA		●	●	●
MCM 陶瓷四边引线扁平封装	MCMCQFP			●	●
缩小的 DIP				●	●
存储器卡				●	●
多 I/O 引脚数 SIMM	SIMM(SIP)				●

11.2 封装功能

半导体集成电路对其外壳和有效电路封装所需的互连不断提出新的要求。封装的发展趋势是更多的引脚数，更大的热耗散，更高的封装密度(每平方英寸更多的互连线)和多芯片封装，以便改进电子系统的性能，使其具有更多的功能和更强的能力。

•p. 593•

在50年代和60年代初，分立半导体器件和电子元件，如晶体管、电阻和电容等，主要是具有轴向和径向引线端。由于半导体技术的发展，越来越多的元件可以制造在同一硅芯片上，TO 型半导体封装的管脚数不再能满足需求。IC 所用圆形的 TO-5外壳具有圆形排列的10和12条管脚，管脚数受外壳和那时(1963年)印制电路互联技术的限制。由于需要及 DIP 的推广，许多年来 DIP 已成了主要的外壳类型，并在今后很多年以内仍将是半导体的主要封装类型之一。

·p. 594·

然而，在70年代中期，由于半导体技术发展进入了中规模集成(MSI)和大规模集成(LSI)，越来越多的元器件和越来越大的容量可集成于一块硅芯片或一个芯管上，但 DIP 或其它插入式封装上没有可能具有足够多的管脚或引出端去支撑已可制作在单一芯片上的逻辑。这样就产生了对不同外壳类型的需求，大引脚数(或引出端)外壳，例如片式载体、针栅阵列(PGA)、窄节距 QFP 及现在的焊球阵列(BGA)和多芯片模块(MCM)。这是一个事实，更多的引脚数总是能有用的。

多芯片封装是外壳和模块的最新发展方向。多芯片封装并不是新东西，在军品和民品中已使用了25年以上。陶瓷混合电路技术，即原来的 MCM，提供了当代半导体技术在一个单芯片上所不能经济地提供的功能。由于半导体技术的发展，这些在多芯片封装中实现的功能，可以用或已经被具有更高性能或更大容量的单芯片功能代替。然而，在电路性能方面仍有许多需求是单片封装所不能提供的，在军事和高性能电路产品市场方面，混合集成电路工业仍在继续增长。现在，同样的需求已在陶瓷、薄膜和印制线技术的多芯片封装中成为主流。在今后，单芯片外壳的类型仍然是多芯片外壳的基础，单芯片外壳仍将继续大量使用。随着半导体技术在其速度和集成密度方面的不断发展，不少多芯片功能将变成单芯片功能或单芯片封装，在可预见的不远的将来，预期一些技术上的障碍将限制这种发展。MCM 将是进入未来封装工程工具箱的另一类封装技术。封装品种将继续急剧增多，正确选择外壳的复杂性将更大，这将进一步推动互连技术的发展。“没有一种外壳或封装工艺能满足所有的应用”这一点将更为突出。每一种封装方法都有它本身的优点和缺点，在系统分析时必须折衷考虑工艺的复杂性、应用的必要性、可制造性、可维修性和成本，还应考虑该电子系统的特点和独创性，以及每个公司所特有的本公司的实际工作经验和基础。

11.3 集成电路工艺

对半导体封装工艺所用的微互连技术有所了解是很重要的。图11-1列出了集成电路(采用引线键合工艺的电路)的主要制造工序：从未经加工的原始硅圆片经掩模和圆片工艺的各工序称为“前部工序”，从圆片安装到密封或包封称为“后部工序”。含有成百上千相同电路的硅圆片用石蜡或热熔粘接剂固定在载片架上，用砂轮划片将圆片分成单个的管芯或芯片，然后去进行封装。管芯粘接或键合在外壳或基板上，以获得机械支撑和导热。从管芯到外壳、引线框或基板的互联称为引线键合(载带自动焊的工序示于图11-3)，这一步的互联有时称为“微互联”，以区别于外部对外壳的互联。请注意，倒装焊或焊料凸点微互联没有管芯粘接这一工序，焊料凸点完成了管芯粘接和电性能互联两个作用。密封或封盖提供了对管芯的保护，以免环境对它的影响。注意在各工序后都要进行检测，用探针对圆片上各独立的管芯进行测试，以确定其功能是否正常，一般情况只测主要的直流特性。失效的电路用墨水点标出，以告示下一步装配工序：该管芯是没有功能的。在全部封装和组装工序完成后进行终测，在这一步要完成全部功能和交流测试，并根据电学和环境性能进行分类。在封装工序的中间进行测试是不现实的，所以在最后两个测试工序之间价值增加了很多。封装工序在集成电路的总成本中占有相当大的份额。

·p. 595·

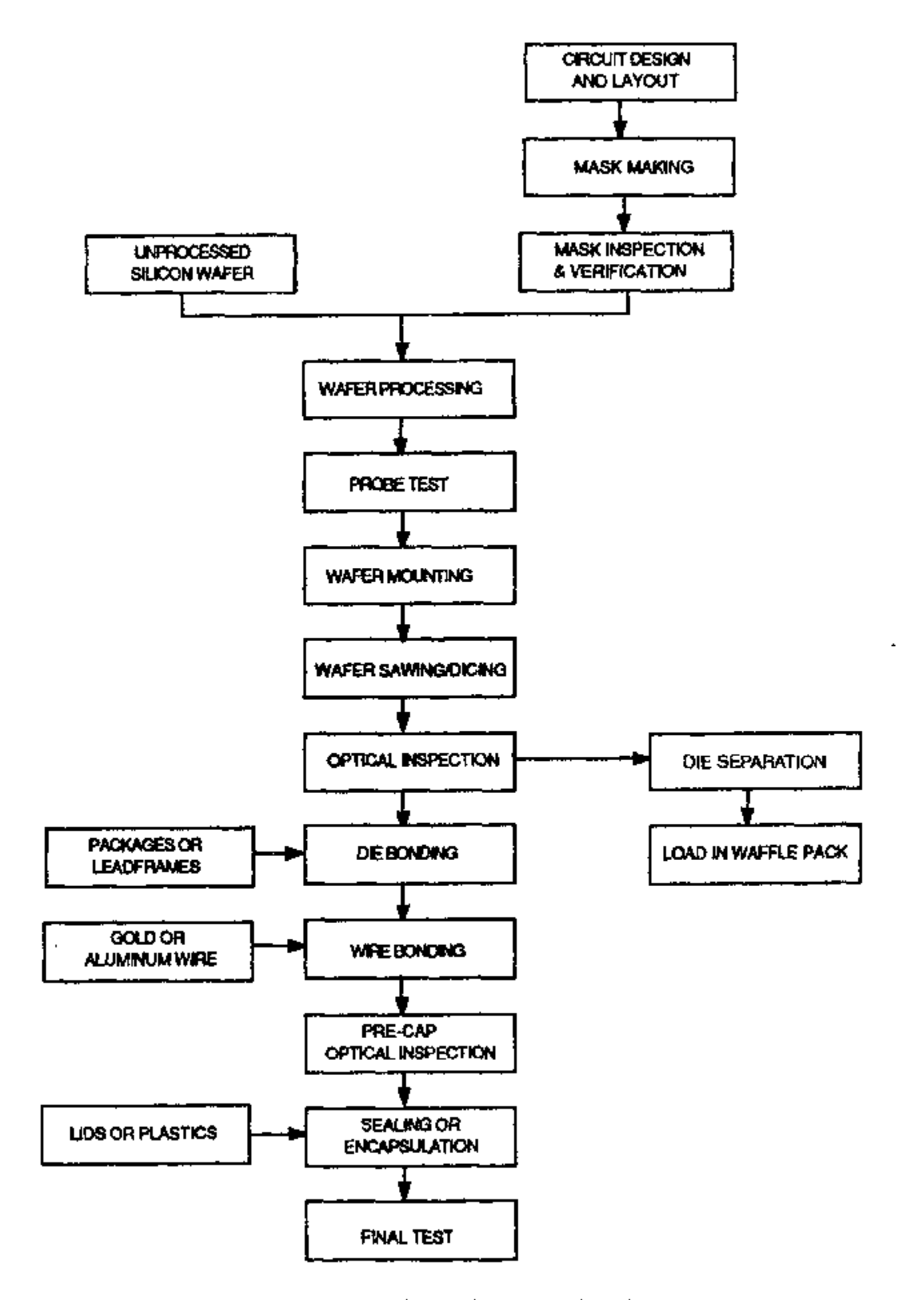


图11-1 集成电路的主要制造工序

·p. 596·

11.4 芯片粘接

将芯片粘接到外壳或基板上去有4种主要方法:合金或共晶键合、焊料焊接、低温玻璃熔封烧接、粘接剂粘接。从封圆片上被切割成小方片的管芯可放在"芯片盒"(含有许多小方格的塑料盒,在每个小方格中可存放一个管芯)内,以供手工将芯片粘接到外壳或基板上去。在划片以后,管芯也可粘附在有一定弹性的塑料膜载体上,管芯仍保持精确、均匀的

位置(像在前工序制造时那样),以供自动粘片机使用。典型的粘片机是“吸片和放置”型的,其真空吸头吸起管芯,并将管芯送到已放置在一平台上的管壳或基板上。吸头还有一个机械作用:将管芯在外壳表面上进行摩擦,然后在外壳上芯片粘接区的镀金层和硅管芯背面之间形成共晶键合。对于较大的管芯,可将事先加工成形的厚约25μm 的薄焊料片或金基合金片放置在封装的芯片粘接区与管芯之间。管芯的背面常做有金的金属化层,封装上的芯片粘接区也同样镀有金。管芯粘接时,加热到约300 C,使预成形的焊片熔化,将管芯粘接在外壳上。塑性流变温度在300—400 C范围的低温玻璃常用于陶瓷外壳的粘片,也常用环氧树脂粘片,特别是在混合集成电路的 MCM 中。当使用环氧树脂时,管壳内就存在有机物,这对某些应用可能会导致沾污。通常环氧树脂只是材料的一部分,为了较好地导热和导电,可能还需填以金属细粒。

已建立的作为可接收的芯片粘接的判据是考察围绕芯片四周的材料数量。通常对于军品封装,在外壳底座和芯片之间至少应有三条芯片边上的焊缝是完好的。这一点只是确认了机械粘接情况,但并非表明整个芯片粘接的完整性,而完整的芯片粘接对于高耗散功率的电路是很重要的。X 射线和声学显微镜被用来检验芯片粘接情况,以确定芯片焊层中没有空洞,具有良好的导热性能(DiGiacomo,1989)。还需用具有专用引线的热敏二极管和热阻测试设备。所有这些测试或分析技术都会大大增加电路的成本。故增加任何设计或产品指标都应十分谨慎。然而,热性能则日益成为一个关键参数,它影响可靠性和电性能。故为保证管芯粘接的完整性而增加的附加成本对高性能和高档电路已证明是完全值得的。详见11-11节热设计。

11.5 微互连方法

·p. 597·

图11-2所示为三种微互连粘接或键合方法:引线键合、倒装焊(也称为焊料凸点焊接或“C4”—— 可控塌陷芯片连接)、载带自动焊(TAB)。图的左边所示为相对于封装安装表

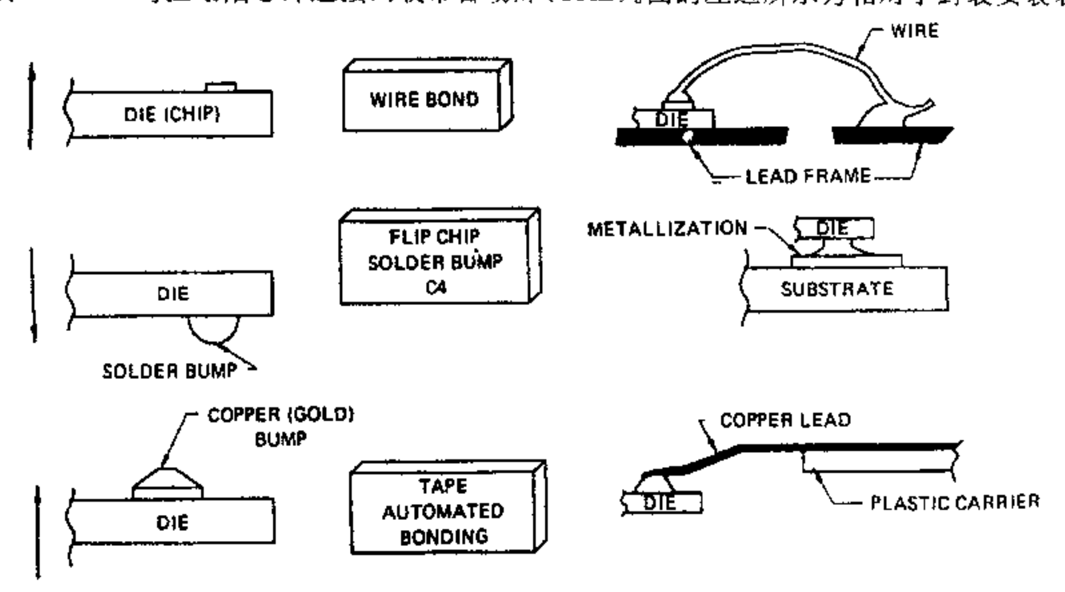


图11-2 集成电路管芯互连方法比较

面的管芯部分。在引线键合方式中，管芯是"面朝上"的，管芯的输入/输出(I/O)端和有源表面都在上表面，背靠外壳安装表面，管芯和外壳间的互连是用热压、热超声或超声键合的。焊料凸点焊接技术则是芯片"面向下"安装的，置有焊料凸点的有源表面在管芯的下表面，邻近外壳安装表面。带焊料凸点的管芯是用回流焊实现管芯和外壳互连的。IBM公司在60年代为适合大量自动组装而开发的这种技术，已用在整个他们的生产线。他们现在开始对此技术发专利许可证，并有若干半导体厂已获得了专利许可。

TAB技术主要是一种面向上的技术，其凸点放置在管芯的引出线端区，利用热压将这些凸点和由塑料膜载体支撑的铜引线相键合。

11.6 引线键合

在引线键合工序中，通常直径为0.7—1.3 mil(18—33 μm)的细金丝或铝丝被键合，以使管芯的I/O端和外壳、引线框或基板的金属化层相连接。这是一种每次形成一个键合点的连续顺序操作，自动键合机的工作速率可达每秒5—7个键合点，比手工操作快很多。在目前的商业产品中，引线键合是最通用的互连技术。

·p.598·

表11-2所示为某些典型的引线尺寸。最常用的是直径为1.0 mil的金丝和1.3 mil的铝丝(1 mil≈25 μm)。请注意长度限制，最大线长是引线支撑其本身能力的函数，必须保证在冲击和振动时引线完整不被损坏，并且不和相邻引线短路。还应注意电阻值，引线键合方式所形成的内引线具有较大的引线电阻(有时达0.5—0.8 Ω)和引线电感(1—5nH)，这会影响电流输运能力、信号传输时间和电路噪声等电性能。

表11-2 引线键合的机械尺寸和性能参数

材料	线径(in.)	最小线长(in.)	最大线长(in.)	每英尺电阻(Ω)	最大电流(A)
Au	0.0010	0.040	0.080	13.5—14.4	0.200
Au	0.0013	0.040	0.110	8.03—8.53	0.500
Al/Si	0.0010	0.020	0.120	17.7—19.5	0.125
Al/Si	0.0013	0.020	0.150	1.3—12.5	0.250

参数	引线键合[a]		TAB引线[b]
	铝丝	金丝	铜
电性能：			
引线电阻(Ω)	0.142	0.122	0.017
引线间电容(pF;0.008间距)	0.025	0.025	0.006
引线电感(nH)	2.621	2.621	2.10
热阻：			
引线导热(℃/mW)	79.6	51.6	8.3
引线对流(自然对流)(℃/mW)	336.5	336.5	149.5

a. 引线键合的引线直径为0.001in，长为0.10in；b. TAB引线长分别为0.001in，0.004in和0.100in(1 in＝2.54cm)。

最长引线长度的规定使设计人员必须根据管芯尺寸来正确选择外壳内腔尺寸，如果引线长度超过了可接受的极限值，就必须改用较小的内腔。对于电源线互连，内部键合块和金属化图形都可能较宽，以允许键合多根引线，使引线电感和电阻都较小。集成电路外壳存在着许多变种，同一种外表的外壳，为了容纳不同大小的管芯而具有不同的内腔，使它们成为半导体制造厂商必须储备的单独品种。对于电源互连线，通常使用较大直径的压焊丝（对于功率半导体器件，直径为0.010in＝0.25mm 也并不是少见的）或多丝键合和很宽的内部封装金属化，以减小电阻和增大电流运载能力。

11.7 载带自动焊(TAB)

TAB 作为自动互连技术开发于70年代初期，当时它是为用于14—16条引出端的小管脚数大体积"果子冻"(jelly bean)电路的大外形引出端和生产技术开发的，现在已成为可用于大引出端数管芯和高性能电路而吸引人的技术。

·p. 599·

对于 TAB 键合，圆片必须再增加额外的工艺步骤去形成管芯上热压焊用的 I/O 凸点和避免边缘短路。通常是用金凸点或铜上镀金凸点。TAB 工艺是将一个管芯粘接到刻蚀有铜图形的载带或塑料薄膜上，自动地从圆片上取下管芯，然后将它粘到载带上。自动化设备完成从管芯到载带的互连，这一工艺称为"内引线键合"。这一工艺的优点是可在昂贵的封装和组装工序前进行集成电路的测试和老炼(经受可能会引起这些电路失效的极限温度考验，筛选去那些表明不可靠或易于失效的电路)。"外引线键合"工艺是将在内引线键合工序时已粘接在载带上的集成电路放到外壳或多芯片基板上，这一步是与混合集成电路技术和多芯片模块相同的。图11-3中列出了基本工艺步骤(Rima，1985)。

可使用各种形式的引线。在 TAB 技术开发的早期，术语"蜘蛛形键合"曾被用来描述该技术，因为所形成的引线像蜘蛛腿的式样背对电路，这些引脚可以用焊接或热压焊键合到基板上。这种引线的形式现在已通常称为"翼形"引线。TAB 非常适合于高性能多芯片电路，因为它具有许多优点：由于取消了单个的 IC 外壳和消除了封装引起的电性能下降，提高了封装密度，可在装配前进行测试和老炼。

·p. 600·

相关的微互连技术是带凸点载带，凸点形成在载带上代替了圆片上做凸点。键合工艺需要凸点，这保证了将管芯表面上的引线和管芯边缘短路的可能性减至最小。在载带上做凸点消除了 TAB 所需的附加的圆片电镀工序和潜在的高成本。在那个工艺过程中可能会产生危险，因在这时的圆片上已含有全部前工艺的附加值。带凸点的载带使用较低成本的圆片，减少了使用昂贵的工具，这类工艺已有若干工厂开发成功，但并不是一种已获得广泛应用的技术。

另一种建立在 TAB 技术基础上的高密度、窄节距技术是载带封装(Tape-Pack)，最早开发的这类封装的引线端中心线间距为20 mil(0.50 mm)[1]，但是工艺技术已可达到更窄的节距10 mil(0.25 mm)甚至更小。载带封装使用 TAB 电路制造，然后用塑料进行包封形

1) 原文为20min。——译者注

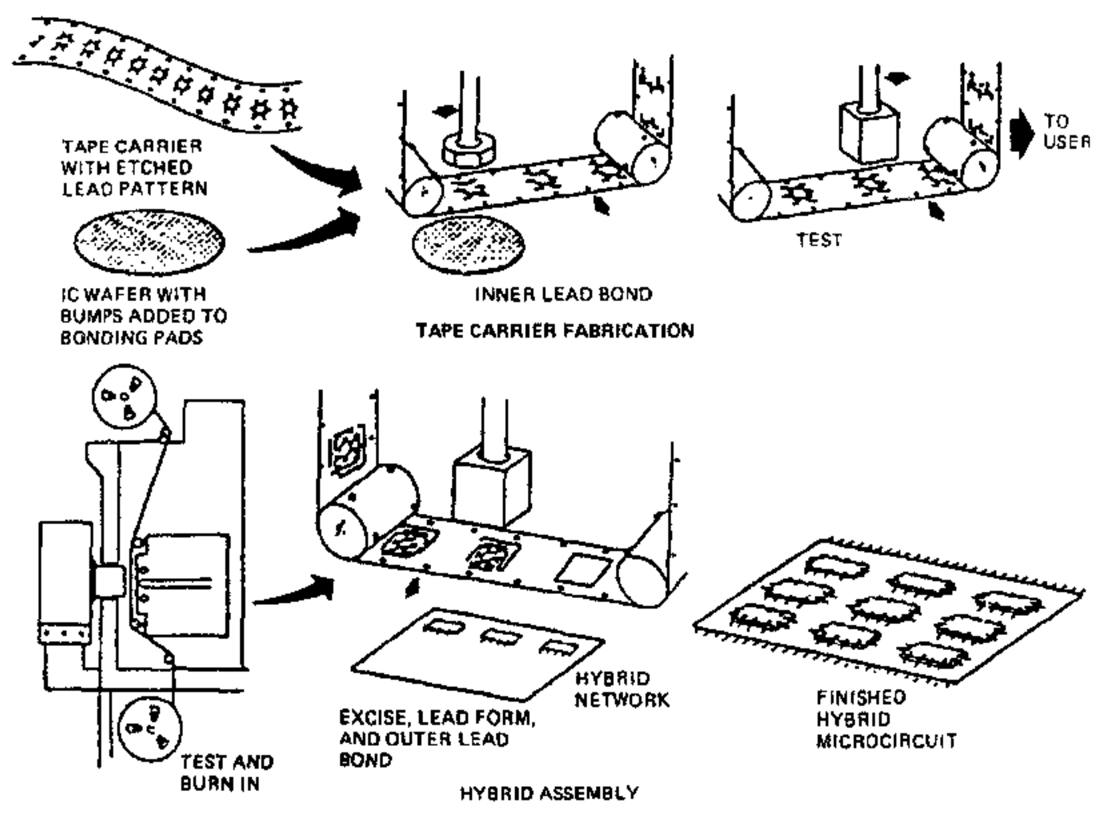


图11-3 载带自动焊(TAB)工艺步骤

成最终的封装。可能形成引线的型式有若干种。这是一种使用 TAB 的高密度、窄节距封装的很好的例子。

注意下列事实是很有意义的，可测试的 TAB 载带公制的机械标准已由参加 EIA JEDEC 委员会的日本机构 EIAJ EEB 委员会建立。有关封装类型标准的信息请参阅11.12节。

对板上芯片(COB)技术的兴趣越来越大，实际上对于高引线端数 TAB 芯片的 MCM，只要可测性允许，取消了 IC 的外壳，允许电路可以放得比带外壳的器件相互靠得更近。可靠而高性能的板上芯片技术已比 TAB 更为实用。

11.8 芯片倒装焊或焊料凸点

在60年代初期，IBM 公司开发了一种可控塌陷芯片互连(C4)工艺技术，通常是称为芯片倒装焊或焊料凸点技术。这种适合于自动化大量生产的互连工艺现已相当完美。在全世界所用的硅互连总数中，焊料凸点互连会比其它任何类型的用得更多。焊料凸点互连具有很短的互连，在利用硅芯片面积方面更为有效，因为芯片的全部面积都可用来作 I/O 端。这对于用引线键合或 TAB 工艺的芯片是不可能的，因为如果在压焊块下面有器件，则与键合工艺有关的压力可能会改变这些器件的性能。面阵列焊料凸点工艺对于互连的长度和面积也较有效，并且全部键合在一次回流焊工艺步骤中即可完成，这和引线键合工

艺不同，后者是每次键合一个，逐个完成。该工艺过去除 IBM 公司外并没有广泛使用，对此工艺控制得十分严格，但是现在 IBM 公司已特许此技术。该技术有很大的优点，特别是对高性能系统。焊料凸点互连的应用现已大有增长，这种技术现已开始用于外壳级，如焊球阵列外壳。后面还将讨论它，Tummala 和 Rymaszewski 在1989年对焊料凸点技术作了一个很好的叙述。

·p. 601·

11.9 外壳密封

封装工艺的最后一个工序是外壳密封。陶瓷外壳的密封有两种基本工艺：玻璃熔封和焊料熔封。在可靠性要求很高的应用场合，通常用金属外壳，需用焊料封接。图11-4所示为各类陶瓷外壳结构和密封技术。玻璃也可用来将封装的盖板粘接到密封环上。在军品生产中，广泛使用焊料将金属盖板熔封到金属化密封环上。金属或玻璃密封可获得气密封装，它可保护 IC 和电路的内连线免遭环境潮气所引起的腐蚀。环氧树脂可用来涂覆或盖板密封，也可用于某些混合电路制造中，它可使维修或更换器件较容易，但这种方法达不到玻璃或焊料熔封所能达到的气密性高度。在塑料封装中，芯片粘接在引线框上，模塑料完全包封住管芯。模塑料包住引线框条带上的每一个管芯，模塑以后外壳引线成形、外壳分离、装入塑料管。图11-5所示为已粘接好管芯和键合好引线的塑料封装框架条。

·p. 602·

塑料封装是非气密性的，因为塑料材料允许潮气侵入。某些制造厂使用内保护材料，例如硅胶或管芯涂覆层，保护管芯表面免受潮气的侵害。虽然塑料封装不断地得到改进，并由于塑料的改进和管芯的钝化(管芯表面用玻璃或氧化物，或室温下固化的硫化物胶体，或其它材料进行保护)而已十分可靠，但塑料封装仍不能提供像金属或陶瓷封装所能提供的长期可靠性。某些军事应用现已在使用塑料封装，这在原先是不允许的，军方现倾向于更广泛地采用塑料封装，这是因为经济上的压力和塑料材料与工艺的改进。

11.10 Rent 定律

封装技术的主要驱动力之一是 IC 的元件密度，这不仅对于随机逻辑电路，而且对于存储器和微处理器电路也如此；引脚端数在以很快的速率提高，至今没有变慢的迹象。IC 元件密度在可预见的将来仍将继续增加。所谓 IC 元件密度是以芯片上的元件数来度量的，对于随机逻辑是每个芯片上的逻辑门数，对于存储器是存储单元数，对于微处理器是晶体管数。结果，封装的 I/O 端点数已增加了很多，微处理器电路的端点数已增至200至300，并已进入300到400脚的范围，(现在预测到1995年，一个微处理器将有600万晶体管，其封装的引出脚数将上千。)对通用逻辑电路的预测表明，封装引脚数仍将继续快速增长。这是为什么呢?在逻辑门数和封装端点数之间在电子功能方面存在着一定的关系。在60年代中期，IBM 研究他们的计算机印制线路板上的逻辑封装时发现了称为 Rent 定律的关系(Landman 和 Russo，1971)，即封装引脚数 p 和系统中的逻辑门数 g 之间存在一定关系：封装的引脚数 p 等于逻辑门数 g 自乘到 b(小于1)次幂并乘以正比系数 a，其表达

ALUMINA
KOVAR
DIE
GLASS
(a)

SOLDER
KOVAR LID
KOVAR SEAL RING
GLASS
DIE
KOVAR OR ALUMINA
KOVAR
(b)

METAL (OR ALUMINA) LID
SOLDER (OR GLASS)
KOVAR
DIE
METALLIZATION
MULTILAYERED ALUMINA
BRAZED LEADS
(c)

METAL (OR ALUMINA) LID
SOLDER (OR GLASS)
BRAZED LEADS
KOVAR
DIE
MULTILAYERED ALUMINA
METALLIZATION
(d)

ALUMINA LID
GLASS SEAL
DIE
ALUMINA
METALLIZATION
(e)

图11-4　各类陶瓷集成电路外壳：(a)CERDIP，(b)金属盖陶瓷外壳，(c)侧边钎焊陶瓷外壳，(d)底边钎焊陶瓷外壳，(e)单层陶瓷片式载体

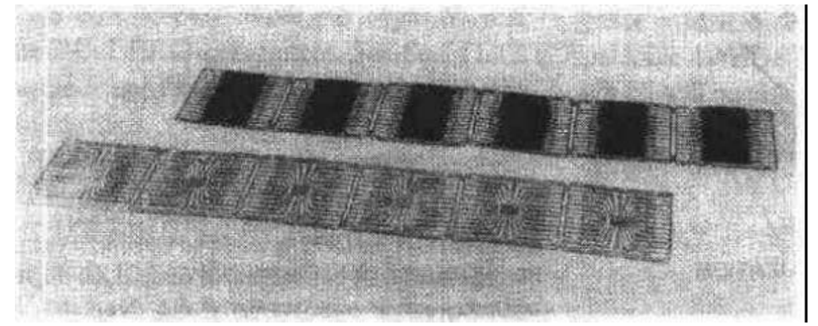


图11-5　DIP 引线框架(前者)和组装、模塑后而未切筋成形的引线框架(后者)

·p. 603·

式为：

$$p = ag^b \tag{11-1}$$

Rent 定律是根据印制线路板上随机逻辑情况由经验数据导出的，但事实证明可用于单独的半导体电路。Bell 实验室已研究表明，最适合于他们系统设计的 Rent 关系为：

$$p = 4.5g^{0.5} \tag{11-2}$$

这是支持逻辑门数所需的信号引脚数，并且对许多其它电路也适用。该指数关系已证明适用于印制线路板布线密度(Schmidt，1981，1982)。Unisys 研究了他们的某些门阵列逻辑功能(Steele，1981)，发现最适用于他们设计的关系式为：

$$p = 2.2g^{0.6} \tag{11-3}$$

在当时这是最适合于他们的元件、产品和系统设计的一个关系式。

电源引脚的关系也将随电路技术而改变。对于 Bell 实验室的样品，所要求的电源引脚数估计是信号引脚数的25%。另一种更为实用的规则为：电源端点数的估计值是有源输出数的函数。例如，在 ECL 电路中，每三个开关输出用一个接地端。为确定电源端点数所必须考虑的另一个方面是封装的总电流，以满足直流压降/噪声容限；对于高速逻辑，为同时开关较多的输出数，信号输出数越多则需要的电源端点数也越多。电源端点数的增加减小了总的引线电感，这对同时开关是一个重要参数，由此可以减小噪声、保证信号完整性和提高性能。附加的电源端点也可用作在电源端做信号的阻抗参考面的阻抗控制，并使封装或连接器接口上阻抗保持一致。最后，必须考虑系统噪声抗扰性，为减小电源分配损耗和将噪声电平保持在系统噪声极限之内，必须提供足够数量的电源和接地端点。所有这些考虑均导致逻辑器件引脚数不断增加。

11.11 热 设 计

11.11.1 热阻

热阻定义为：

$$\theta_{JA} = \frac{T_1 - T_2}{P} \tag{11-4}$$

式中，T_1是管芯的平均结温(℃)，T_2是环境空气温度(℃)，P 是耗散功率(W)，θ_{JA}是结到周围空气的热阻(℃/W)。

·p. 604·

θ_{JA}是从管芯到空气流热阻的总和，大部分热量由空气流带走。θ_{JA}包括了管芯(硅)的热阻、将管芯粘接在封装上的材料的热阻和封装的热阻(其基底材料及热通路中的金属化层)。由结到管壳或封装外表的热阻称为 θ_{JC}，它是外壳的同一标准的特性，也是集成电路制造商规定热性能时的共同参考点。热沉和从管壳外部耗散去热量是由用户设计决定的，对于IC 制造商要去规范和控制这些是困难的。θ_{JC}是一个由半导体制造商对封装给出的典型的规范化特性，而 θ_{CA}是用户通过热沉和系统冷却设计决定的。如果外壳上存在热沉，这将包括热沉和管壳间所用粘接材料的热阻，热沉的热阻和管壳周围的空气流影响，所以

$$\theta_{JA} = \theta_{JC} + \theta_{CA} \tag{11-5}$$

结到空气的热阻是外壳热通路上各元件热阻的总和，即

$$\theta_{JA} = \theta_{D} + \theta_{J1} + \theta_{P} + \theta_{J2} + \theta_{H} + \theta_{J3} \tag{11-6}$$

式中，θ_{JA}是装配后系统结到环境热阻，θ_{D}是管芯热阻，θ_{J1}是管芯到封装间的界面热阻，θ_{P}是封装材料热阻，θ_{J2}是封装到热沉表面的热阻，θ_{H}是热沉材料的热阻，θ_{J3}是热沉到周围空气的热阻(薄膜热阻)。

·p. 605·

外壳热阻图解如图11-6所示，图中同时画出了安装在印制线路板上外壳横截面分解图。DIP 封装典型的热阻范围为50—200℃/W，根据所用材料和结构而定。图11-7为0.950 in(24 mm)见方68I/O 引脚片式载体的热阻，请注意有效热阻 θ_{JA}随空气流而变(空气速度是以每分钟线性英尺 LFPM 为单位所测得的封装上方空气流量来度量的)。在静止的空气中，这些片式载体的 θ_{JA}约为25℃/W，而风速在1000 LFPM 时热阻降为约12 C/W。应记住，每一种封装有它独特的热阻。

为了确定热性能，人们必须考虑封装的环境，不仅是系统环境。一个设备假定其所规定的最高环境工作温度为40℃，然而设备的空气出口温度将由于设备内部的器件发热而升高，通常这种内部温升可达20℃，于是靠近排风口处的电子元器件将承受60℃的最高环境温度。如果一个封装的耗散功率为5W(这在现在是可能的)，其结到空气的热阻 $\theta_{JA}=$ 12 C/W。由结到环境空气流的温度差将为60℃(5W×12℃/W)。该冷却管壳的60℃环境空气加结温升高的温度将使结温达到120℃。虽然这是在大多数集成电路工作温度的极限

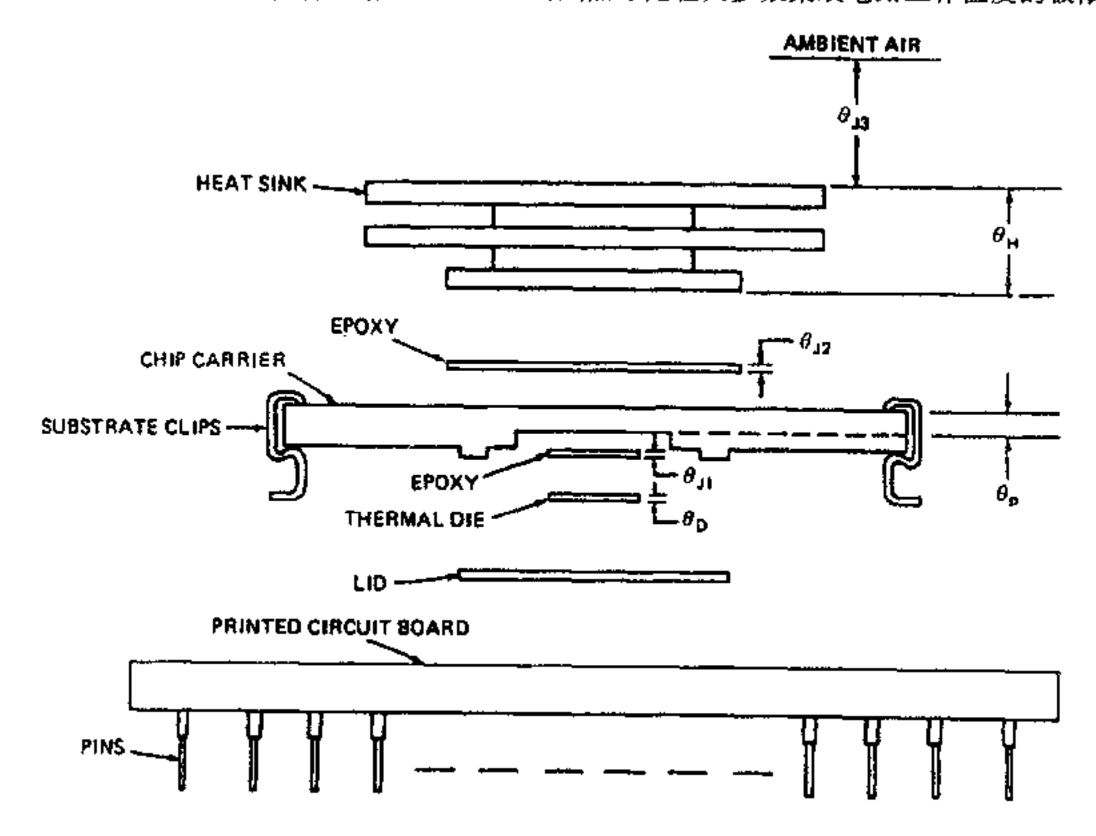


图11-6 集成电路封装横截面和封装元件热阻

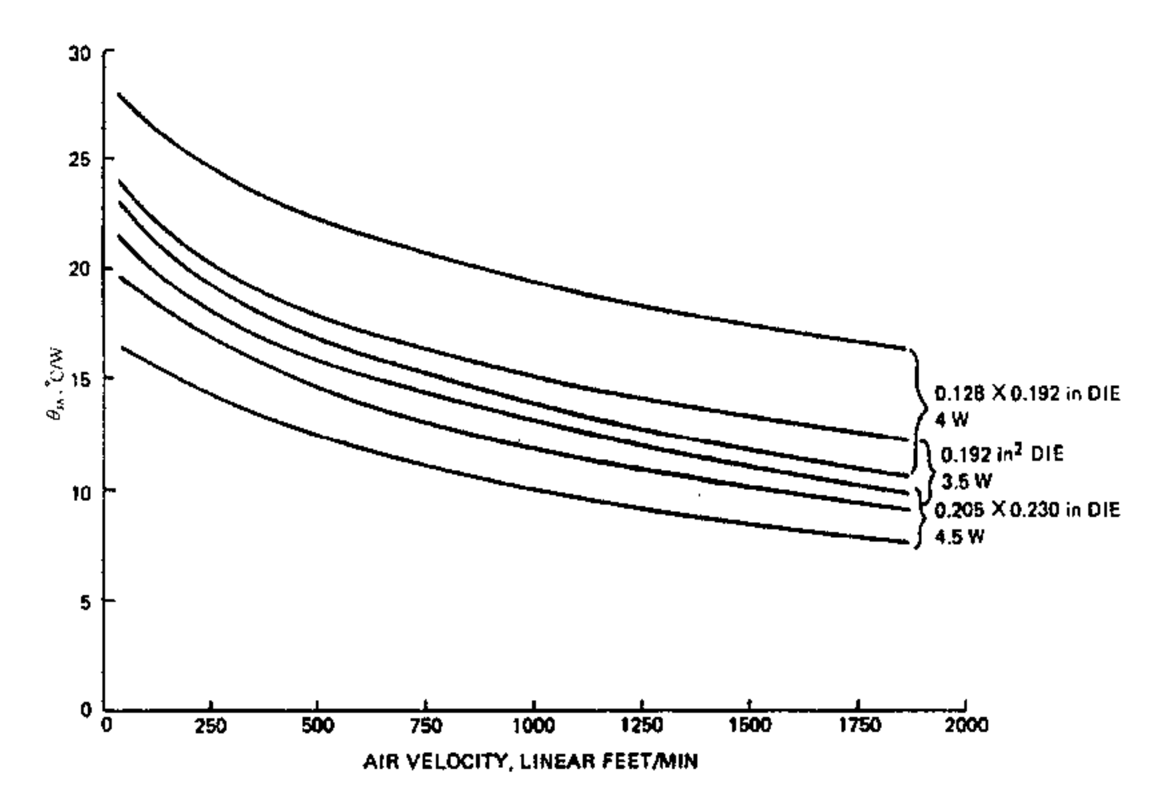


图11-7　0.950英寸见方无引线多层陶瓷片式载体典型的热阻

以内，但最好是减小结的工作温度，以改进可靠性和性能。在较高的温度和较大的温差下，电参数将下降，以及热环境的不均匀性将引起 IC 电性能的很大差异(如阈值电平、噪声抗扰性)，所以最好是将温差减到最小。封装的热性能对新型高速电路和 MCM 有重要的影响。应记住：**管芯粘接工艺对集成电路封装热阻具有重要的影响。**

·p. 606·

11.11.2　空腔-向上/向下

与热性能有关的另一个重要的封装特性是封装内空腔的取向，称为“空腔向上”和“空腔向下”。大多数 DIP 封装是用空腔向上结构。这个术语是当片式载体成为通用时产生的，由于它们为安装提供了空腔向上和空腔向下两种可能的取向。因为片式载体是无引线的，并且可以被金属化，以便允许将它们安装成管芯腔体和安装表面(或封装安装面)相邻或相背。对于风冷系统，开发了空腔向下的结构，其管芯腔体向下并贴近安装表面。这种布局使主要的散热表面，即管芯的背面和封装的背面，具有从管芯表面通过管芯、通过封装的背面到热沉的直接传导通路，如图11-6所示。*

空腔向下结构已经广泛地用于风冷系统内。图11-8所示为一个空腔向上[1]的 PGA 封装结构，PGA 封装也可双向取向，但在空腔向下结构时最大端点数减少了，如图11-9所示。空腔向上结构对使用非直接冷却的系统，如冷却条或表面衬垫，仍然是十分流行的。通



1) 原文为 Cavity-down，与图不符。——译者注

过外壳底座进入或通过安装基板或印制线路板把热带走。现代封装变得越来越复杂，在一单芯片封装中必须将耗散30—50W 的管芯封装起来。在电子封装中热性能已经总是很重要的了，为了系统能成功地应用，在系统和封装设计的最初阶段就必须考虑热性能，热设计和热性能不再可能是一种事后考虑解决的事。

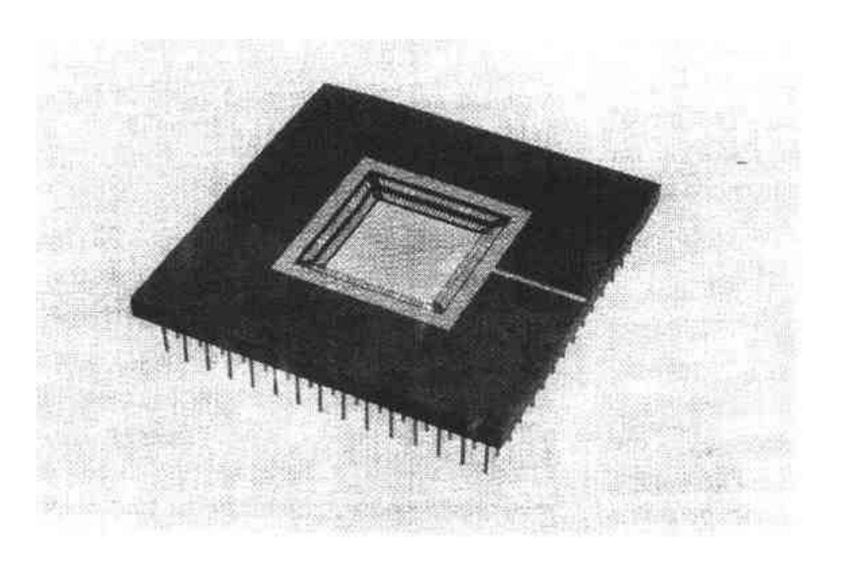


图11-8　一个空腔向上具有两层压焊块条的针栅阵列封装

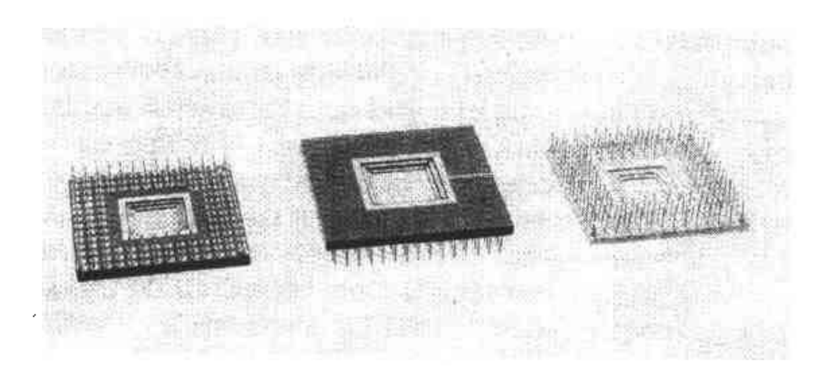


图11-9　具有两层压焊块条的针栅阵列封装：空腔向上(中间)和空腔向下(右边和左边)

11.12　封装类型

正如引言中所定义的，封装是“内含一个或多个半导体芯片的外壳，它可提供电连接，及机械和环境保护[1)]”，封装可以有许多形式，每种形式还有许多变种。现在有许多封装标准，全世界工业界正积极努力减少封装变种的数量。美国集成电路封装的主要标准组织是JEDEC。*

1) 原文为 connection，与11.1中原定义不符。——译者注

11.13 JEDEC

·p. 607·

从前联合电子器件工程委员会，即 JEDEC 是电子工业协会(EIA)的一个职能部分，负责制定美国微电子标准。现在 JEDEC 有15个委员会，包括微电子和半导体技术标准化的所有领域：分为数字、双极、MOS、线性、存储器[1]、门阵列、机械结构和其它方面的专业。EIA/JEDEC JC-11是固态器件机械结构标准化委员会，负责微电子封装外形，并制定了全部封装类型的标准。该委员会是美国封装方面标准组织承认的，并代表美国参加国际电工委员会(IEC)(Freedman，1993)。*

JC-11委员会已对陶瓷和塑料两类封装进行标准化，并在1988年率先进行国际协调，以减少封装品种的激增现象，与其对手日本电子工业协会 EIAJ EE-13委员会建立了业务联系。

JEDEC JC-11委员会已经试图减少封装品种，并已提供了很完善的条文，在第95号出版物 JEDEC"半导体器件已注册的标准外形"和 JEDEC 标准 No. 95-1封装设计指南"固态及有关产品的外形设计要求"中规定了封装结构的外形。JEDEC JC-10术语和定义委员会已经制定了一系列半导体及光电子器件的符号、术语和定义的文件，其中标准 No. 99"微电子术语、定义和符号汇编"和 JEDEC 标准 No. 30"用符号表示说明的半导体器件封装体系"。

JEDEC 正趋向全部采用在 JESD-30所描述的用字母、数字、符号表述封装代号，JESD-30包含了设计和结构的符号表示细则。由于它们没有全部被采用，没有包含在 JEDEC 第95号标准和 JEDEC 第30号标准这两个文件中。其它定义封装类型有用的参考资料是美国军标 MIL-STD-1835，"微电路外壳外形"和《电子封装、微电子和互连词典》(Harper 和 Miller，1993)。下面的叙述是根据这些参考资料而写的，然而在许多场合，与这些文件中的标准定义有一些小的差别，在这种情况，有一些描述已不同于上述文件，或选取了和参考了大部分合适的描述。下面对于封装类型的描述是对现存的或已显现出的最通用的封装类型，并没有包括全部可能存在的类型和变种。它们可在 JEDEC 标准中找到。

·p. 608·

11.13.1 双列直插封装

一个双列直插封装是一种具有两排并行的引出端或引线的长方形封装，这些外引线位于封装两边，并排成两列直排。这些引线的取向是垂直于封装的安装面，以便插入基板内的互连孔。图11-10所示为安装在印制线路板上的各种 DIP。

11.13.2 扁平封装

一个扁平封装定义为"一种低外形高度的封装，它的引线设计为平行于安装面和主要被设计成在粘接时平行于安装面，引线的取向是由封装的两边或四边引出"。扁平封装的

---

1) 原文为 linear memory，估计有误。——译者注

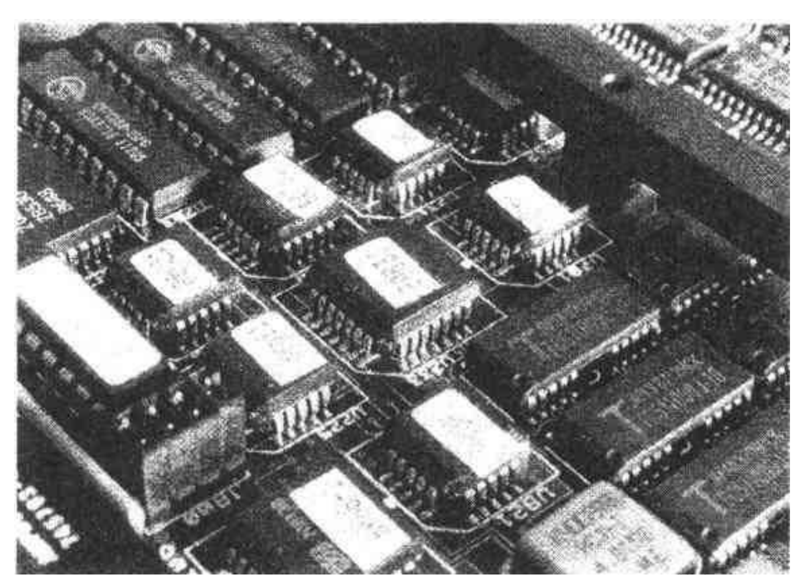


图11-10 通孔安装的集成电路封装

壳体类似于片式载体的壳体。引线通常可以形成为背对壳体向外。如果所形成的引线往回弯向封装壳体，正确的术语就应是“片式载体”(JEDEC 标准95，JEDEC 标准30)。扁平封装是最早的封装类型之一，长期用作军品外壳(引线在两边的)。随着高密度表面安装的

·p. 609·

出现，其间距用英制和公制同时表示的、封装全部四边都有引线的四边引线扁平封装(QFP)，在高引线数、很窄节距表面安装的场合用得很普遍，因为它在使用时容易组装和可检验性好。

11.13.3 片式载体(芯片载体)

在某些时候，这个术语是用来描述任何一种包含一个芯片的封装，但用来定义一种特定的封装类型更为合适。它发明于60年代后期，使用陶瓷结构，主要用于军品；到70年代后期在民品中获得应用，它已成为通用型封装；今天它已发展为塑料结构，并获得最广泛的应用(Amey，1981a；Penry，1983)。片式载体是一种低外形高度的封装，它的芯片腔体或安装面积占了封装面积的主要部分，它的引出端通常在封装的所有四边，在无引线的形式中是由位于封装表面的金属焊盘组成；在有引线的形式中，其引出线位于封装四周的侧边和下面，或从封装向外伸出。片式载体的壳体通常是四方体，具有很小的高宽比，类似于扁平封装的壳体。当引线从封装向外伸展时最好是用术语“扁平封装”(JEDEC 标准95，JEDEC 标准30)。图11-11所示为典型的陶瓷片式载体，这类封装的主要优点是可以

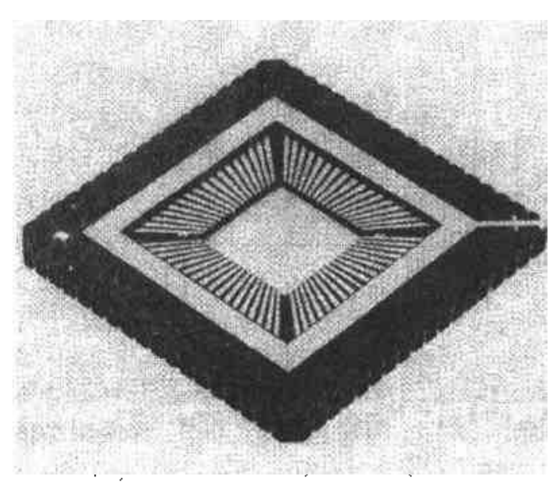


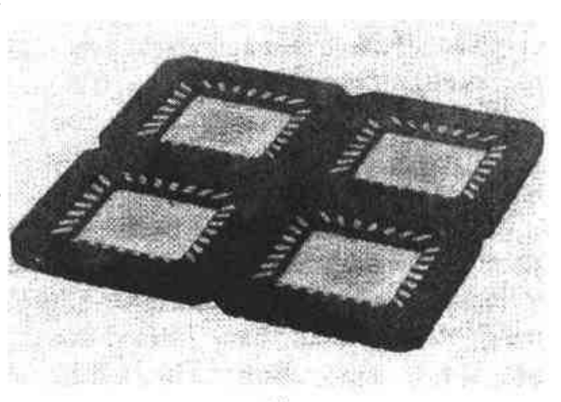
图11-11 典型的无引线陶瓷片式载体封装

用如图11-12所示那种阵列的形式来进行制造和组装，由于减少了处理和可成批制造，只是在外壳制造的最后工序才将它们分离，因此较经济。这种封装在高可靠存储器封装中用得特别普遍。请注意：通常这类封装阵列要比图11-12所示的大很多。这类封装称为无引线片式载体，或 LCC。图11-13所示为塑料有引线片式载体，或 PLCC，它有适合于表面安装的 J 形引线，由于它是用塑料做的，封装成本低，已成为片式载体中使用最普遍的一个品种。

·p. 610·

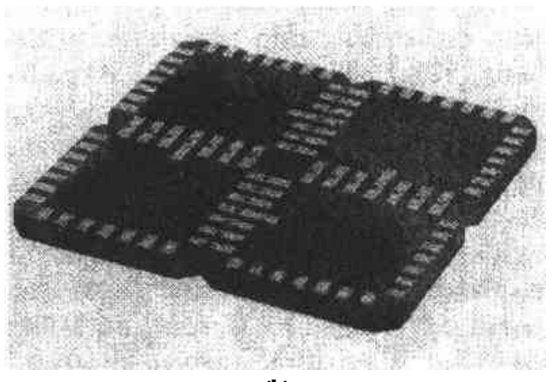
11.13.4 小外形封装

小外形或 SO 封装，也称为 SOP 或 SOIC，它是由小外形晶体管(SOT)封装发展而来。它是用于有源器件的最早的表面安装封装之一。SOT 封装是一种从壳体伸出三个引出端的塑料封装，它是为克服在处理片式晶体管时所遇到的一些困难面发展起来的。在70年代初期，Philips 开发了一种具有翼形引线类似于扁平封装的 SO 封装，用于大引线端数器件。它通常用于8—12根引出线的器件，随着芯片尺寸的增大壳体尺寸也增大，端点引线数增至40(Amey，1984)。这类封装由 Harper 和 Miller(1993)所下的定义为："一种小的矩形的、适合于表面安装的集成电路电子封装，它的引线在两边，引线节距为1.27 mm，1.0 mm 或0.85 mm"。这种封装的引线规定为翼形引线，图11-14所示为典型的 SO 封装。另一种封装类型是 SOJ，它的引线形状像"J"形，弯向封装壳体下面，像 PLCC 中那样。对于 J 形引线，引线焊点范围由封装壳体确定。在存储器应用中，这已成为一种通用的封装。SO 和 SOJ 这两类封装已有各自不同的标准。



(a)





(b)

图11-12　无引线陶瓷片式载体阵列：(a)芯片腔一面，(b)输入/输出端一面

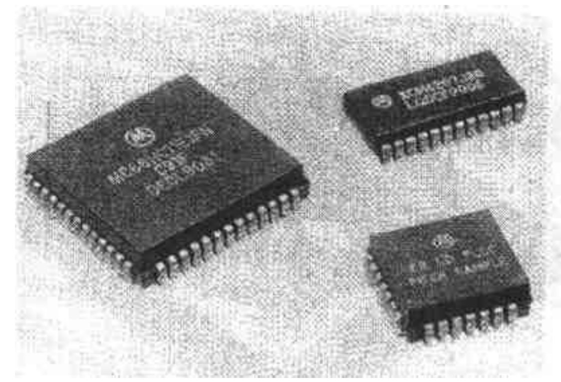


图11-13　塑料有引线片式载体

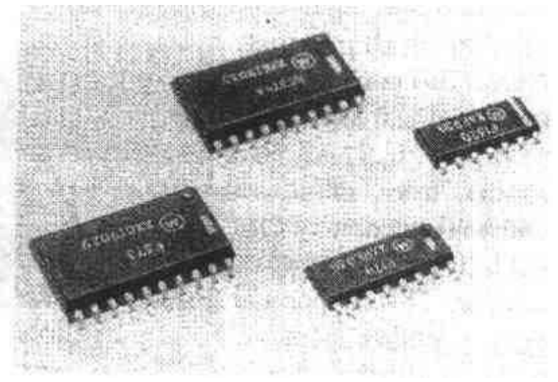


图11-14　小外形(SO)封装

11.13.5 栅阵列封装

·p.611·

栅阵列封装定义为"一种低外形的封装，它的引出端至少以三行和三列的矩阵形式位于一个面上；在某些行-列的交点上可能会缺一些引出端"(JEDEC 标准95，JEDEC 标准30)。最广泛使用的栅阵列封装是针栅阵列(PGA)，它是在60年代最早由 IBM 公司大量使用的。在70年代中后期，随着半导体器件引出端数的增加已超出了 DIP 的实际可能，片式载体和 PGA 封装在商品市场上获得更广泛的使用。在1979年，IBM 公司令人震惊地宣布已具有制造1800条插针 PGA 型封装、133块芯片的多芯片模块的能力。热导模块最早用于3081系统(IBM，1982)。PGA 的正式定义为："(1)一种含有许多插入式电引出端供电子封装或互连应用的预定结构，(2)封装的插针引线几乎全在它的表面上，(3)一个正方形封装，其引线分布在底面上，栅焊盘图形的节距为0.1 in(2.54 mm)或更窄，(JEDEC 标准95，JEDEC 标准30)。典型的 PGA 示于图11-15。

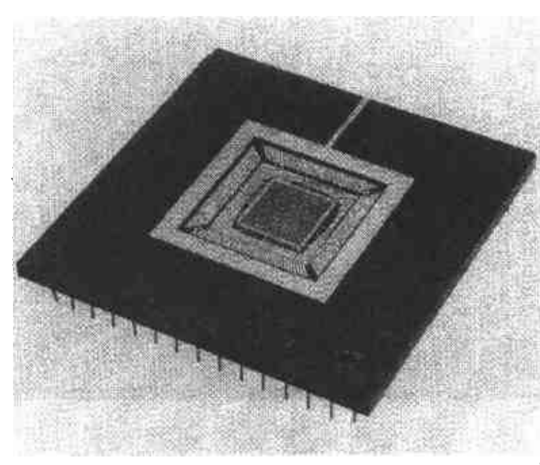


图11-15 已装有键合好引线的芯片，并具有单引线键合层空腔向上结构的针栅阵列

已用过各种不同的名称去描述不带插针的栅阵列封装：焊盘栅阵列、面栅阵列、无引线栅阵列等，这些都曾被用来描述同样的封装。选用面或无引线栅阵列(LGA)是用来避免由于使用术语"焊盘(pad)"来描述无插针时会不可避免地使两种不同类型的封装都使用同一个缩写词 PGA 所造成的混淆。LGA 封装已开发为商业应用。已证明改进后的 LGA 的电性能优于等效的 PGA 封装(Goodman 等，1993)。

近来开发了一种焊球阵列(BGA)封装，它是一种用球形焊点来作封装引出端的 LGA 封装。使用了柔性的焊料引出线，就可以用有机基板材料作封装底座和用塑料包封来保护管芯，这类似于前面所描述的焊料凸点和倒装焊微互连技术，并与这些技术相兼容。BGA 的典型结构如图11-16所示，它是由Motorola生产的，商标名称为OMPAC。BGA是一种

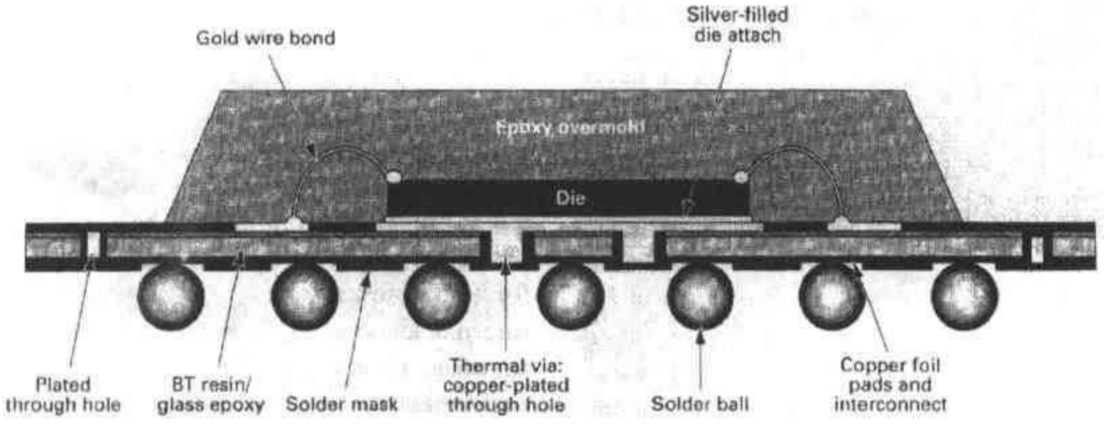
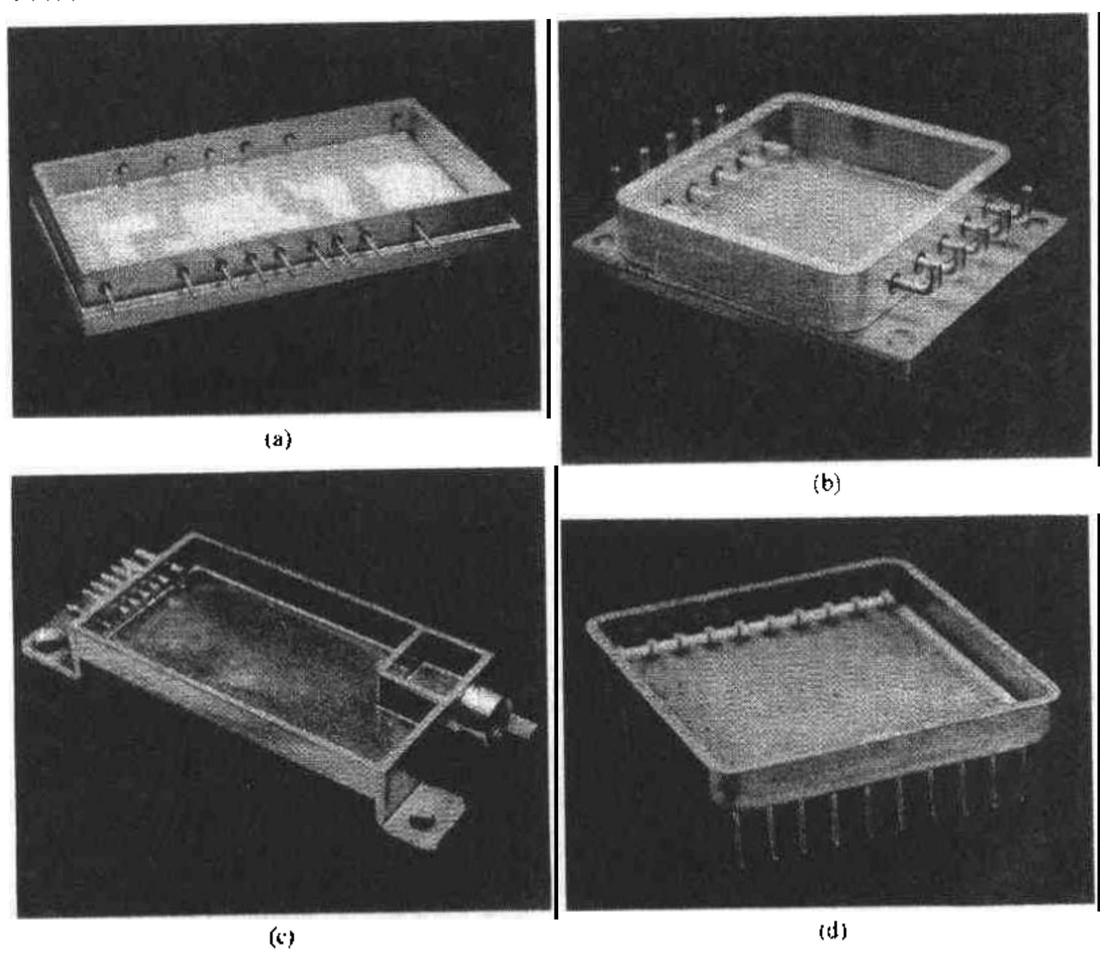


图11-16 焊球阵列(BGA)封装的横截面

新型封装，它有广泛的应用前景，具有一系列的优点：在微互连和封装级中具有很高的互连密度、这类封装与有机基板形成 TCE 相匹配的表面安装，由于使用了有机材料，故其价格较低(Houghton，1995)。

11.13.6 混合电路封装

多芯片混合电路在电子封装工艺中已使用了30多年，通常用于军品；然而，由于考虑到成本因素，现在也已十分有效地用于民品(Amey，1990，1992)。金属封装和类似于前面所述形式的陶瓷封装，或两者交叉使用，都已广泛地用于混合电路的封装。主要是订制的专用封装，有上千种不同的形式。除了多芯片、高性能、高可靠应用外，还供微波、光电子和大功率应用。通常金属气密封装是由可伐制成，引线穿过金属壳体是用玻璃—金属密封。钢壳体和铜、钢或钼做的基座用来做大功率电路的外壳。各种内部引线结构有效地满足引线键合或引线粘接的需要。可使用平板形、台阶形、"盘形"或"杯形"盖板，为了获得气密封装，盖板可用软焊料密封(用预成形焊料)、钎焊或熔焊。如气密性要求不是很高，也可使用环氧树脂密封。在外壳和元件上要进行键合，密封处通常都应镀金。图11-17所示为四种



(a) (b) (c) (d)

图11-17 金属管壳混合电路封装：

(a)带有陶瓷安装基板、(b)具有大直径大电流引线的大功耗外壳、

(c)RF 输入级被隔离的，(d)带有钉头式柱状引线的插入式或通孔式封装

表 11-3 集成电路封装类型和它们的变种

封装类型	缩略符号	引线端数	系统		节距		四周	引线端排列			阵列	引线形式
			英制	公制	英制(in)	公制(mm)		2-边	4-边	交叉的		
Dual in-line package	DIP	4 to 64	●		0.1		●	●				引线
Flat pack	FP	14 to 64	●		0.05		●	●				翼形
Chip carrier	CC											
Leadless chip carrier	LCC	16 to 156	●		0.04,0.05		●		●			焊盘
Plastic leaded chip carrier	PLCC	18 to 124	●		0.05		●		●			J
Grid array												
Pin grid array	PGA	81 to 400	●		0.1						●	引线
Leadless(land) grid array	LGA	81 to 400	●		0.1						●	焊盘
Small outline or small outline IC	SO or SOIC	8 to 40	●		0.05		●	●				翼形
Small outling J lead	SOJ	24 to 44	●		0.05		●	●				J
Tape automated bonding	TAB	14 to 400	●				●		●			引线(扁平)
In-line packages												
Single in-line package	SIP	11 to 40	●		0.1							引线
Zig-zag in-line package	ZIP	16 to 40	●		0.1/0.05					●		引线
Quad in-line package	QUIP	14 to 64	●		0.1/0.05		●	●		●		引线
Single in-line memory module	SIMM(SIP)	30	●		0.1							焊盘
Quad flat pack	QFP	24 to 340	●	●	0.15 to 0.05	.5,.65,.8,1	●		●			翼形
Molded ring carrier	TAPEPAK[a]	64 to 1080		●		.3,.4,.5,.65	●		●			焊盘/引线
Fine pitch quad flat pack	FQFP	64 to 376		●		0.4,0.5	●		●			翼形
Thin quad flat pack	TQFP	32 to 256		●		.4,.5,.65,.8,1	●		●			翼形
Shrink small outline package	SSOP	8 to 64	●	●	0.025	0.4,0.5,0.65	●	●				翼形
Thin small outline package	TSOP	24 to 56		●		0.5	●	●				翼形
Thin shrink small outline package	TSSOP	8 to 64		●		0.4,0.5,0.65	●	●				翼形
Grid array												
Ball grid array	BGA										●	焊球
Plastic ball grid array	PBGA	16 to 2401		●		1,1.27,1.5					●	焊球
TAB ball grid array	ATAB	256 to 961		●		1.27					●	焊球
Surface mount pin grid array	SMTPGA	288 to 1680	●		0.05						●	引线
Metric TAB	TAB	96 to 872		●		0.15 to 0.5	●		●	●(test)		焊球
Multichip module	MCM											
MCM pin gird array	MCM PGA	81 to 1936	●		0.1						●	引线
MCM ceramic quad flat pack	MCM CQFP	260 to 1080		●		.4,.5,.65,.8	●		●			引线(扁平)
Shrink DIP		14 to 52	●		0.07		●	●				引线
Memory cards		60,68,88		●		1/1.27				●		插座
Large I/O SIMMs	SIMM(SIP)	72,76,80	●		0.05,0.1							焊盘/引线

Note: Many variations in the above types. Common/typical shown. Preliminary information included。

[a] Trademark。

·p. 613·

典型的金属混合电路封装。扁平形或圆盘形虽然在图中没有画出，但对用作基板或单芯片封装仍是很有用的。使用多层共烧陶瓷结构在机械性能方面基本上可和全部金属封装类型达到互换。图11-18所示为一个典型的陶瓷混合电路封装。关于在使用时如何折衷考虑来选择合适的封装结构已超出了本章的范围。如需要进一步的信息，可参看 Bieber(1989)和 Leedecke(1989)的有关著作。表11-3总结了在1994年时使用的各类封装和它们的变种。请注意，提供这样的总结只供参考，因为它是不断在变化的，但该表对设计人员展示的许多可供选择的方案和可选择的封装，可作为选择封装时的起始点。

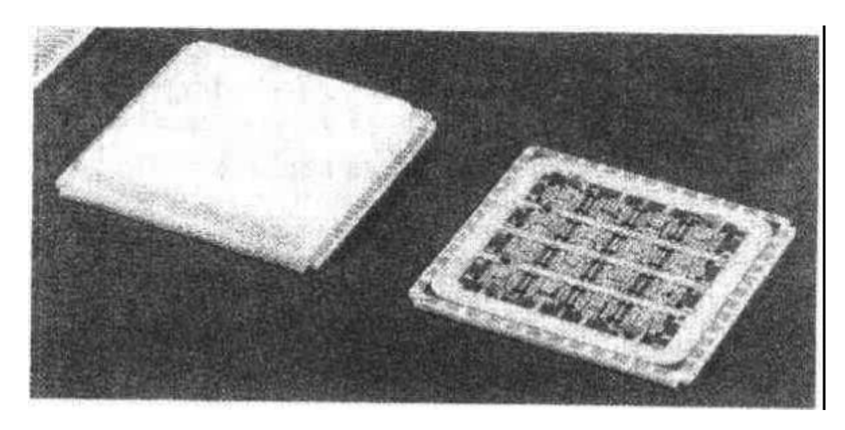


图11-18　全陶瓷混合电路封装

11.14　封装连接

将栅阵列封装焊接到印制线路板或基板上去违背了"如果你不能看到它，那就不要焊它"这一老规则。LGA 和 BGA 的焊接是盲焊的，PGA 的焊接只能在组装的焊接面看到。而引出端在封装四周的连接，其焊接质量是完全可以目检，也没有化学污染。

在通孔焊接中，焊接质量不良的焊接点仍可能发生，甚至在印制板的焊接面看似具有良好焊缝的焊点。印制板和插脚之间焊缝可能填满，焊料可能填满孔的下部，而孔和插脚连接的上部可能没有焊住，由于热传导问题，或封装插脚的电镀或清洗不良，或印制板孔的电镀或清洗不良都会造成焊料浸润不良，这些都可能造成插脚和孔之间的焊接失效。在经历设备工作时的热循环或由于处理加工、机械震动/冲击而产生的热或机械应力之前，这些缺陷本身通常是不会显露出来的。焊点的全部外观检查可保证最高的质量。

是的，可靠的栅阵列焊接可在工厂中用专门的设备和技术制造获得，然而，没有外观检查要期望有上百个引出端的封装具有可靠的现场焊接质量，这是很难达到的。这需要特殊的设计，选用一个栅阵列封装在系统中作为现场可替换单元(FRU)。

·p. 615·

11.15　电　设　计

封装的许多考虑和折衷是表面安装技术的一项任务，表面安装技术比通孔技术具有许多互连优点。在由若干单芯片封装组成一个系统或使用一个大的多芯片基板的用于高

速逻辑电路的应用场合，多引出端数、窄节距封装的较小外形尺寸具有很大的优点。在上述应用场合，基板材料对电性能会有很大的影响，封装的延迟作用可能超过电路元件的典型延迟。材料的相对介电常量 ϵ_r 的大小可决定线电容，介电常量较大，线电容也会较大。

某些常用的电子封装材料的典型介电常量汇总于表11-4。

表11-4　某些常用封装材料的典型介电常量

材料	介电常量
聚四氟乙烯	2.1
聚酰亚胺薄膜	3.5—3.7
聚对苯二甲酸丁二醇酯	3.7
聚苯掌硫	4.0
FR-4 玻璃环氧树脂	4.8
低温共烧陶瓷	4.8
低 K 厚膜介电材料	5.2
氧化铍陶瓷	6.5—6.9
氧化铝陶瓷	8.8—10.1

（请注意，介电常量能随温度、频率、填料、固化性能等一系列的条件而变化，表中所列为典型值）。介电常量越高，信号传输延迟就越大。这最好是参看传输延迟随介电常量 ϵ_r 的变化曲线。电介质条带和微带互连这两者的传输延迟方程已作为这方面的例子由 Motorola 在他们的 MECL 系统设计手册(Blood，1988)中所开发，这可作为高性能设计极好的参考资料。

对于微带，它描述一个由电介质将它和地或阻抗参考面分隔开的信号线，在信号线和电介质的周围是空气，如图11-19所示，它们以 ns/ft 为单位的传输延迟方程为：

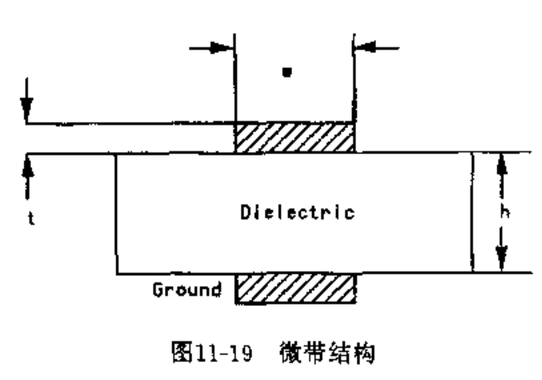


图11-19　微带结构

$$t_{pd}(\text{ns/ft}) = 1.017\sqrt{0.475\epsilon_r + 0.67}$$

$$(1\ \text{ns/ft} = 3.28\ \text{ns/m}) \qquad (11\text{-}7)$$

对于条带，它描述一个被嵌入在位于两个阻抗参考面之间的电介质中的信号线，如图11-20所示，其传输延迟方程为：

$$t_{pd}(\text{ns/ft}) = 1.017\sqrt{\epsilon_r} \qquad (11\text{-}8)$$

·p. 616·

应注意，在两种结构中，传输延迟只与介电常量有关，而与线宽或间距无关。微带结构是封装上外信号线的典型(或较高级的互连线)，而条带结构则是内部隐埋信号线的典型。微带结构具有固有的较快的传输，因为信号线的一边是空气介质，在靠近信号线的附近没有第二个阻抗参考平面。如果在微带结构的信号线上使用了如阻焊膜或敷形涂覆等涂覆

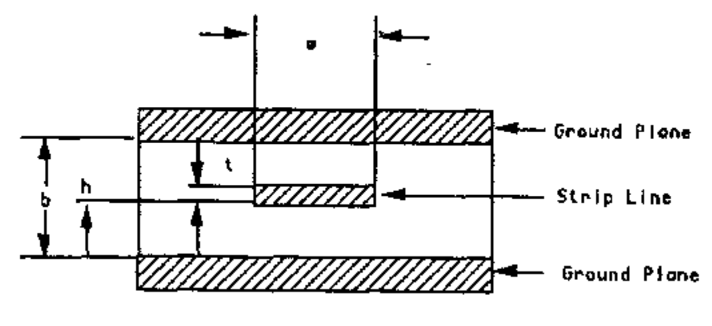


图11-20　条带结构

物，必须改用“带涂覆的条带”方程，这种情况的传输延迟将在微带和条带值之间。通常的阻焊膜将使传输延迟提高约7%—10%(Belopolsky 等，1991)。

·p. 617·

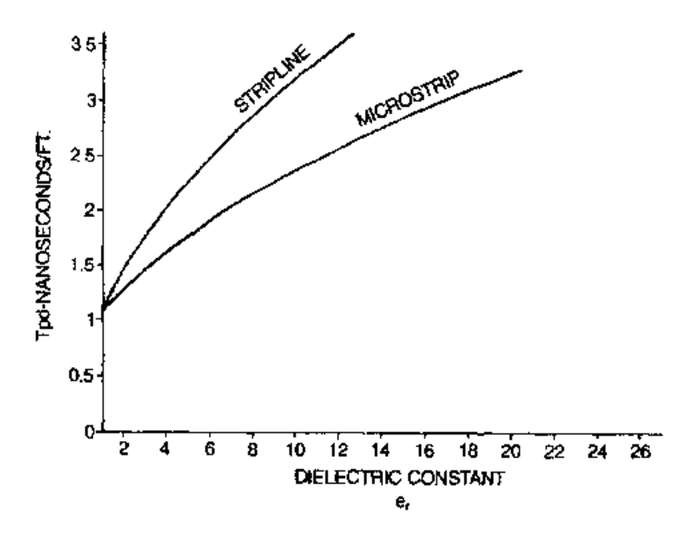


图11-21 互连传输延迟随结构和基板介电常量的变化情况(1ns/ft≈3.3ns/m)

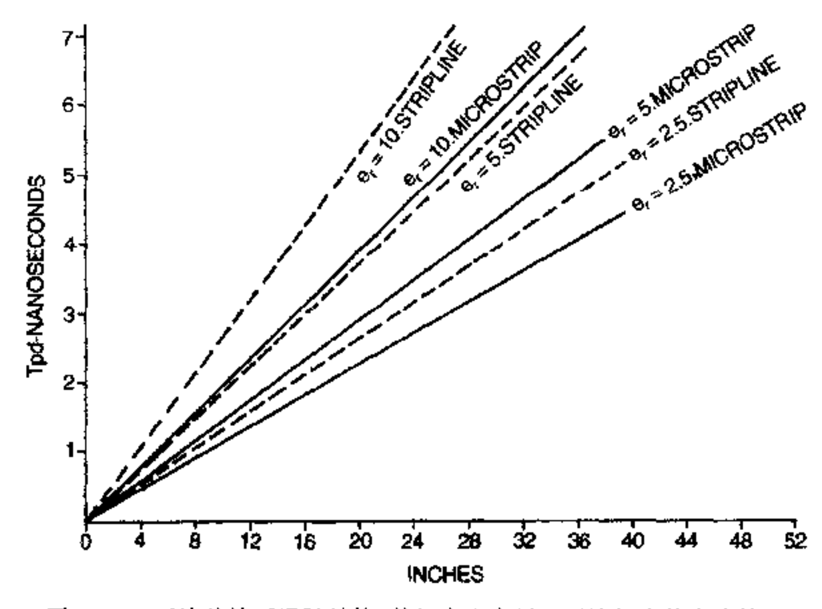


图11-22 互连传输延迟随结构、基板介电常量和互连长度的变化情况

图11-21(Amey，1981b)所示为微带和条带的以 ns/ft(1ns/ft≈3.3 ns/m)为单位的传输延迟随介电常量而变化的情况。图11-22所示为三种介电常量值下的传输延迟(以 ns 为单位)随信号线长度(以 ft 为单位)的变化情况。在多块电路封装组装时，经常会出现在一个封装内和到下一级封装的互连两者的网络长度(各封装之间总的互连长度)达到6—12 in(15—30 cm)，类似的或更长的长度就要用大型 MCM 封装。减小在高介电常量材料中的互连线长度是很重要的，因为这时，电路元件方面的延迟中很大一部分将由这些互连线的延迟所组成。传输延迟时间小于200ps 的高速电路现已出现。举例来说，如果全部互连线是在介电常量约为10的氧化铝陶瓷内的条带，对延迟有贡献的长度为6 in，则由图11-22

可知它所产生的延迟为1.60ns。如果同样的互连线，但是在介电常量约为4.5的环氧玻璃印制线路板或低温共烧陶瓷内，则延迟将为1.1ns。这减少的0.5ns 等效于在网络中可增加1或2个逻辑电路。这在高速应用的关键通路中是特别重要的。随着通常网络长度的增加和/或电路延迟的减少，通过使用低介电常量互连材料以减少延迟变得更为重要。

如果为了陶瓷封装在半导体工艺(粘片、键合和热性能)方面所具有的优良性能而使用它们，那么为了减小延迟而减小封装的尺寸是很重要的(除非是在全陶瓷系统内)。环氧树脂玻璃印制线路板广泛地用在第二级互连。使用较小的陶瓷封装仍有益，即使由于可测性要求而印制板上焊盘的尺寸仍保留在0.1 in 或0.050 in 的网格不变，因为这可使电信号在较快介质中传播在总的网络长度中占更大的百分比。如果允许可使用较小的互连网络节距，那将由于使用较小的封装尺寸而有更多的优点，因为较高的封装密度可进一步降低网络的长度。

11.16 选择封装的其它一些考虑

区别每一种封装的一些主要特征前面已作了评述。有一些其它的因素，它们可能明显或可能并不明显，这取决于特殊的应用或制造商的选择。本节只作简单的叙述不加讨论，这些因素在选择封装类型时应予以考虑。

·p.618·

1.往往新的封装类型起初是由陶瓷制成的，然后它们若有大的应用前景，就通过使用塑料和选择电镀技术来降低成本，例如，可通过使用非贵金属封装电镀和整个条带自动键合技术等来进一步降低封装的成本。

2.最小的封装尺寸可使关键的电参数降到最小，在较小的封装中，引线电阻、电容和电感全都减小了，而且改进了引线长度的一致性。具有外部电镀电路通路的某些结构，其引线电阻也会更小。

3.无引线封装可以利用“软”互连来对焊接前的组件进行测试，这类测试现已使用弹性互连元件(Beaman 等，1993)。

4.对于具有很多引出端的封装，在测试时，有时甚至在生产应用时，需要低的插入力(LIF)或零插入力(ZIF)连接器，上百个管脚插针插入到印制线路板孔中需要严格的容差控制和插入工具。

5.对于0.1 in 网络端节距，可以用简单的印制板测试系统，更密的网络节距需要先进的、成本更高的测试技术。

6.有些封装的热取向既可是“空腔向上”，也可以是“空腔向下”，引出端密度不会有任何降低。如果使用腔向下安装，对于栅阵列封装其引出端数必然会减少(或者增大封装尺寸)。对于腔向下的 PGA 封装需要在插针的插座内焊接，这是很实际的，但这可能需要合适的焊接机。

7.对于腔向下安装，无引线封装提供了高引出端密度和最大可能的腔尺寸或电路面积。

11.17 成　本

封装成本的确切比较是难以得到的，除非是在十分特殊的情况下直接进行等价的功能比较。成本比较还必须在适当的级别上进行。当对一种封装工艺进行综合考虑时，如果只是根据引出线节距或基本的外壳成本就去选定某种封装，这可能会误入歧途。由封装工艺直接所造成的在组装操作时的成品率损耗和现场维修成本也必须加以考虑。虽然某种封装类型可能其元件级的成本较低，但其和下一级（或更高一级）互连时所增加的成本可能超过在元件级所节省的全部成本。新工艺比原工艺所增加的成本也必须加以考虑，在生产量/成本现实可比的项目中，要对新老技术的成本进行比较。

工艺是否可进一步扩展或元件的类型能否满足进一步的需要等，也必须加以考虑。通常单次使用新元件或新工艺成本将较高。对于多次使用时对每一种应用的各种封装形式的成本应进行评估，成本取决于设计、材料和生产量大小等因素。

·p. 619·

必须在基本封装成本中考虑由于在半导体组装过程中因封装成品率损耗而造成的成本。有引线的封装可能由于芯片粘接、键合、封盖、测试和处理操作而导致附加的成品率下降。虽然这类损耗所占的百分比小，但是在将来的制造过程当中所产生的结果会导致重大的经济损失。外壳上引线端数越多，受损坏的概率也越大，否则由于一条引线的不可修复的损坏，使好的半导体或 MCM 变得不能使用。无引线封装比有引线封装的优点是，它消除了封装失效的这种根源。如果必须要引线，应考虑无引线封装、可维修基板接线夹和“引线在后”法，也就是说将引线放置在组装级的尽可能后面以减小引线遭到损坏（Amey，1981c）。

11.18 多芯片模块

11.18.1 引　言

多芯片封装（MCP）不是一件新事物，它在军品和民品中已广泛应用了25年以上。陶瓷多芯片模块（MCM）自70年代后期以来已经用作一种主要的系统封装技术。在1979年IBM 开发并发表了前面提到的热导模块（TCM），这种大型陶瓷模块已经广泛地应用于他们的高性能产品。该技术已扩展到风冷系统，并已开发出了用改进的陶瓷材料做的新一代产品（Tummala 和 Rymaszewsky，1989）。这种技术现正用于工业，并用于大量生产中。该技术取消了一整个封装级，并且是 MCP 中综合考虑复杂的机械、电、热和可维修性的范例。基本的设计仍然代表现代的陶瓷和封装技术。

有许多 MCP 应用的其它例子，在应用时用焊料凸点、TAB 和引线键合微互连的多层厚膜和共烧氧化铝互连制成的 MCP 已在民品和军品中用了许多年。作为高密度封装表面安装 IC（陶瓷无引线片式载体和扁平封装）互连基板的厚膜技术已被率先广泛应用于军事系统封装。这些应用已在技术文献中发表和介绍得很多，Amey（1990，1992）介绍了许多这方面技术和应用。MCM 技术的使用背景和最新资料发表在 NEPCON 会议录

(1989—1996),IEPS(1988—1996),IEEE(1996),ISHM(1988—1996)和国际多芯片模块学术会议(1992—1996)上。这些是当代迅速发展的 MCM 技术的主要信息来源。

11.18.2 多芯片封装设计

在设计 MCM 系统封装时,有许多选择和设计折衷。以下所述并不是每一种设计的综合考虑,而是企图对主要封装工艺和材料作一总结。如对这些方面要作更深入的研究,请查阅有关参考资料。应该注意,所有方面都是密切相关的。

·p. 620·

1. 基板选择:有许多选择方案,如各种陶瓷(高温共烧氧化铝、低温共烧陶瓷或生瓷带 Green Tape、氧化铍、氮化铝等)、各种有机材料(薄 FR-4印制线路板、薄膜聚酰亚胺等)、硅、陶瓷上硅,以及上述各种材料的组合物。在当前用作高密度高性能电路中,最通常是选用在陶瓷基板或“平台”上敷聚酰亚胺再敷铜箔膜。除了许多设计和性能折衷外,基板的选择在很大程度上取决于尺寸和工艺。所选择的形成图形的方法可能决定了 MCM 最大尺寸极限,由于设备类型或作图/分辨能力对能否满足所需精度起重要作用。

2. 芯片粘接:集成电路的芯片面积已大于0.5英寸见方,耗散功率已超过30W(Buschbom,1988)。这样大的芯片尺寸和功耗,对芯片粘接提出了机械(冲击、振动)、热(均匀、很薄、无空洞的芯片粘接)和工艺(在宽的温度范围内能稳定)等方面的要求。用于陶瓷和塑料封装的粘接设备和材料已很熟悉,而粘到有机基板上去所需的新材料和工艺则需开发。

3. 微互连方法:引线键合、TAB 或焊料凸点等信号互连或芯片键合所用的方法全都已在 MCM 中使用。尽管用在 IC 中是很有效的,在 MCM 中可能会对电和热产生明显的影响。芯片和基板级两者的测试、工艺成品率、基板兼容性等在选择微互连方法时也是主要的考虑因素。

4. 互连密度:基板互连的特征尺寸(线宽、最小间距、通孔尺寸、I/O 尺寸),适合于电路工艺的金属层数量和机械尺寸是否满足系统要求,必须根据现有的要求和将来的需要加以选择。对于速度较高的电路,甚至对相对较短的模块内部距离也需要受控阻抗连接。这进一步使信号互连设计复杂化,高密度需要增加金属化层的数量,设计和工艺能力一样,在有效高密度互连的成本中起重要的作用。

5. 互连噪声:当电路速度提高和电路上升时间变得更快时,电路信号线之间的耦合增大。电路密度(线间距)、互连方法和维持一个均匀的热环境这些都会影响噪声控制,低介电常量材料会在这方面起重要作用。这课题的一种好的处理方法已由 Balde(1987)给出。

6. 互连延迟:作为电路速度加快的另一个结果,信号从一个电路到另一个电路的传输时间已变成系统速度的重要部分,它限制了整个系统的性能。像前面已讨论的那样,信号的传输延迟只与互连介质的介电常量直接有关,氧化铝和通常的厚膜陶瓷材料具有相对较高的介电常量,$\varepsilon_r=8-10$,一般认为不适用于很高性能的电路应用。在许多应用中发现,介电常量为4—5(FR4印制线路板和玻璃陶瓷的典型值)能有效地满足预定的需要,只是对于很高性能电路,才需要 $\varepsilon_r=3.2$或更小的,这些是聚酰亚胺薄膜互连的典型 ε_r 值。也像对其它考虑一样,有许多折衷考虑。

·p.621·

7.信号终端:使用受控阻抗互连的高速电路通常需要某种形式的线路终端,以减小反射,并保持信号的完整性和控制噪声。这对于CMOS和双极电路是如此。对终端的需要情况与电路、信号网络结构和长度等有关。对于高速双极电路,通常使用并联电阻终端,同时,终端需要紧靠近电路。MCM基板上的集成终端电阻需要将它对封装工艺和额定封装密度的影响减至最小。已开发的产品和材料系统是适用于印制线路板[IPC设计指南,电阻(多功能叠层)]和陶瓷基板(Brown和Shapiro,1993)。改变信号网络终端的能力也是一个重要的考虑因素,逻辑变化会影响信号网络结构,可能需要增加或减少终端电路。

8.电源分配:具有高集成度的高速IC需要大的电源电流。而电流可能需要通过许多引线来分配,大电流对MCM的金属化提出了特殊的要求,高电导率导体是必不可少的,互连电阻必须降到最小,在某些电路中输出(开关)电路和内部逻辑电路需要分别进行电源分配,这时,通常需要较多的电源平面。输出电路分配系统可能要和逻辑电路的电源分配及阻抗参考面分开,以便改进噪声控制,这就增加了成本和复杂性。

9.电源系统去耦:高速电路需要在最靠近电路输出处设置电源去耦(或滤波),以减小电源分配系统中噪声的影响,该噪声耦合到输入[1)]电路,如果超过开关门限电平,就会引起错误的逻辑操作。在高性能电路应用中,需要具有高谐振频率的电容,通常使用多层陶瓷结构表面安装片式电容。该类电容也减小了引线电感在电源和输出引线中的影响,对于快速输出开关电路,它也作为一种固定的电流源。如同前面提到的电阻那样,集成于基板上的去耦电容产品和材料系统已经开发,并适用于印制电路(Wang,1993)和陶瓷基板(Drozdyk,1993)。

10.热管理:单独的芯片热功耗已达30—50W,单独的模块热功耗上千瓦,需要低的结温以获得长期可靠的工作和维持均匀的热环境以减小电性能的变化(噪声、开关速度),这些对热管理提出了严格的要求。高速电路和高密度封装使体积热密度明显增加,为此需要新颖的冷却方式和能把大量热量耗散的冷却系统。高热导率陶瓷,如氮化铝模块平板、高热导率热沉和粘接材料、液体冷却热沉和直接装在封装或基板上的小型风扇正在开发,以满足MCM的需求。大面积/长周边密封和在宽温度范围内能保持密封完整性的封装密封方法和材料也是与热有关。改进热性能的设计技术(如热通路或热扩展层)对无外壳的和已封装的器件可能是必要的,但他们的使用是以增加布线密度、封装密度和成本为代价的。热通路具有显著的优点,它们可以对每块集成电路单独考虑,可以在高热耗散器件的下方设置大量通路,可在低热耗散器件下方设置少量通路或不设通路,由此保持结温均匀,其优点是使延迟更均匀和使噪声最小(Poulin和Nguyen,1993)。热/机械/电/成本的综合考虑对高性能多芯片封装来说比一般的单芯片/印制线路板设计要复杂得多。

·p.622·

11.下一级互连:由模块到下一级互连的互连类型是总体性能的关键。在MCM中,在面上和四周引出端点、通孔或表面安装互连、有引线或无引线、焊接或可分离的互连都在实用。除了常用的折衷考虑外,还必须仔细考虑MCM的工厂测试方法。系统和MCM的维修方法,包括在更改和修理时模块或下一级互连的潜在损伤。备件的成本(单元和商品

1) 原文为"输出电路",恐有误。——译者注

供应系统成本)及现场测试/故障隔离能力也是在从 MCM 到下一级互连选择中的重要考虑因素(Grabble 等,1993)。

12. 更改和修理:在所有最简单的模块中或在具有非常正规互连的模块中(如存储器模块),必须提供可以更改互连,以纠正逻辑错误、更换失效的电路和/或去除终端的措施。应设计有备份引出端、备份终端的位置,和备份去耦的位置,以便将来可以使用。甚至使用了现代高水平的仿真、辅助测试和辅助设计后,具有上百万门的电路、模块和系统也可能仍有未发现的缺陷(Wall Street Journal,1990),这种缺陷必须加以纠正。有可能修正在片 IC 的逻辑错误(Florod Corp.,1991;IBM 微电子,1993),这仍然是高度先进的技术,然而,可能已有可用于 MCM 更改和修理的实用的,和生产上有价值的高密度技术,这方面的详细情况在后面叙述,它们是由 Florod Corp.(1991)和 IBM 微电子(1993)介绍的。

11.19 更改和修理

·p. 623·

在1980年4月,Sperry UNIVAC 计算机系统(现在称 UNISYS)发布了 System 80,一种中型的商用计算机系统,它是用厚膜陶瓷混合电路(过去这样叫,现在称为多芯片模块)和定制 VLSI 做成。这是 UNIVAC 第一次在商用计算机系统中用厚膜技术作为基本的封装技术。在1.35 in(34 mm)见方的模块中,包封了多到16块的10 k 系列 ECL 集成电路,模块外形满足 JEDEC 标准的要求。基板通常是三层导电层厚膜(在有些模块上需要5层),有64个集成电阻作为内部 ECL 网络的终端,并有作为电源去耦用的内部片式电容。空腔向下的模块在风冷系统中使用热沉并具有耗散达到7W 的能力(见图11-23)。这些厚膜模块已大量生产和被使用,并且用在 CPU 板上的35个模块的大约一半是最终转变成 ECL 宏单元门阵列,这种应用是多芯片模块设计问题和在商用的计算机系统中用陶瓷解决价格-

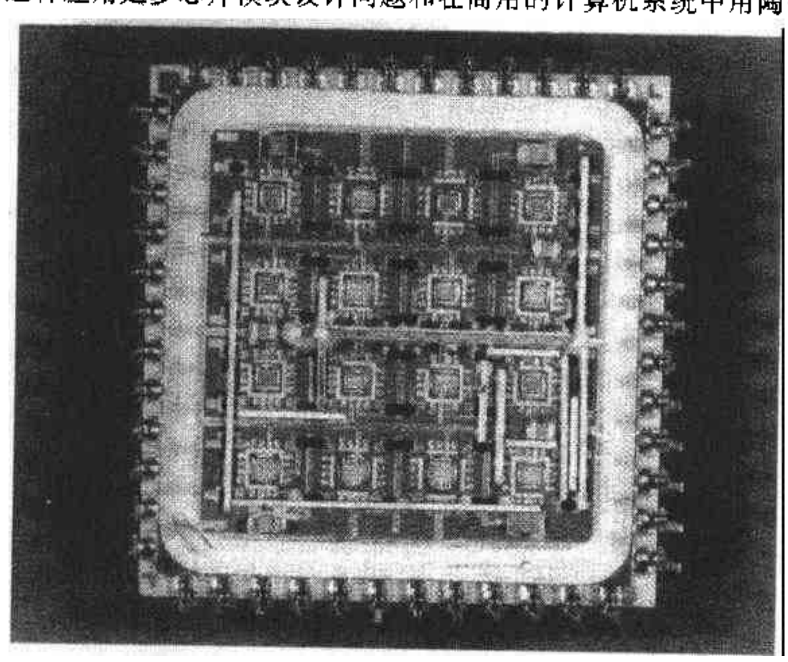


图11-23 带有互连更改条的厚膜 ECL 数字逻辑模块

性能矛盾的一个很好实例(Amey,1981c;Freedman 和 Short,1981)。

这些模块的关键特点是更改和修理的设计技术。所讨论的技术对于电路数很少的电路是没有必要使用的,因为这些电路具有容易可测和可预示的逻辑结构,或对存储器板或类似的应用,它们具有很规则的互连结构,今后更改或修改的可能性极小。然而,即使用了广泛的模块化和计算机辅助设计,大型随机逻辑结构(即具有1万或10万门的逻辑系统或具有大量封装的逻辑系统)的复杂性使全模块设计或对逻辑要经历的各种状态进行测试成为不可能。在起始的试验系统和调试样品以及早期产品中,更改是生命的必由之路。对复杂的互连系统,必须具有更改和修理的手段,无须更新和更改电路互连,也无须每更改一次就重新制图和制造。修理的结果也必须具有电和机械的可靠性,适合于现场使用,其质量可与初始互连的质量相比。

11.20 更 改 条

•p. 624•

在一种实施方法中,多芯片厚膜电路用小的陶瓷"更改条"和接到外部并重新配置网络的连线,在工厂就可更改。管芯到基板的互连在管芯上通常是用金丝球焊。管芯是用环氧树脂粘接,然后用引线键合到基板。用环氧预成型包覆的密封便于更改和修理。如果要对逻辑信号网络中的互连进行更改,就把管芯和基板间的连线拉断,这样就把管芯与多层基板中的信号网络分离了。厚膜金属化的氧化铝更改条厚为15 mil(0.38 mm),其上表面金属化层为宽10 mil(0.25 mm)的厚膜金导体,用环氧树脂将更改条粘在基板上作为重建的互连通路。更改条用不导电的环氧树脂粘接。更改完后,更改条彼此用引线连接,完成管芯到管芯间的连接。(过去也用过双更改条,即在一单片陶瓷上有二根金属化条带)图11-24是一种有许多更改的样品电路。该技术允许在更改条上设置跨接线,在跨接时需在更改条上用一种不导电的环氧树脂涂覆,以防止跨接线与更改条表面连线短路。这种更

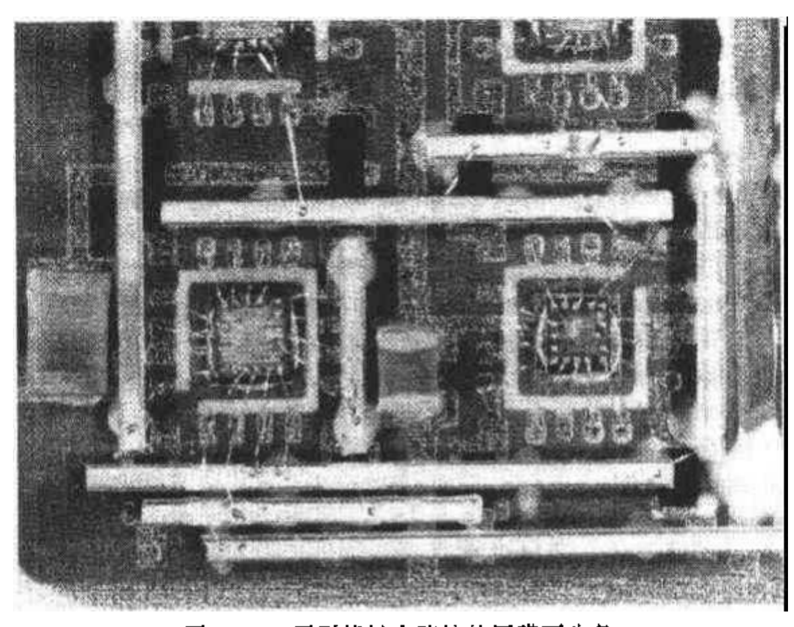


图11-24 用引线键合跨接的厚膜更改条

改和修理方法对芯片和引线间电路的更改和修理是十分有效的，并在随机逻辑系统的设计中是绝对必要的。在35种初始系统设计中，只有4种电路因更改条数量或因第二次更改将不能再在上表面布线而需改变电路，必须重新布线。更改技术是完全经过认证的，因此经工程更改或修理的模块对生产使用是适合的和可靠的。

11.21 修 理 链

·p.625·

更改和修理具有片式载体的高密度陶瓷模块的另一种方法是用修理链。这是许多年来用于多层受控阻抗 ECL 印制线路组件的同类技术的扩充，该技术曾用于1100系列计算机，并且是一种适用于印制线路板、陶瓷和其它互连技术的设计/布线方法。这种方法用具有基本接地规则的表面修理链，它没有内层信号连接到元件粘接区，所有的内层网络都端接到一个通路，且信号接到用作 IC 引线粘接区的外表面上。一种这样的几何图形示于图11-25。用这种方法，IC 和内部网络可以用切割(用砂轮切割或磨削)修理链来容易地将它们相互隔开。注意，外部修理链的几何形状可以取许多形式，可根据电性能和工艺要求来改变。为了容易切割链路，在内部网络通孔/压焊块之间应该是薄引线连接，IC 粘接区可以延伸，其结构如图11-25所示，以便可以更改引线的连接。可增加一根引线到内部网络压焊块，以便将内部网络与延伸的 IC 粘接区相接。稳固、可靠的表面安装焊接对压焊块大小和通孔位置是敏感的。可以如图所示加一个热链，使特性尺寸均匀，减小了由通孔和内层互联(通常是不均匀的)对散热的影响。这些互连和通孔会引起不均匀、不坚固、不可靠的焊接。表面安装区之间的间距做得可以用细线来更改。图11-26是一个用这种更改方法的5层厚膜混合电路，它具有0.040 in(≈1.0 mm)端点压焊区间距，用直径为0.0050 in(≈0.13 mm)的隔离线进行更改。

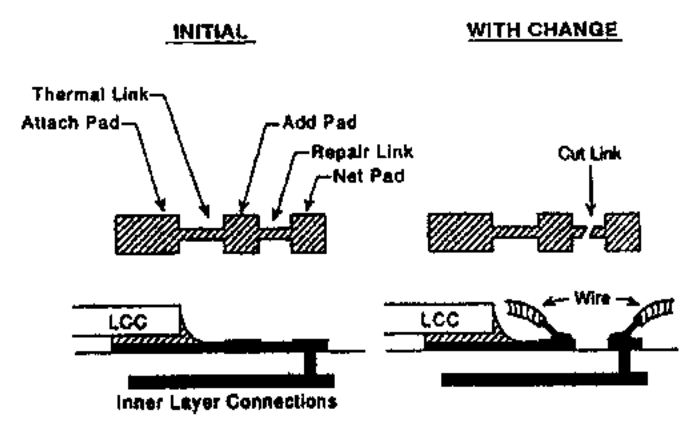


图11-25 修理链结构

修理链减小了封装密度、块的布线通道，可能会提高基板成本。在修理链路占至少两个方块的间距时，除整个封装外形外，封装的密度和性能比不用修理链时可能下降，然而成本的增加和密度的降低与产生更改或修理有关的问题、可靠性和质量以及用其它方法更改所用的成本必须权衡考虑。修理链更改方法相对而言是不太贵的，它可以用标准工具进行，无需高技术水平或专门的焊接方法，并且它是一种更正规的可控的更改方法。

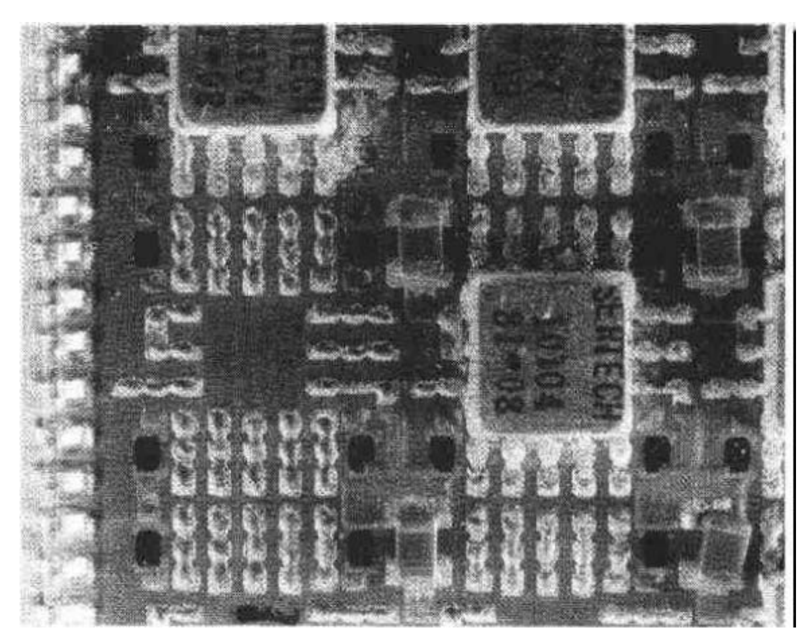


图11-26　表面安装封装具有修理链的厚膜基板(具有无引线片式载体)

·p.626·

有两种可用于高密度模块更改和修理的技术,这两种技术均适用于商用产品的生产,并已表明是实用的更改和修理方法。其它技术,如重新布层和用于其它微互连类型的方法(TAB和倒装焊)已成功地用于其它方面。

对于大门数的随机逻辑封装,考虑修理和更改方法是很重要的。对开发成本、生产硬件成本、维修和后勤保障的成本、电性能、密度、质量、可靠性和更改的周转时间的折衷考虑是很复杂的,并且随每种应用情况而改变。系统设计者或封装工程师必须通过对复杂的折衷进行仔细分析,以选择最适合于每种应用的技术。

11.22 展　　望

·p.627·

成本和互连密度是选择互连技术中的两个主要衡量标准。Messner的工作是非常有见识的,并且是许多方法中的一种,这些数据已经发表。要进行全面的比较是很难的,因为在比较中还有许多其它因素:体积、利润率、热性能等,这些因素明显地影响最终产品的性能和成本。1982年时三种主要互连技术——印制线路、厚膜陶瓷混合集成和IC的相对成本和密度关系由AT&T的Mayo很好地表示于图11-27。这为进行技术比较打下了一个好的基础,因为AT&T是所有这三种技术都大量生产的制造商,并且此研究提出了明显的见识,指出在陶瓷和IC技术之间存在着空隙。AT&T是开发并将薄膜MCM互连(Polyhic)投入市场以填补这一空隙的先驱公司之一。在80年代中期到后期,对薄膜技术有着很大的兴趣,并已经慢慢地开发出了有商业市场前景的产品,然而,成本仍然保持相对较高。现在,下一个工业浪潮将是用于MCM的细线条、薄型叠层印制线路板技术。事实上,所有的主流互连技术已经在减小单位互连相对成本和达到更高密度方面取得了进展,



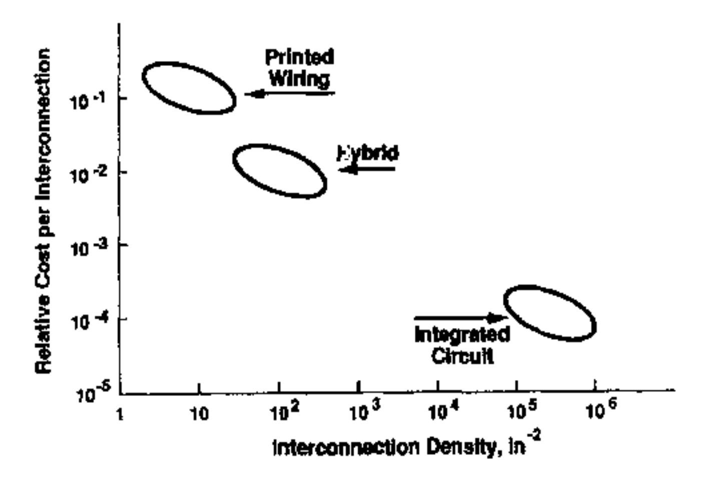


图11-27　1982年时使用不同的互连技术所需的相对成本和它们可达到的互连密度

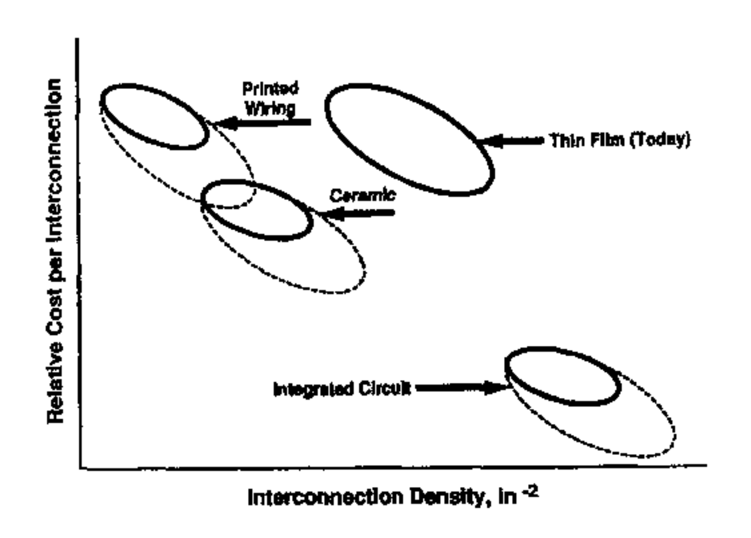


图11-28　目前使用不同的互连技术所需的相对成本和它们可达到的互连密度

以满足与半导体和封装的进步相一致的设计需求——反应了被薄膜替代的竞争威胁。图11-28说明了现在的状况和可预见的将来的情况。这个图中两个坐标的刻度都是空白的，这是为改进用的，因为每种技术几乎是按同样的速率在进步，其相对关系保持不变(这也避免了去预示那些不可预示的内容)。随着应用的大量增加，薄膜技术的费效比将变得更低，真正需要用高互连密度时，就会使用薄膜，此时图将改变 。然后再看图11-29所示的成本/密度图，设计者可以从连续跨接的从印制线路板到集成电路为其应用选择最佳技术。这个技术关系会变吗?在可预见的将来不会变。在 AT&T 的图中表示了同样的关系。更新的图由 IBM 发表，示于图11-30，在水平方向实际上没有什么变化。平面光学互连(Thomson 等，1994)已是潜在的，它在有效互连密度方面可能是属于半导体薄膜互连的下一阶段，但还有很长的一段路。

·p. 628·

这是否意味着薄膜会在现在 MCM-L(叠层)、MCM-C(陶瓷)或 MCM-D(沉积薄膜)间的战斗中打“胜”?不会，因为在选择互连技术中，还有比成本和密度更多的因素，如热管

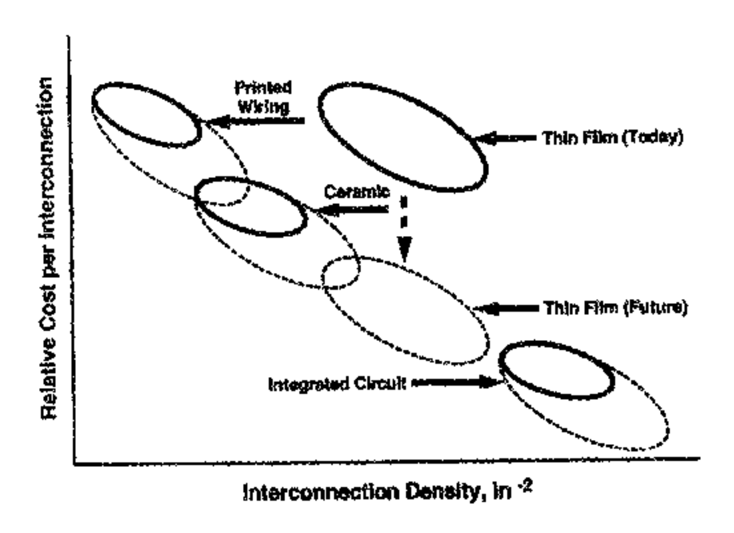


图11-29 将来使用不同的互连技术所需的相对成本和它们可达到的互连密度

理是互连/基板技术要求的另一个主要因素，它可能会大大改变这张图。另外，折衷是多方案的和复杂的，没有一种技术可满足电子工业中许许多多各种应用对所有半导体互连和封装的需求。

·p. 629·

最有效的未来技术是难以预测的，然而90年代的三种基本技术将被大量地应用于新的高密度封装技术中，填补成本/密度图的空隙区，如图11-29所示。

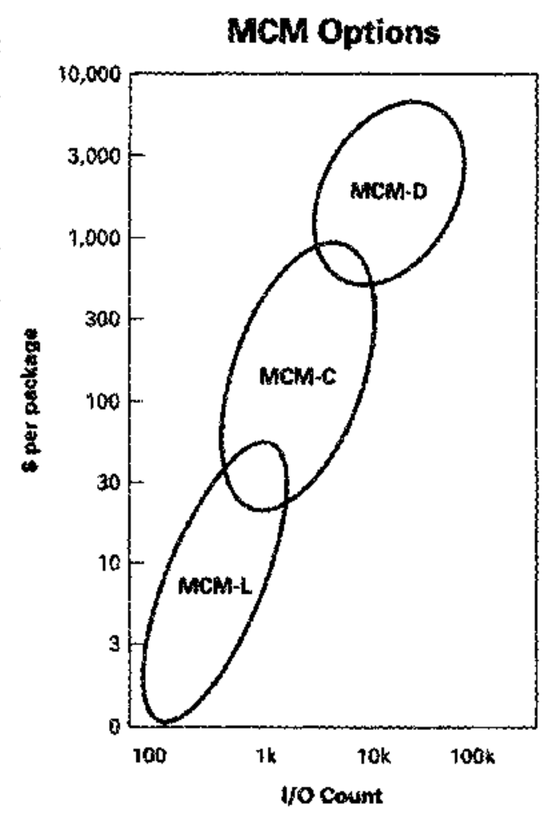


图11-30 多芯片模块互连的选择——封装成本-I/O数，来源：IBM 公司技术成果

11.23 参 考 文 献

Amey, D. (1981 a), *Semicond. Int.* Highlands Ranch, CO: Cahners Publishing Co.

Amey, D. (1981 b), in *Proc. IEPS Tech. Conf.* Edina, MN: IEPS, pp. 1–15.

Amey, D. (1981 c), in *Proc. Int. Microelectron. Conf.* Highlands Ranch, CO: Cahners.

Amey, D. (1984), "Surface Mounted Components" in *Surface Mount Technology*. Reston, VA: ISHM, pp. 11–44.

Amey, D. (1990), in *Proc. Int. Microelectron. Conf.* Reston, VA: ISHM, pp. 545–554.

Amey, D. (1992), in *Proc. Int. Symp. on Microelectron.* Reston, VA: ISHM, pp. 225–234.

Balde, J. (1987), in *Proc. 7th Annu. IEPS Conf.* Edina, MN: IEPS, pp. 860–872.

Beaman, B., Shih, D., Walker, G. (1993), in *Proc. Int. Conf. on Multichip Modules*. Edina, MN: IEPS, and Reston, VA: ISHM, p. 341.

Belopolsky, Y., Abramson, E., Murphy, A. (1991), in *Proc. 1991 Jpn. Electron. Manufacturing Technol. Symp.* Piscataway, NJ: IEEE.

Bieber, C. (1989), in: *Electronic Materials Handbook*. Materials Park, OH: ASM Int., pp. 451–459.

Blood, W. R. (1988), *Motorola MECL System Design Handbook*, 4th ed. Tempe, AZ: Motorola Semiconductor Products Inc., pp. 44–48.

Brown, R., Shapiro, A. (1993), in *Proc. Int. Conf. on Multichip Modules*. Edina, MN: IEPS, and Reston, VA: ISHM.

Buschbom, M. (1988), *IEEE/CHMT VLSI and GaAs Chip Packaging Workshop, Sept. 1988*.

DiGiacomo, J. (1989), *VLSI Handbook*. New York: McGraw-Hill, p. 23.12.

Drozdyk, L. (1993), in: *Proc. Int. Symp. on Microelectronics*. Reston, VA: ISHM, pp. 209–214.

Florod Corp. (1991), *LASER Stitching. A New Way to Rewire IC's*. Gardena, CA: Florod Corp.

Freedman, M. (1993), in *Proc. Surface Mount Int. Conf.* EIA and SMTA.

Freedman, M., Short, F. (1981), in *Proc. Int. Symp. on Microelectronics*. Reston, VA: ISHM, pp. 51–56.

Goodman, T., Fujita, H., Murakami, Y. Murphy, A. (1993), in *Proc. 43rd IEEE Electron. Compon. Technol. Conf.* Piscataway, NJ: IEEE, pp. 425–435.

Grabbe, D., Pryputniewicz, R., Merkelo, H. (1993), in *Proc. Int. Conf. on Multichip Modules*. Edina, MN: IEPS, and Reston, VA: ISHM, p. 347.

Harper, C., Miller, M. (1993), *Electronic Packaging, Microelectronics, and Interconnection Dictionary*. New York: McGraw-Hill.

Houghton, J. (1995), *Electron. Design, February 6*, 141.

IBM (1982), "Thermal Conduction Module Design", *IBM J. Res. Devel. 26 (1)*, 30.

IBM Microelectronics (1993), *Lasersonic Bonding*. Hopewell Junction, NY: IBM Microelectronics.

Landman, B., Russo, R. (1971), *IEEE Trans. Comput. C-20*, 1469.

Leedecke, C. (1989), in *Electronic Materials Handbook*. Materials Park, OH: ASM Int., p. 451.

Mayo, J. (1982), *Circuits Manufacturing, April*, 29.

Messner, G. (1988), in *Proc. Int. Symp. on Microelectronics*. Reston, VA: ISHM, pp. 28–36.

Penry, M. (1983), *Wescon*, Session 3. Piscataway, NJ: IEEE, pp. 3–4.

Poulin, T., Nguyen, L. (1993), in *Proc. 43rd Electron. Compon. Technol. Conf.* Piscataway, NJ: IEEE, p. 904.

Rima, P. (1985), *Hybrid Circuit Technol. November*, 15.

Schmidt, D. (1981), in *Proc. IEPS Tech. Conf.* Edina, MN: IEPS, p. 143.

Schmidt, D. (1982), *IEEE Trans. Comput. Aided Design Integ. Circuits Syst. CAD-1*, 1469.

Steele, T. (1981), *IEEE Trans. Compon., Hybrids Manuf. Technol. CHMT*[1]*-4*, 192.

Thomson, J., Levesque, H., Savov, E., Horowitz, F., Booth, B., Marchegiano, J. (1994), *Opt. Eng. 33*, 939.

Tummala, R., Rymaszewski, E. (1989), *Microelectronic Handbook*. New York: Van Nostrand Reinhold.

Wall Street Journal (1990), "Another 'Bug' in Intel Chip May Delay Few Shipments", *Wall Street Journal*, January 30.

Wang, T. (1993), *EMC Design Test, February*, 27.

1) 原文为 CHMY，有误。——译者注

12 互连系统

Wulf Knausenberger

RD Hikuai,via Thames,New Zealand Formerly of AT & T Bell laboratories

（贾松良 译 叶德培 校）

目录

·p.632·

缩语表

B级环氧树脂　用于制造多层印制板(MLB)的、半固化的环氧树脂/玻璃纤维不光滑薄片

BGA　焊球阵列:一种元件的封装,它的I/O与基板的互连接口是通过一些规则排列放置在封装底表面上的小金属球完成的

CMOS　互补金属氧化物半导体:由于它的低功耗和容易达到很高的集成度,因此是目前应用最广泛的一种硅芯片制造技术

COB　板上芯片:芯片封装的一种方式。在这种封装形式中,芯片直接被安装在PWB上,芯片没有外壳

DCA　芯片直接粘接:用粘接方法将芯片互连到基板上,用这种方法芯片被直接粘附在基板上而没有任何中间封装

DRAM　动态随机存取存储器

DSR　双面刚性连接:具有总共两层印制电路的一种印制线路板

FR-4　阻燃-4:应用最广泛的浸渍环氧树脂的玻璃纤维电路板,常被称为"工业用马"

FRU　现场可替换单元:电子设备中一种实体和功能都可分离的模块,它可用来快速替换或更换同类模块

HIC　混合集成电路:一种能将有源芯片和无源电阻器、电容器或电感互联在一起的功能陶瓷基板

IC　集成电路:包括有多种晶体管的半导体芯片

I/O　输入或输出端:电子部件内的输入端或输出端,通过它们的互连以实现不同互连级之间的互连

KGD　已确认为性能良好的芯片:一种已经过功能和参数测试确认其性能优良的、适合于安装在MCM组件中作部件的裸芯片

LSI　大规模集成电路:一种包含有大量电子功能、其门数在1000～100.000门范围的半导体芯片

MCM　多芯片模块:一种互连两个或两个以上未封装芯片的功能互连基板

MIPS　每秒百万指令:对计算机性能的一种绝对度量

MLB　多层板:多于两层印制电路的一种印制线路板

MSI　中规模集成电路:一种含有中等数量电子功能、其门数在10～1000门范围的半导体芯片

PC　个人计算机或印制电路

PTH	镀覆通孔:PWB 上的孔,它先是在板上钻孔,然后镀覆铜使上、下两层电路完全相连通
PWB	印制线路板:通过蚀刻在刚性或柔性绝缘基板上的铜导体而形成的互连电路
SSI	小规模集成电路:一种只包含有少量电子功能、其门数在1～10门范围的半导体芯片
TAB	载带自动焊:一种其 I/O 到互连基板的接口是利用柔性载带引线框的元件封装
VLSI	超(甚)大规模集成电路:一种包含有很大量电子功能、通常超过100,000门数的半导体芯片

·p. 634·

12.1 展　望

过去，将大多数电了产品发展的主要技术重点放在集成电路设计和集成电路技术开发上。在超大规模集成电路问世以前，有一种不言明的假定，认为相比较而言门电路是较贵的，而线路及封装是较便宜的(Sutheland 和 Mead，1977)。因此，设计者一直花很多的精力在于用最少的电路去实现所希望的功能。在这些设计方案中，对互连方面所作的努力仅作为第二位的考虑，互连和封装是作为在开发周期临近结束时可以购买到的东西来处理的。过去的一种基本假设是：随着超大规模集成电路的进一步发展，可将所有的电子功能安排在一块单芯片上，因此不必考虑互连问题。

近年来，随着集成电路技术的惊人发展，这种情况已经完全颠倒过来了。现在单个门电路的成本已经几乎小到微不足道，而互连的成本已占主要地位。在现代集成电路中，互连的路径通常占用了大部分空间。现在把集成电路制成二到三层金属互连层，以便为门电路保留一些空间。芯片外的互连长度越长，成本越高。必须从实际发生的成本和由于互连尺寸及其对时延影响引起的性能限制两个方面来计算成本。

随着每一代集成电路的成功，很显然正在使用提高了的能力来设计具有更高功能水平和更紧凑的新系统，而不只是简单地和更花代价地将老系统改型成单芯片。图12-1说明了计算机能力随时间的迅速发展(Wessely 等，1991)。

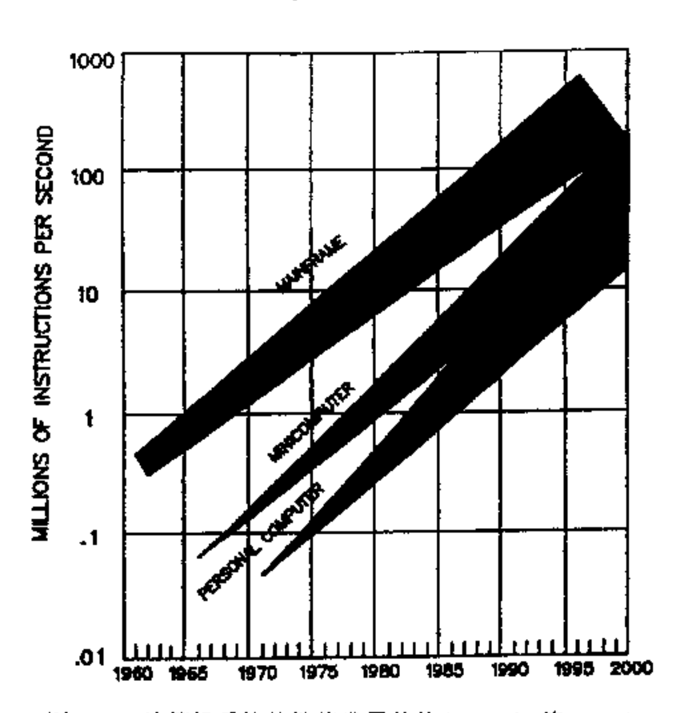


图12-1　计算机系统的性能发展趋势(Wessely 等，1991)

·p. 635·

无论如何，密度和性能的改进已经遍及整个电子工业，尽管大多数首先是用于计算机中的。计算机能力的发展已经如此迅速、致使对主机和个人计算机之间的限定要用每秒百万条指令(MIPS)来表示，仅用一个时间函数来区别。实际上，除按计算能力外，主机和个



图12-2 数据调制解调器产品惊人发展的对比

人计算机可按许多方式来区别。

图12-2和图12-3展示了35年内数据调制解调器产品的体积变化和性能改进情况。在这期间，调制解调器的实际形状已经从一个大的钢外壳箱体发展成为一块轻便微小的 PC 卡。这表明体积缩小了两个数量级以上，同时传输率提高288倍。

系统设计者如同芯片设计者一样地有生气，他们在每一代新设备中发挥了创新的才能。设计者们现在开发了在功能和性能方面都是以前不可思议的许多系统。芯片变得更复杂了，互连问题还在扩展。今天，一个系统往往包含了许多超大规模集成电路芯片的阵列和另外一些必须彼此互连的各种元件，复杂性始终在增长着。图12-4说明了单芯片门电路能力随时间的增长情况，由对动态随机存取存储器芯片观察得到(DRAM 是一种公认的技术推动者)。由此引出了在板级上的复杂和变化多端的互连问题。

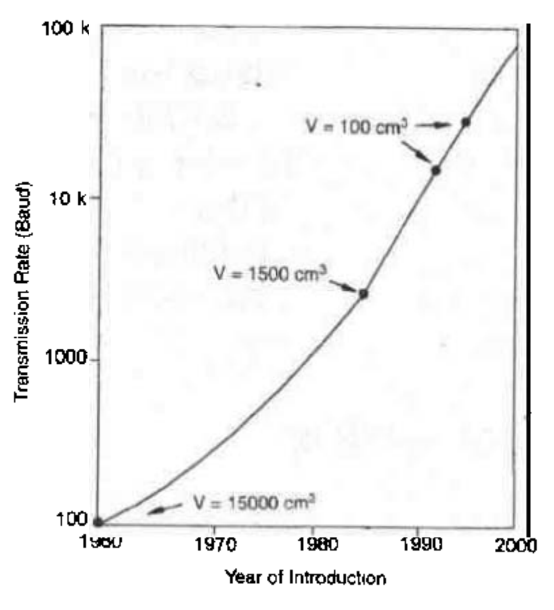


图12-3 数据调制解调器的数据传输能力的发展，在数据率惊人提高的同时，设备体积(V)明显缩小

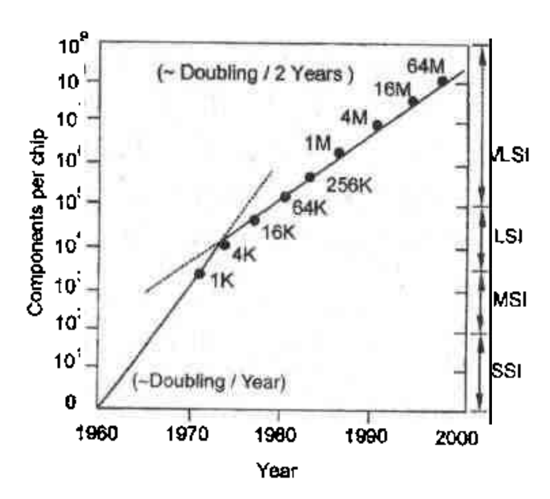


图12-4 处于科技前沿的动态随机存取存储器(DRAM)的芯片密度发展历史

图12-5展示了硅芯片最小特征尺寸随时间发展的历史趋势。处于科技前沿的超大规模集成电路芯片的复杂性，现在以每一年半到二年增长一倍。这种毫不停顿的进步又产生了新的要求。随着每个芯片上 I/O 引线数的提高，要求系统级封装工程师互连更大更复杂的芯片。这就要求在 PWB 级上的互连能力稳定地增长。图12-6说明了在 PWB 产品中互连能力的增长情况，包括过去的历史和对未来的预测，以大批量上市的通信和中档计算机工业为例(Knausenberger，1992)。

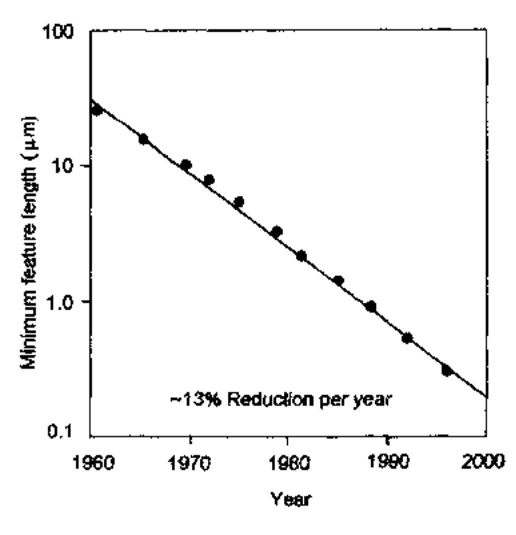


图12-5　前沿硅芯片最小特征长度随时间变化的历史

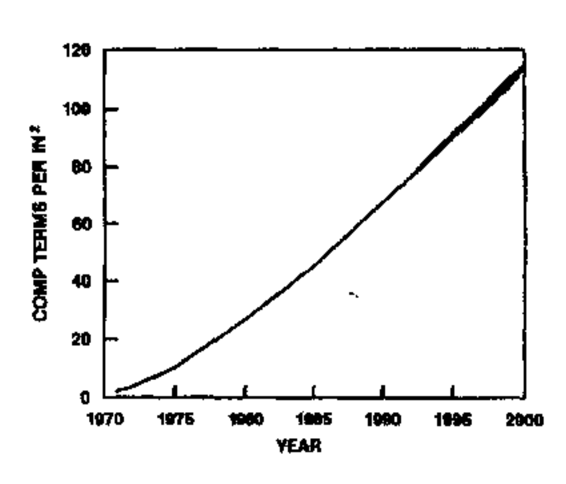


图12-6　在通信和中档计算机工业中插入卡的互连需求。"comp term"是元件端点或装配点(I/O 的源)

当今超大规模集成电路中，互连所遇到的挑战比以前小规模集成和中规模集成的芯片时要解决的问题大得多。现在，在电子行业中众所公认，没有非常先进和高级的互连技术就不可能取得超大规模集成电路的全部效益(Pinnel 和 Knausenberger，1987)。互连系统在将系统设计者的芯片和概念转变为现实中起到了重大作用。互连系统的设计(也称为封装设计或实体设计)是一项主要的工程工作，它涉及到系统设计的每个方面，从基础材料、工艺到制造过程从头至尾的每个细节。封装设计者的任务是将这些各不相同的要求和谐地结合起来，并作出一种最佳的设计选择。封装设计者一般负责整体布线、互连设计、样机、热设计、可靠性和可测性设计、装配和可制造性设计。解决问题的办法是实现材料、机械设计和达到满足设计目标的最低成本的电性能目标之间完成一系列的折衷。本章的后面部分将阐述：为了使这些折衷决策有效而必须掌握的一些技术要素。

12.2　互连技术的趋势和推动

12.2.1　趋势

在电子系统技术中，技术的迅速发展提高了对互连手段的要求。一种主要的推动力是上面讨论的硅集成电路技术中集成规模的不断飞速发展。另一方面是光子学的革命性发展，它正使电子系统的互连等级归并成许多个级别。这些先进的电子学和光子学技术具体

体现在先进的电子元件的形体中，因而，就必须用一种互连系统将它们彼此互连起来，同样还要与其它传统的元件连起来。为了达到电子系统的总体目标，必须细心设计互连系统。在现代电子系统中，互连越来越多地支配了最终产品的样式，并决定了产品能提供的性能水平。

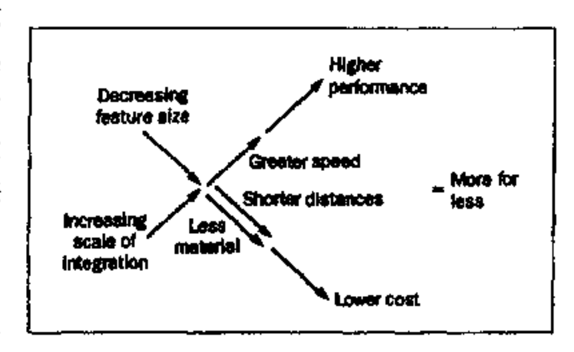


图12-7 电子封装的趋势

电子系统发展的主要趋势确定为要求系统用更小的实体空间、以越来越高的性能提供所需的功能（Pinnel 和 Knausenberger，1987），同时，国际竞争要求以尽可能最低的成本效益比来实现上述要求。图12-7总结了这些关键因素和趋势。

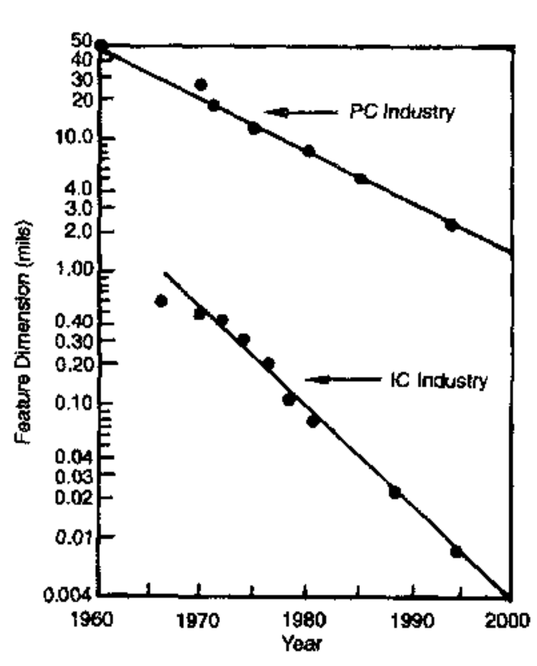


图12-8 微电子工业最小特征尺寸的趋势（IC 为集成电路，PC 为印制电路，1mil＝25.4 μm）

实际的特征尺寸（在所有互连级上的设计规则和间距）在不断地减小，同时集成电路的集成规模在迅速地提高。图12-8中所示为由观察前沿集成电路芯片和印制电路板所得，它表明了设计规则的改进趋势（Rust，1989）。

主要电子系统的尺寸在逐年减小——从整个设备机架到单个机架或层，直到单块板级（Hoover 等，1987）。继续发展到更为复杂的单个圆片或芯片级系统。由产品看出的技术方向为：更高的速度、更短的路径长度和使用更少的材料，结果是系统具有更紧凑的结构、更低的成本和更高的性能。

·p. 638·

电子封装受很多技术的推动，主要有：

- 超大规模集成（VLSI）的集成电路技术
- 光子学技术
- 通过软件控制实现对系统功能的控制

主要的推动是硅超大规模集成电路的继续发展。这个推动力自60年代以来已经对电子工业产生了意义深远的影响和冲击。光信号传输与日益增长地采用软件控制相结合的全部光信号开关和处理的发展前景，是对当前电子系统具有主要影响的两项技术。表12-1总结了这些技术对系统级产品在密度、系统能力（性能）和系统复杂性方面的影响，表中最底层一

表12-1 技术推动对电子系统的影响

	VLSI	光子学	软件控制
电路密度	↑	↑	—
互连密度	↑	↑	—
存贮器尺寸和密度	↑	↑	↑
热密度	↑	↓	—
系统能力	↑	↑	↑
系统复杂性	↑	↑	↑
每功能成本	↓	↓	↓

格说明这些推动使每项系统功能达到越来越低的成本是可能的。

自60年代初第一代集成电路出现以来，硅集成电路的设计规则已经减小了近两个数量级。在特征尺寸减小的同时，典型的密度（每个芯片中的门电路数）几乎提高了三个数量级，而价格（用每个门电路几美分计）几乎下降了两个数量级（见图12-9）。可以预料，在可预见的将来，这种趋势不会有大的改变。

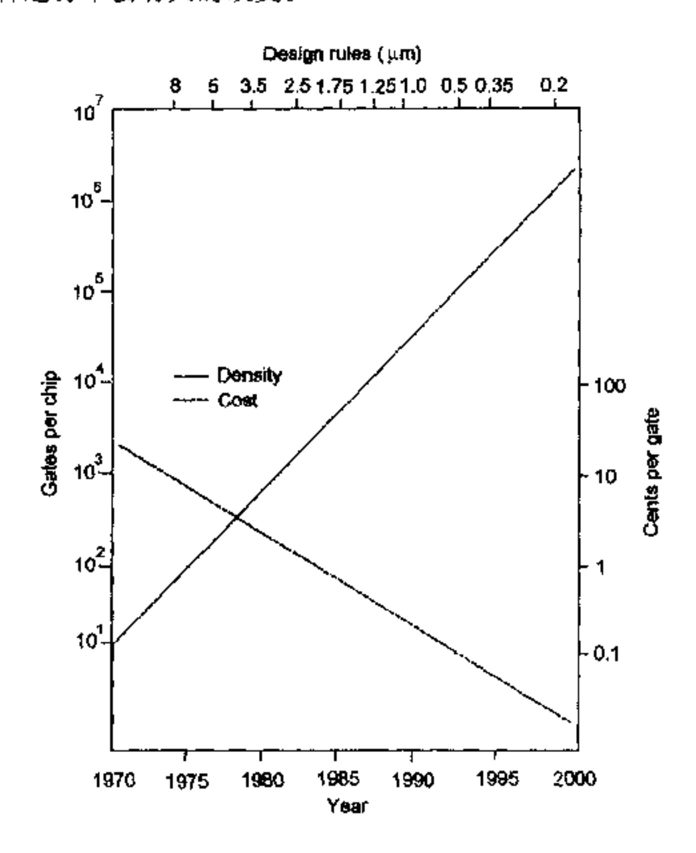


图12-9　芯片的门电路密度，每个门电路的价格和设计规则随时间的变化

当光子学技术和软件控制技术经历了由创新到技术成熟阶段后，可以期望会继续向性能价格比更高和能力更强的系统发展。系统设计者会继续寻找最高的性能价格比和最高性能的系统，用提高每个卡的电路数来将现场可更换单元（插入卡）的数量减到最小。这种设计方向的总效果是进一步提高系统的封装密度。

·p. 639·

现代芯片的更高性能和对I/O的要求使组装技术产生根本的变化——在80年代，从波峰焊、通孔组装转变到高密度表面安装技术。这个变化影响了所有各种级别的元件，消除了为引线而设计的大通孔，减小了I/O引线的节距，从而产生了更高的互连密度。将来通过继续减小I/O引线节距，并以面阵列结构而不是在周边排列各元件的I/O，可以使封装密度进一步提高，而最终的封装将会是根本不用封装。将未封装的芯片直接安装在印制线路板上（板上芯片技术，简称为COB）会成为很普通的事。图12-10说明了进展到更高互连密度的内在含意，它用一个40个I/O端的元件在印制电路板上所占面积的迅猛降低来说明每一阶段技术的进步。

当封装密度提高时，在每一个现场可更换单元（FRU）上互连的端点数也增加了。图

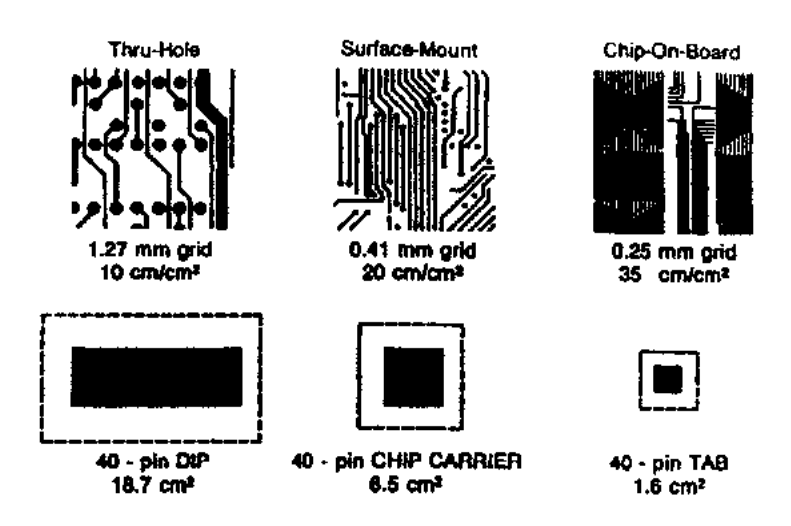


图12-10 用每平方厘米基板上可布印制线厘米数的增长来说明不断提高的互连密度

12-11是自1970年到1990年在通信产品中装配点(也称为元件端点或焊盘)密度随芯片级元件数迅速增长的增长曲线(Rust，1989)。

芯片级的发展趋势与系统级或产品级的趋势一样，当特征尺寸减小和存储能力提高时，系统的复杂性和功率密度也大大提高。但要实现这些，必须在各等级的互连上进行类似的创新和改进。

·p. 640·

在IC革命的早期，高级(主计算机)封装工艺的解决代表了未来大量生产的电子学的前沿。"滴流(tricle down)"理论表明：当一个高端产品成熟后进行大量生产时，会使成本效益比降低，并会被作为大量销售的产品。在80年代中期，主计算机技术开始失去了对该技术的推动作用，它的技术问题的解决开始更多地起着"搁置的花瓶"的作用。消费电子学开始改变了其特性，并以其最佳成本效益比更直接地推动了对问题的解决，通常这些问题的解决是单独的，当重复出现并在不同情况下应用时，它们就变成了"标准"，并被输入到可用的工艺学库中。

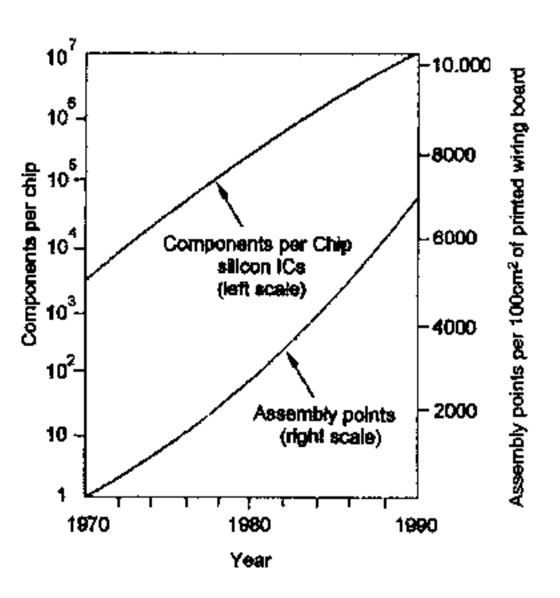


图12-11 硅IC的集成规模与通信产品插卡上装配点数的对照图

12.2.2 由成本推动的互连密度

一种广泛接受的概念是：在新的系统设计中积极采用最高密度的VLSI芯片，总的说来会使互连成本降到最小(Goddard，1979)。一般还认为：当互连平均值接近芯片级时，互连的成本可以降低。可以表明，这一点是普遍正确的，因为接近平均值可以使系统中总的互连长度更短。大多数互连平均值的每单位长度成本是粗略可比拟的，不论在印制线路板

上还是在硅片上(Knausenberger 和 Schaper,1984)。

12.2.2.1 互连能力和成本估计

·p. 641·

用于器件连接的互连级存在着一组等级,其规定详见12.3节。芯片本身可看作为连接多个单元或其它类似于单元的元件的一个基板。混合电路把裸芯片相连,而印制线路板可以把未封装的集成电路或已封装的集成电路相连。与所有这些"基板"有关的项目是,互连能力和互连成本。用互连密度简单地度量基板能力不是一种好的度量方法,因为很小的器件(多单元)显然在每平方英寸中有许多互连,线会很短也很密。大的元件,例如片式载体,会要求长得多的互连线。

用每单位基板面积中可用的互连线长度作为优值去估计互连成本是有用的,这种度量直接与基板技术有关,而与被互连的器件的大小无关。

以单位长度可用的互连线的成本作为标尺,用于确定用各种不同工艺制作连线的相对成本。由于器件大小会影响互连的长度,因此每个互连的成本是与器件大小强相关的,所以用每个互连的成本作为技术指标是不合适的。

12.2.2.2 互连成本比较

由几种不同的印制电路板、一种混合电路和一种 CMOS 集成电路间的互连成本对比表明:无论用什么基板技术,每单位长度线的相对成本基本上是不变的。在这一研究中公认为:当互连平均值接近芯片级时,互连成本下降(Goddard,1979),这一原理曾被认真地检验过。因积极采用超大规模集成电路芯片而使互连成本下降的原因,确定为完全是由于互连长度的减小(Knausenberger 和 Schaper,1984)。

下面是将五种互连基板技术的能力作比较和对照:2.5μm 设计规则的 CMOS 硅芯片;一种125μm(5mil)线宽和间距的陶瓷混合集成电路(HIC)基板;一种具有200μm(8mil)线宽和230μm(9mil)间距的多层板(MLB) PWB,其表面安装元件通过一个760μm(30mil)的通孔接地;一种具有200μm(8mil)线宽和230μm(9mil)间距的多层印制线路板,其通孔元件插入到1520μm(60mil)的孔后接地;一种双面刚性(DSR)接触的 PWB,具有300μm(12mil)线宽和间距以及通孔元件插入到1520μm(60mil)的孔后接地。确定它们总的互连长度,然后对它们的实际归一化成本作对比。图12-12画出了每英寸线的相对成本与能力的关系,能力是用每平方英寸基板上互连线长度(英寸)来表示的。

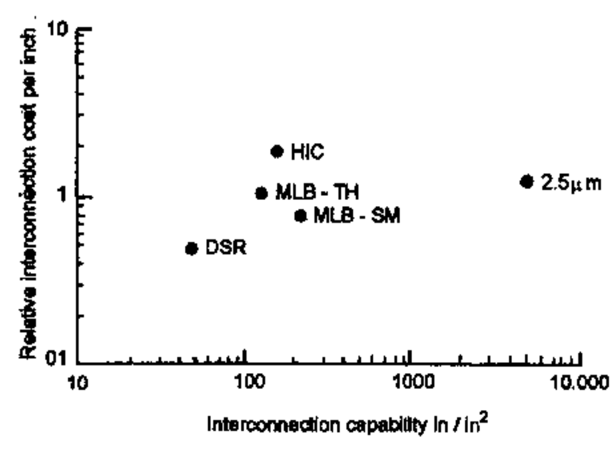


图12-12 五种不同互连基板的相对互连成本。按每单位长度的成本随互连能力的变化作图,表明了不论何种基板,单位互连长度的成本基本不变

即使能力变化大于2个数量级,相对成本的变化也很小。事实上,无论在印制线路板上还是在硅片上,单位长

度互连线成本是相同的。对于低的系统成本而言，高密度布线的重要性在于高密度使系统中有源器件互连所要求的总的线长度可以减小，由于成本直接正比于总的线长，这就使系统的成本降低。早期的数据(Goddard，1979)是由单位面积固定成本的趋势线按传统方法画出的(见图12-13)，这是有用的，因为它自然地将不同的互连介质分成不同的固有密度段。

•p. 642•

在图12-13中趋势线具有的斜率为1/2。所标注的尺寸再次说明每单位长度的互连成本是不变的。重新分析这些数据发现，互连趋势线的每单位长度互连线的成本也是不变的。把这些数据和每英寸互连线的成本趋势线重画在图12-14上，所有以前的数据点与重画的单位长度成本趋势线符合得很好。

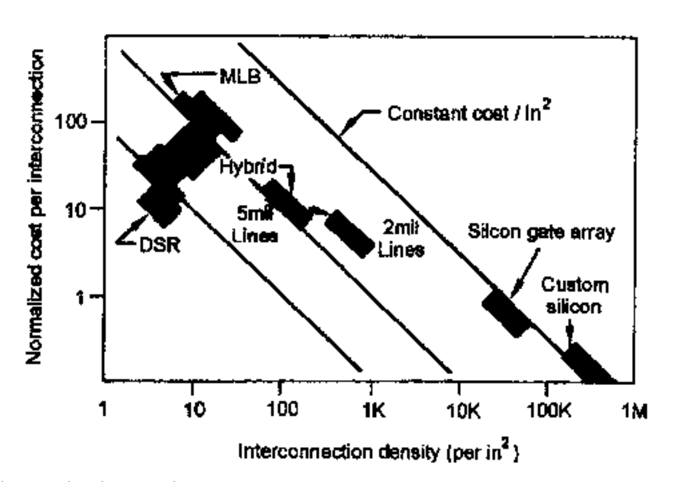


图12-13 基板的每种互连成本与互连密度的关系。表明了每种基板有其自身的单位面积成本分类

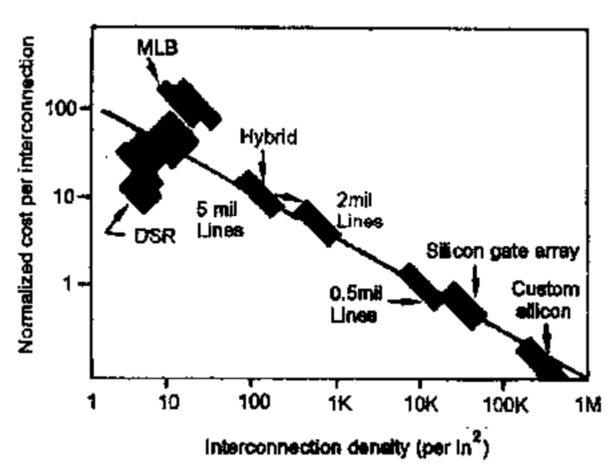


图12-14 基板的每种互连成本与互连密度的关系。表明了在考虑单位长度的成本时，各类基板的成本基本不变

•p. 643•

如果人们观察一下包括全世界通信网络在内的所有互连级，就可以看出，互连范围从10^{-6}米到10^{6}米，图12-15(Knausenberger 和 Schaper，1984)说明了在互连长度如此宽的范围内，对一阶近似的互连成本仍然可以按单位长度的成本不变来描述。

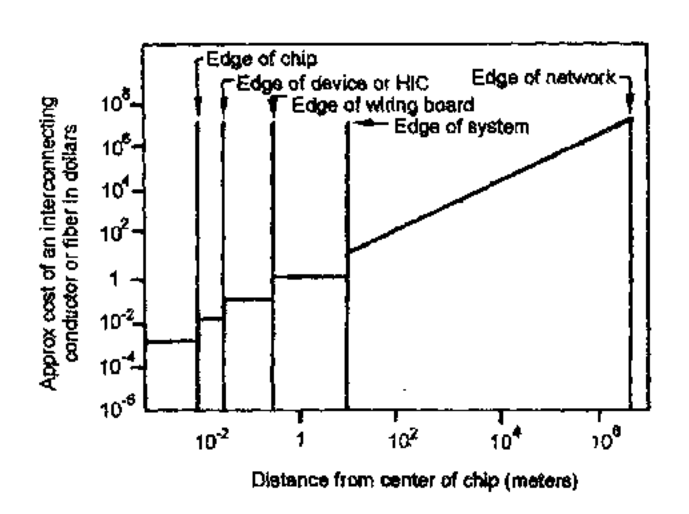


图12-15 从单芯片级到全界通信网络的互连成本(Knausenberger 和 Schaper,1984)

12.2.3 匹配能力和需求

为了减小系统的成本,基板的布线能力要与基板上元件的互连要求相匹配。如果将具有高互连要求的封装或器件放置在低能力的基板上,这或者将使布线不可能完成,或者必须将器件散放在比器件本身大得多的基板面积上。把小型化作为目标时是不希望这样做的。反之,把具有低互连要求的封装放在高密度基板上是不经济的,因为很贵的基板面积(因具有很大的布线能力)没有有效利用。最佳的封装策略是将基板的互连能力与安装在基板上的器件所要求的在基板上的布线需求大致相匹配。研究表明(Pinnel 和 Knausenberger,1987),遵循这种策略一般将使系统的互连成本降到最低。

12.3 互连等级

人们认为数字电子系统,如逻辑门电路和存储器单元,必须以特定的方式用一种封装系统将它们互连在一起,以便达到所希望的系统功能。由互连系统与要求支持和实现它的硬件在一起构成了一个封装系统。

·p.644·

一个成功的封装系统必须满足系统设计提出的所有要求(Ambekar 等,1987)。一个系统的实现应该提供低成本、功能完备和系统的所有元件间可靠互连。这种互连的跨度范围,从以微米度量的芯片上晶体管与晶体管间的连接,到以米度量的最终系统级输出。系统机械结构的性质与被互连系统的尺寸和性质关系十分密切。体积很小的系统趋向于单独解决,它与使用的特性有很大关系,例如数字式温度计、手表、小型寻呼机、手持式收音机、步行器和遥控器等系统就是受益于这种独特的方案。这些系统具有无明显差别的互连等级,这里不再作进一步讨论。

这里述及的对象是呈现多层互连等级的大型电子系统。图12-16所示是一个以大型通信系统为典型示例的电子设备机架的简图。在这样一个系统中,呈现了许多不同类型的互连,从很小的在芯片上的互连到很长的在机壳间的连接。可以用多层次互连等级内的互连

级来分类，这里将对互连等级加以规定和描述。

互连等级是互连硬件的物理等级或层次的序列，这些硬件把IC芯片和其它元件连接起来形成一个电子系统。互连实际上是芯片与电子功能系统间的桥梁。

0级是一个IC芯片内晶体管到晶体管和门电路到门电路间的连接。这是最基本的互连级，它提供了所有芯片内部元件间的连接，并组织芯片外部连接成正规的阵列以便和下一级互连(见图12-17)。为了环境保护、可测性和处置方便，IC芯片本身通常是被封装的，封装就构成了互连的下一级。

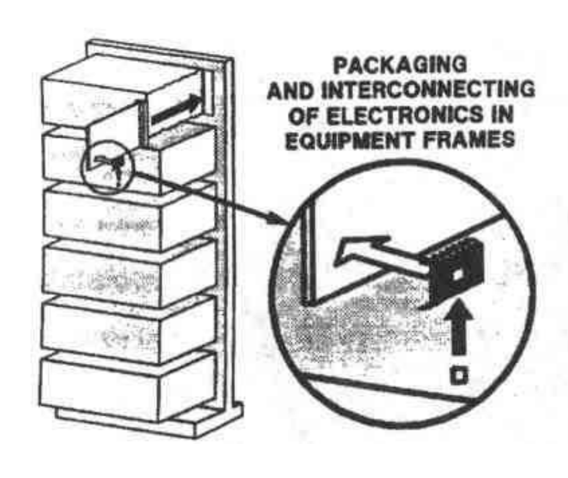


图12-16 “机架和机柜”式封装系统的立体图

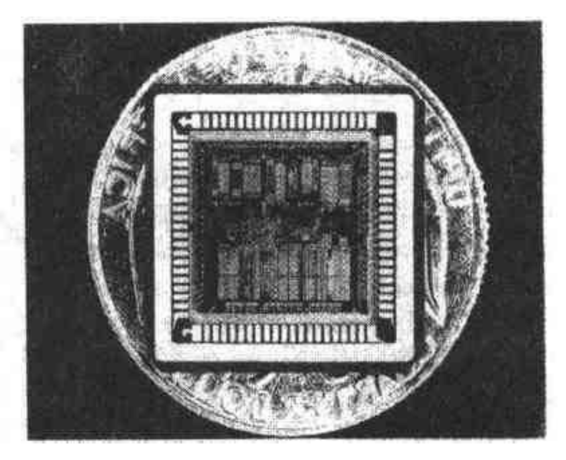


图12-17 裸硅芯片的放大图

·p.645·

1级是把硅芯片封装成单芯片封装或多芯片模块。关于单芯片封装的更详细讨论参见第11章，对多芯片模块技术的讨论见本章的第12.5节。在板上芯片(COB)封装的情况下，1级互连仅仅是由芯片到板的连接。

2级是板上互连，涉及到板上各元件引出端之间的互连(“板”也常称为“卡”)，简图示于图12-18。最常用的2级互连的介质是印制线路板(PWB)。关于印制线路板的更详细的描述见12.6节。当元件被安装到印制线路板上后所形成的装配件称为现场可更换单元(FRU)或称为电路板，图12-19所示为一个典型的现代通信电路板。

·p.646·

3级是采用背板(也称为背面板)互连，其功能是由插到设备机架或单元背板上的所有FRU的I/O端的互连，图12-20是代表这种功能的示意图。多个现场可更换单元(FRU)可以连到与其相垂直的插入面的背板(见图12-20所示)，或连到作为平面连接物的背板(见图12-21所示)。前一种的优点是可允许大量的现场可更换单元的互连，并很容易取下，但其缺点是互连长度较长，且现场可更换单元接到背板I/O的端点数量是有限的，它取

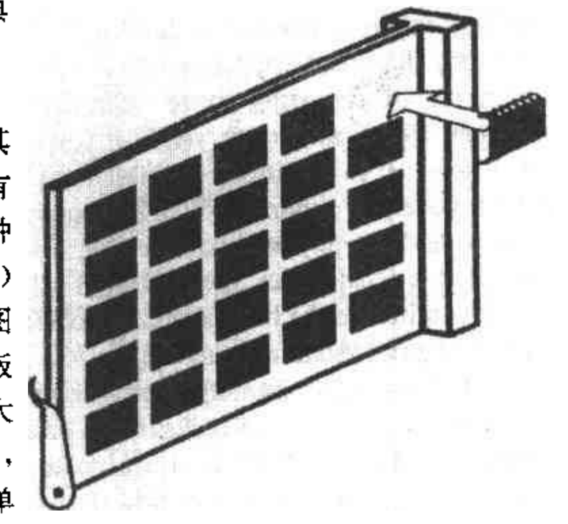


图12-18 插件板的立体图(2级)

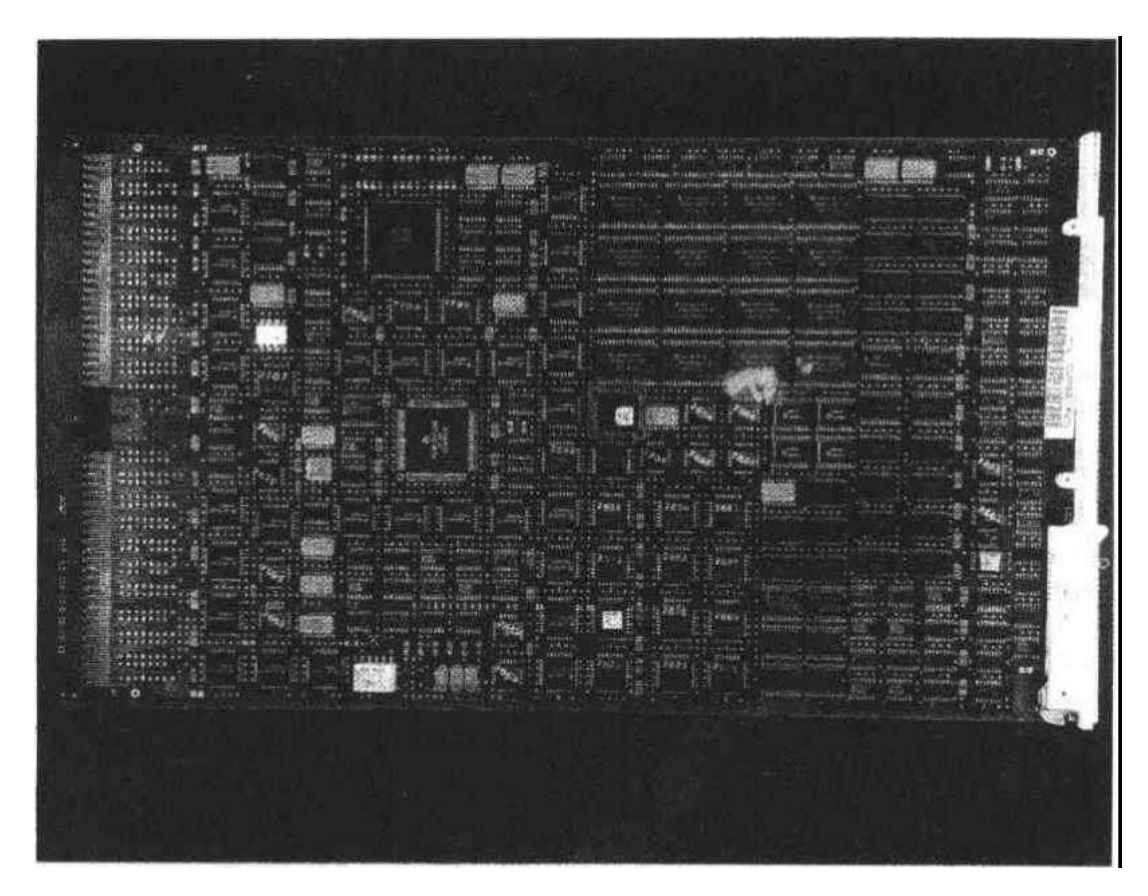


图12-19　90年代初通信用插件板照片(2级互连)

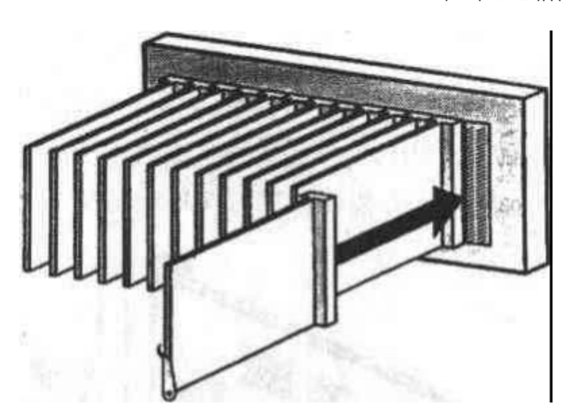


图12-20　传统机架级设备单元的立体图(3级互连)

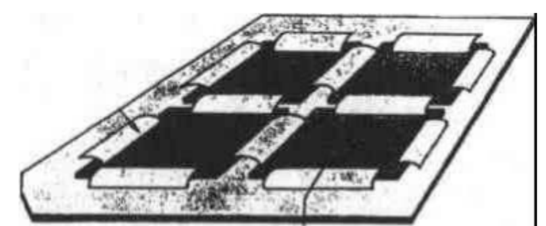


图12-21　一种平面布局的背板/机架单元的立体图(3级互连)

决于插入面的长度。后一种的优点是平均互连长度较短,并且能接更多的I/O,接I/O的多少受现场可更换单元的周长所限制或受插入面平面面积所限制,取决于所用的连接器技术。后一方案的缺点是,对每块FRU来说要求更大的背板面积,并由此产生较低的FRU密度。此外,平面方案时一般FRU不易取下。这两种尺寸分配不同的方案(在12.4节中讨论)的选择将影响到在系统设计中背板方案的选择。

4级是单元或设备机架间的互连,仍然是在机壳和设备机箱内的互连。一般用分离式

导线、同轴电缆、导线条带、平面电缆、光纤或光纤组件和电源母线条来连接。互连主要是在单元的后面板或机架间连接，但也可以在前面板或侧面板连接。代表这类互连型式的示意图见图12-22。

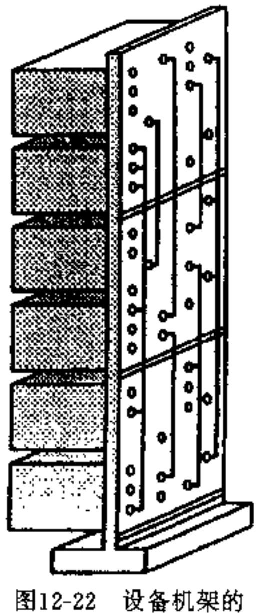


图12-22 设备机架的立体图(4级互连)

5级是机箱间或机架间的互连，这些互连链把各单个机架连成大的多机箱电子系统，或者把单机系统与外部世界互连起来。互连的介质与4级互连所用的相同，但互连的长度更长。此外，信号带宽一般更宽。因此同轴电缆和光纤在这一级互连中起着更主要的作用。

对于在大楼的房间、层与层之间的互连和一直到全世界通信的互连，互连等级超出5级，继续升到更高的级别。然而这里不再讨论这些，因为焦点在于依靠互连系统能使独立的电子系统组合起来。

·p. 647·

消费类电子设备通常包含0级到2级或3级互连，大型独立设备跨0级到4级或5级。与不在同一地点的其他设备相连的设备如全球的计算机网络和通信网络跨0级到7级或8级。

12.4 分　割

12.4.1 引言

在集成电路和系统设计过程中晶体管是成组地紧连在一起的，以便形成各种逻辑单元(门电路)(如与非、或非、非门等)。由这些门电路彼此相连，实现更高级的逻辑功能(如加、减、移位、倍乘等)。由较高级的功能件组合在一起形成功能实体(如多路调制器、多路分配器、计数器、译码器等)以及实现更高级的功能，这个过程进行下去，直到总系统所要求的全部功能实现为止。实际上，到最终产品时包含了所有的互连级别。

由于集成电路技术的发展，大部分的互连已经转移到芯片上，或者说是0级互连。经过若干年，许多系统互连将移到较低互连级的这种转变(结果使总的互连长度更短了)，这在接连几代的电子设备中已对改进成本/性能比明显地作出了重大贡献。

一个电子系统的分割是指把总系统分为可处理的多个子单元的过程，对每个子单元可以单独进行结构设计，然后由单独设计的子单元装配成最终的系统。分割过程的一些通用目标为：

1. 使在分割过程中交叉的互连数为最小。将切断的比子单元上最大所用的I/O数更多的互连端用接地阻断，并对各种不同的分割方案进行试验。

2. 使分割的元件不要多于子单元上所选择的工艺所能支持的元件数。

3. 电路的分割要使子单元的性能可以识别，并使性能容易可测。

·p. 648·

在分割中的一个重要变量是FRU的大小。选择的因素还有：对系统结构的要求、系

统特性和性能的要求、制造能力、市场需求、服务方针等。通常，确定使用FRU的最重要因素之一是以前使用FRU的实践情况，以前的工作经验、工具、设备和程序，如果没有严重的不足之处，则将成为以后在相同方向设计的基础。

12.4.2 分割方案

要识别和考虑的另一个非常重要的系统特性是所用连线的种类和最合适的分割方案的种类(Wilson,1980)。分割一个电子系统有两种不同的方案。

按元件分割的方案是先把电子系统分为元件的组合，而不是专门考虑互连图形的正规位置。当互连系统用这种方法分割时，互连通常是十分随机的，而元件是有序地很好排布的。

按互连分割的方案是先把系统分成若干互连网络，按相对有序和有效的结构来专门设计互连，相对说来元件是随机分布的，它们受互连网络的位置所支配。

12.4.2.1 按元件分割

现在，大多数系统仍然是按元件分割来设计的，然而这主要是历史原因形成的。得到最优费效比的最终系统的方案只是一种理想化的方案。因为在许多现代电子系统中存在着不少互连的限制因素，所以应仔细考虑采用按互连分割的方案或采用按元件与互连相混合的分割方案。

按元件分割包括将完成系统所需的元件仔细划分或定位，以便把系统按近似相等的元件数分成几块(在元件种类太多时，可按元件所需安装面积大约相等的原则进行分割)。首要的是每一块要形成一个合理的功能单元，并且每个互连级要满足实体的制约要求(如元件要求的I/O数、面积)。然后，最终加以互连。

12.4.2.2 按互连分割

在按互连分割的方案中，以有序地成组的方式设计和实施互连，而不是按惯例随机地一个挨一个地连接。通过了解和认识，借助于按变化程度在电子系统内找到的三种不同信号分布模式来达到有序排列。这三种模式分别为：散布式、网络式和状态/控制式。按互连分割设计需要辨认每种模式并适当地对它进行处理。

有三种互连分割的型式：功能型、模块型和等级型。图12-23和图12-24概念性地对这

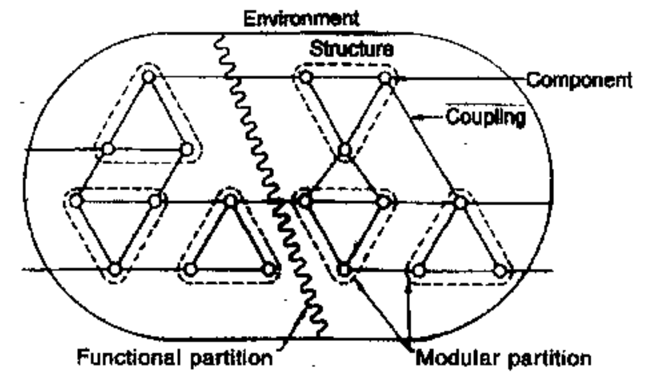


图12-23 具有重复元素的复杂结构内的功能型分割和模块型分割

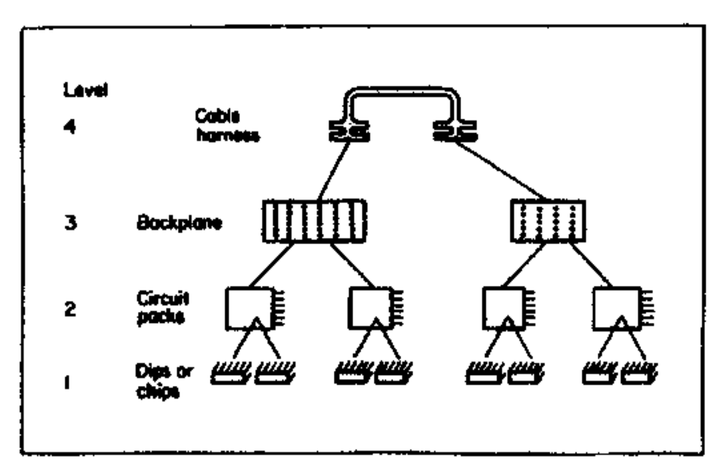


图12-24 等级型互连分割示意图

些型式做了图解说明。

·p.649·

功能型分割为利用分割边界达到互连交叉绝对最小。这种工艺趋向于把电路分成功能单元电路分段，在极端情况下这些电路分段只有几个输入、输出、电源和地的互连端。在一个大型电子系统内，功能型分割的电路趋向于产生不同大小的设备分块，这会限制合用的封装尺寸的选择。

模块型分割适用于存在功能规则的电子系统，例如电子开关系统，它具有一根延伸的开关光纤和广泛应用了有相同开关点的重复单元。这种电路和布线有通用互连模式的模块分割，具有互连规则性的优点。如果不管其他类似的互连，每个这种规则的互连被随机地进行安排，则引起的互连问题就会很难解决。

在等级型分割中，系统叠加上一个等级形状因子，把功能分配给各个不同的实体。在很大程度上，这是根据每一级的硬件互连能力，但也可能同时受模块型分割和功能型分割考虑的影响。大多数大型电子系统是按等级分割的。这种方案趋向于在每个互连级上有相对均匀大小的分割。

·p.650·

理想的分割程序综合了灵活性和标准化，是将功能、模块和等级分割各部分的合理平衡。当需求相互矛盾时，利用重复的模式和过去设计成功的经验，把结构简化为多个分立的部分。

12.4.3 互连分布图

传统的分割方案是假设每个互连的功能彼此相同，也就是说，在电子系统中使两个或两个以上物理上分离的点在电性能上是同一点。结果，在同一设计问题中逻辑互连和电源互连常常集总在一起。当被设计的互连数有限时，这种方案通常是十分合理的。但在具有几百万个互连点的现代互连中，为了对整个系统设计进行优化，最好对互连考虑得更为细致。

另一种设计方案(Wilson，1980)是可以按成组地处理互连问题，而不是单个地处理，这里对这种方案作简要的描述。在这一方案中，互连的彼此区分是根据所载的不同“信号”

型式，如逻辑、电源、时序、控制等。不同的互连型式的分布图存在明显的差别。

成功地按组或按批处理这些互连能力的关键在于识别在每个分布图内共同的互连。正如上一节所讨论的，当任何一个电子系统内的互连用图和形状分析时，它们可以分为三种不同的级别或图形模式。这三种互连级别就是散布式、网络式和状态/控制式。

一旦在设计中成功地识别了互连符合这些图形的每一种时，互连设计的重点就由一个一个地处理每个互连转变为处理符合这些分布图形的成组的互连。表示符合三种分布图形模式的示意图如图12-25所示。

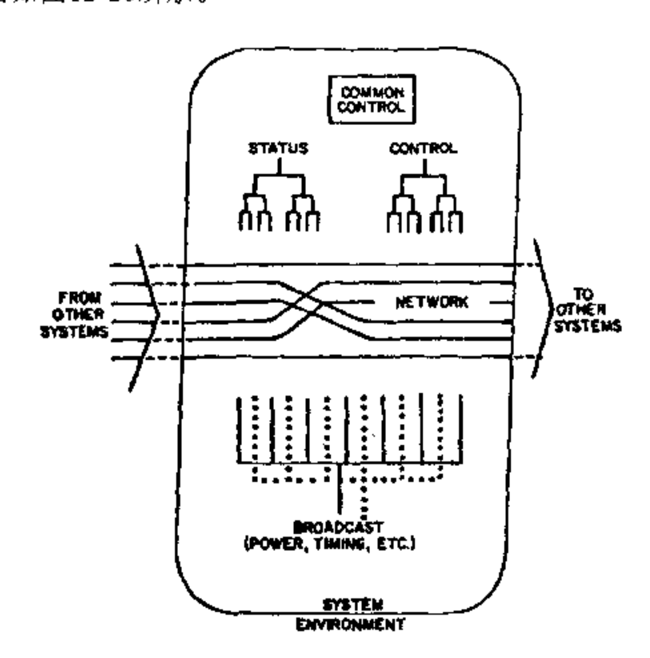


图12-25 三种信号分布图形示意图

12.4.3.1 散布式互连

这是由一个源作为起点向许多负载散开的一种互连，它们把本地产生的“信号”传输到一个辐射状分布的负载。实际的互连数一般是很小的，但它们要求高可靠和坚固耐用，因为它们对电子系统的功能成功非常关键。这种散布式互连既可用于处理模拟信号也可用于处理数字信号。

12.4.3.2 网络式互连

这种网络互连适用于具有许多重复单元而分布图形又十分有序的互连。通常其信号是来自或输入到其它功能件或电子系统，有时还各自相隔一定的距离。在现代电子系统中普遍存在的字节-宽度母线就是网络式互连。远距离电话网络是用网络互连来完成的，引线数通常非常多，并且引线长度很长。所以维护信号的完整性是重要的设计考虑。

由于网络互连具有冗余度的本性，可靠性不像散布式互连和状态/控制式互连那样重要。信号既可以是模拟的也可以是数字的，并且改变或重新组合是相对较少的。当要进行改变时，多数情况是以成批的形式进行，而不是一根一根线地单独进行。

·p.651·

12.4.3.3 状态/控制式互连

这些是确定或控制本地系统(逻辑和控制电路)状态的本地产生的信号,其拓扑结构通常像树图,不像散布式或网络分布式那样规则有序。在系统中引线的数量相对较多,但趋于很短。信号一般是数字信号,并要求小心地设计以保证有充分的设计余量和避免虚假触发。

对可靠性的要求介于网络式和散布式互连之间。常常要进行变更,尤其在系统寿命期的早期,并且是按一个一个为基础进行的。

12.4.4 理想的系统分割方案

三种不同互连型式的特性和要求是彼此完全不同的,我们在设计中要力图去适应其不同点是很重要的。

这里建议的分割方案为:先把互连设计分为三个平行的设计问题,就是分别用散布式、网络式和状态/控制式来处理引线分布,并对每个进行单独优化。这种方案可使设计者把集中点放在互连图形的"大图"上,而不是放在点到点连线的积木块上。用这种方法可以把以互连和接口为主的成本减到最小,而不是优化元件和积木块。

12.5 多芯片模块

为提供性能增强的功能,在大型印制线路板(PWB)上,将已封装的多个单独的芯片相互连接,其难度随系统频率的升高而增加。

对电路中性能最关键的部分,通常设计将它们放置在有限的互连基板上。硅芯片上的互连能力(每单位面积可提供的连线长度)已经大大超过PWB的能力。由于硅片的集成度已经走在时间的前头,PWB上的革新进度已赶不上硅上集成的步伐,这种能力的差距正日益扩大。这就为在硅芯片和PWB之间具有中等密度的互连基板技术创造了一个良好的机遇。这就是多芯片模块(MCM)的领域。MCM是一种密集的高性能互连结构,这种结构为多个裸芯片和可能有的其它元件提供电性能、机械和热性能方面的支持(Turlik,1992)。多芯片模块通常用于把一个系统的最密集的、高速的和性能增强部分集中到一块或很少几块高性能基板上(Balde,1990)。

直到80年代中期,电子工业对多芯片基板的需求是由陶瓷为基片的混合集成电路(HIC)来满足的。混合集成电路首先广泛地使用了MCM技术,其最大优势在于它扩展了无源元件的能力。这种主要以氧化铝为基片的基板技术已经达到了充分开发的状态(Tummala,1989),在汽车、通信和计算机工业中具有广泛的应用范围。在这些应用中,该技术已经日益遇到在总的密度和速度方面的限制。

MCM的基本分类可分为:MCM-C,MCM-D和MCM-L(IPC,1990),这种分类已作为各种MCM应用的特性范围被公认。这是按制造方法和介质材料类型为特征进行分类的(Turlik,1994)。当在一种类型中使用了两种工艺时,也采用一些复合名称,如MCM-DL:

· MCM-C,这种模块是由陶瓷或玻璃陶瓷材料构成,导电体是耐熔金属,如钨(W)和

钼(Mo)或用可丝网印制的金属玻璃浆料如金(Au)、银(Ag)、钯(Pd)和铜(Cu)。

· MCM-D,这种模块是由沉积多层薄膜导体形成,如将铜(Cu)、铝(Al)或金(Au)沉积在以硅、金刚石、陶瓷或金属为支承基板的未增强的有机或无机介质上。

· MCM-L,这种模块是用层压印制线路板技术制成,这些层压板可以是经过增强的。通常用附加沉积或减去某规定区域的铜来形成导体。

90年代后期,在商品市场上实现现代 MCM 元件的二个最强大的推动力为:1)将整个系统级成本降到最低的需求,2)把电子设备做得更小和更轻的要求。过去,与提供高性能子系统的要求相比,MCM 的成本不是第一位重要的问题。由于已经开发了能生产较低成本的 MCM 的方法,因此出现了以使用 MCM 来降低系统级成本的新的 MCM 市场(Thompson,1995)。尽管一块 MCM 的成本可能比由它所替代的同等的单芯片封装和分立元件的成本高,但使用 MCM 常常可制造出费效比更低的系统。会议文集(1994a—c,1995a—c)和 Balde 等(1995)为进行先进的 MCM 开发和应用活动的人们提供了技术交流的捷径。

·p. 653·

12.6 印制线路板(PWB)技术

12.6.1 引言

本节从未来用户展望的角度来谈一谈印制线路板(PWB)技术。对几种主要的技术和最常用的工艺进行综述。

早期的电子系统是用分离导线和总线条带把各端点间互连起来的。在1925年,Ducas专利(Ducas,1925)首先介绍了平面图形的概念,在导电箔上把除了所需要的导电通路外的其它部分全刻蚀掉,这就是 PWB 工业简陋的开端。

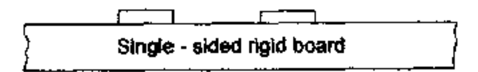
PWB 完成像 MCM 同类的互连功能,但通常规模较大。大多数电子设备要求在提供互连时所耗费的体积和重量为最小,所以用 PWB 而不用分离的导线。它们的应用范围从一次性使用的、寿命有限的消费类电子到可靠性最高的空间电子。在这些应用以及在所有其他实用电子系统中,印制线路的作用就是作为主要的互连媒介(Combs,1987)。

将一层铜箔压到一块玻璃增强的环氧树脂、聚酰亚胺或其它聚合物基板的一面或双面上,形成单面或双面的层压板。通过制作各种图形、钻孔和金属化工艺,产生一种互连线路。在塑料基板的一面上用铜金属化层形成的互连线路称为单面线路,这是 PWB 最简单的形式。当双面金属化并各有图形时,称为双面线路。它们典型的横截如图12-26所示。

如果多块双面电路被层压和互连在一起形成组合件,就称为多层板(MLB),图12-27所示为一块在两面装有表面安装器件的高密度 MLB。

12.6.2 材料系统

为 PWB 应用所选用的介质材料很大程度上取决于其用途、可靠性要求、市场的可占有率和成本。介质基板可以是单独使用热塑性塑料或热固性树脂,也可以与以网、编织物或随机放置形式的纤维作增强强度的材料一起使用。在介质材料中常用的材料是酚醛树



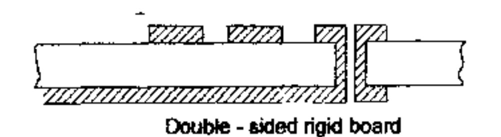


图12-26 单面PWB和双面PWB的典型横截面

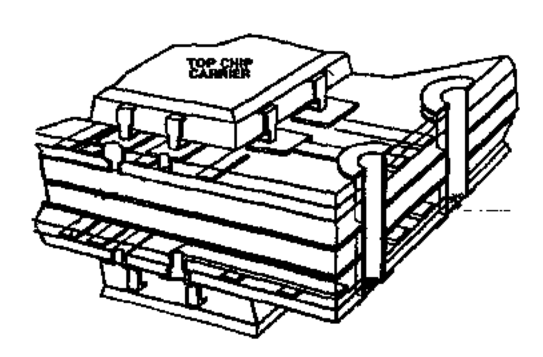


图12-27 在上下两面都装有表面安装器件的MLB的立体示意图

脂、环氧树脂、三嗪、聚酰亚胺、聚脂、四氟乙烯、聚酰胺和聚砜。

·p. 654·

最常用的介质材料体系中,按年销售量递减的次序排列依次是环氧树脂(通常用玻璃纤维增强)、酚醛塑料(用纸增强)和聚酰亚胺(用玻璃或 kevlar 纤维增强)。玻璃环氧树脂主要占有中档产品的市场段并广泛用于所有段。酚醛纸的销售量为其次,广泛用于最低成本/性能的市场段,如一次性使用的消费类产品。聚酰亚胺在总销量中占第三位,主要用于高性能电子产品或用在高温环境。它们的特性比较见表12-2。

表12-2 各种PWB树脂的特性

树 脂	通用型号	玻璃转化温度 T_g (℃)	玻璃转化温度 T_g (F)	相对介电常量	损耗角正切值
G-10FR	FR-4 环氧树脂	125	255	3.6	0.032
RSM-1212	FR-4 环氧树脂	125	255	3.6	0.032
Quatrex 5010	四官能团环氧树脂	180	355	3.6	0.032
RSM-1151	四官能团环氧树脂	180	355	3.6	0.032
G-200	BT/环氧树脂	185	365	3.2	0.012
BT2100F	BT	250	480	3.1	0.003
BT2060BG	改进型 BT	220	430	2.9	0.001
Kerimid	聚酰亚胺	275	525	3.2	0.02
RSM-1206	聚酰亚胺	—	—	—	—
RDX64826	氰酸酯 I	260	500	3.1	0.005
XU-71787	氰酸酯 IV	260	500	2.8	0.004
	PTFE	—	—	2.0	0.0002
UDEL	聚砜	192	375	3.0	0.004
ULTEM	聚醚酰亚胺	212	415	3.1	0.0065
Victrex	聚醚砜	230	445	3.5	0.0035
	聚烯烃	—	—	2.3	0.002
	聚丁二烯	—	—	2.8	0.005
	聚次苯基氧化物	85	185	2.55	0.0007
	聚碳酸酯	195	385	3.0	0.001

·p. 655·

电路的最大布线密度(当达到最细设计规则时)受制造工艺限制。许多常用塑料基板材料的玻璃转化温度很低,这就限制了 PWB 在实际现场环境中的应用和用途。此外,妨碍了在 MCM 及 HIC 上金属化和制造无源器件时使用一些传统的工艺(Turlik,1992)。

最广泛使用的PWB介质材料为FR-4，它由编织的玻璃纤维灌注环氧树脂而成，为了具有较大的阻燃性，环氧树脂经溴化处理。其玻璃转化温度约为140℃。然而，为了避免变色和特性逐渐恶化，不应在温度高于120℃下工作过长时间。因为全世界大多数的PWB是用FR-4做的，故其材料成本也影响成熟产品的成本(Harper，1969)。由此，当需要更好的特性时，为其它介质材料支付更多的材料费用可能也是值得的。

12.6.3 PWB的种类

PWB既可以制成刚性结构也可以制成柔性结构。此外，有一种混合结构称为分离式连线电路。

12.6.3.1 刚性PWB

现在大多数设计和制造的PWB在机械结构上是刚性的。它们通常起着电性能互连的作用，同时也作为机械装配的平台。除了是平面的单面、双面或多层板外，PWB也可造型成三维形以实现某种结构功能。这种PWB趋于单面并通常实现相对适中的互连功能。它们由注模、挤压或热成形热塑树脂制成，在其上形成导电互连。导电互连是用丝网的或印制的导电油墨形成，或采用增加或减去涂覆在模压基板上的镀铜薄膜技术形成。

12.6.3.2 分离式连线的电路

分离式连线电路是刚性PWB的另一种形式。在这种情况下，内部核心结构一般是由MLB制成。它通常提供电源面和接地面，信号互连是用单根分离的绝缘导线由粘合剂粘到核心PWB的表面上实现的。线的两端接头是用钻孔的方法通过PWB到达其下面的铜衬焊盘垫，接着在孔中电镀铜。由于绝缘导线可以形成交叉并有效地占有可利用的线路通道的高百分数，所以分离式连线电路可以用单层布线实现非常高的互连密度。

12.6.3.3 柔性PWB

柔性电路是在非刚性基板上制成的，所以可以在设备设计要求的范围内弯曲，以便完成特定的设计要求。为使电路能反复弯曲，就要求除基底柔软外，导电体、粘合剂和覆盖层材料也都是柔软的。与同样电路的绕圈连线的组件相比，通常柔性电路产品的重量和体积可减小约50%(Shepler和Casson，1989)。在合理应用情况下，装配和安装成本通常是降低了，并且接线差错几乎可消除。与绕圈连线相比，较小批量的柔性电路组件也可以不受使用较小不太贵的电缆的制约。然而，由于柔性电路非常薄，通常比刚性板难维修，所以柔性电路组件一般是更换掉而不是修理。

一种特殊的设计应用可能需要把电路柔性地接到连续在动的基底上(例如常用于连接到PC打印头那类电路)，或者可以在设备装配过程中一次性地摺曲和弯曲(例如在照相机和摄像机等便携式消费类设备上通常是这样做的)。在将它们的特性可以开拓到进一步节省成本和降低尺寸、重量和空间的设计情况下，通常使用它们去减小机壳系统。

·p.656·

在电路上常施加一种保护膜，这层膜覆盖在电路的导电面以保护其免受可能的污染、潮气或机械损伤，并在弯曲时减小导体的应力。保护膜可以是下列三种型式中的一种：

1. 绝缘用的、粘接的覆盖膜。这种薄膜通常已预先钻孔或穿孔，以提供连接到焊接区和元件的通路，薄膜的厚度选为与柔性基板相同。当在加热和加压条件下将覆盖层压到基板上时，要使此组合件的导体位于中心近自然轴处。这样可以使弯曲时导体所受的应力降到最小，并使其抗疲劳寿命最长。

2. 光敏膜焊接掩模。这种焊接掩模有两种：干薄膜和液体的。干薄膜焊接掩模是在加热、加压条件下用真空层压到柔性电路上。液体焊接掩模是用滚筒、喷涂或挂涂等涂覆方法加到柔性电路上。这两种薄膜接着都要通过标准的照相处理工序，以便限定焊接区的进出孔和其它元件。这种方法可以对元件产生很高的分辨力，但相对也是较贵的。

3. 丝网印刷覆盖层。把聚合物树脂用丝网印刷到柔性电路上，除了暴露的焊接区外，将其余所有面积全覆盖住。这些树脂通常是 UV 可固化的，并不需要溶解减薄。

柔性连接板（也称刚性—柔性板）是一种特殊的混合式柔性电路，它用柔性电路去连接刚性介质支撑平面。刚性平面为使用费效比低的常规技术去安装和连接元件提供了一个装配平台，柔性电路的露出部分限于走线面有限的面积。这些柔性电路段用于将刚性板互连，并使其最终组合件可被折叠成紧凑和复杂的形状，而其所有的板都已预先互连好了。这种方案正非常有效地用于生产轻便和坚固的笔记本式个人计算机、照相机和摄像机。

12.6.4 PWB 生产工艺

12.6.4.1 基本工艺

在介电基板上生产互连印制线要经过形成图形、镀覆和刻蚀。通常用减去法或部分添加法工艺。另一种全添加工艺只包括进行布图和涂覆。图12-28所示为目前两种最通用的 PWB 制造工艺流程："印制和刻蚀"及"印制、镀覆和刻蚀"工艺（Wargotz，1992）。尽管全添加的"印制和镀覆"工艺在概念上是非常简单和受吸引，但实际上不如其它两种工艺开发得好和应用得广泛。

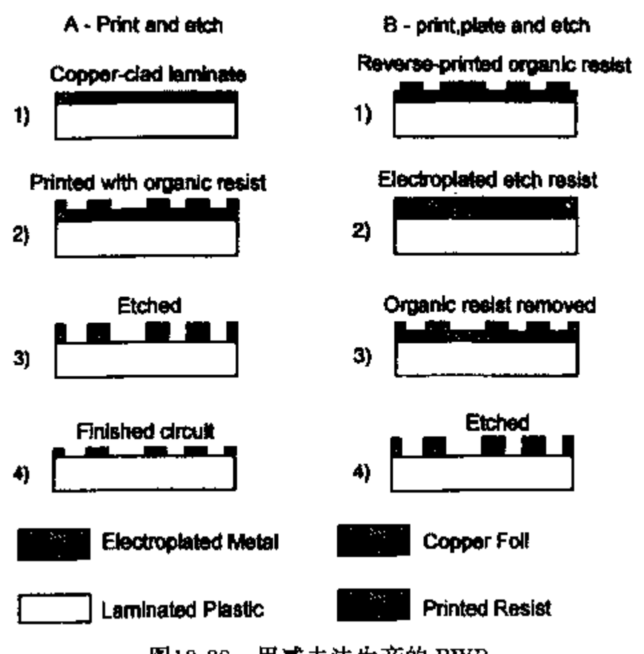


图12-28 用减去法生产的 PWB

·p. 657·

印制和刻蚀

"印制和刻蚀"工艺仅对没有镀覆孔的 PWB 有用。这包括没有电镀通孔的单面 PWB、双面 PWB 和没有内埋通路的多层板的内层。在该工艺流程中，起始材料是覆盖有铜箔的介电基板，覆盖的铜箔厚度是最终铜走线所要求的厚度，其典型值为1/2，1或2盎司铜（17.5，35或70μm 厚）。形成互连印制线的方法如图12-28A 所示，在原始铜箔上印刷和显影所要电路的正光刻胶图形。通常这种光刻胶是一种光可限定形状的聚合物。然后用刻蚀方法去掉不需要的铜就可获得所要的电路，这些不需要的铜是没有用光刻胶保护的。

工艺步骤少且简单是印制和刻蚀工艺的主要优点。另一个优点是可使用很薄的光刻胶膜。这种工艺的主要缺点是要在 PWB 的非电路部分将不需要的铜全部刻蚀掉。由于大多数腐蚀剂和刻蚀工艺是各向同性的，即一条导线钻蚀的宽度是与其刻蚀厚度相同的，可以生产的最细的线宽将受限制。对各向同性刻蚀的一条经验法则是：可以重复生成的最细线宽至少必须大于被刻蚀铜厚度的两倍。

印制、镀覆和刻蚀

"印制、镀覆和刻蚀"工艺是用于具有镀覆通孔(PTH)的 PWB。这包括双面 PWB，内层中具有内埋通路的 MLB 和层压的 MLB。这种工艺也可用于无孔的 PWB，只要起始点是用薄金属层覆盖的板。

·p. 658·

在此工艺流程中，起始点是全部覆盖有一层薄原始铜膜的介电基板。该铜层的主要作用是把整个基板表面都短路，以可用电镀工艺镀覆互连走线。先将所要的互连线图形的负光刻胶图形印刷到铜上，然后互连图形被电镀到最终所需要的铜厚度，在外露的已镀铜面上再电镀一种抗腐蚀镀层，常用的是锡或焊锡。再除去印制线的负的光刻胶印刷图形，化学腐蚀掉其下面的铜，就产生了所要的互连电路。

这种印制、电镀和刻蚀工艺的主要优点是起始金属层可以用很薄的铜，这可减少由于腐蚀而使线宽变窄的程度。此外，所制成的导体横截面形状将主要取决于光刻胶图形的几何形状，避免了印制和刻蚀工艺中的钻蚀问题。这种工艺的主要缺点是光刻胶较厚(37—50 μm)很难制作细线条。另一个问题是整个表面由电镀形成，其厚度很不均匀。

镀覆通孔

当制作双面电路时，必须用镀覆通孔(PTH)将两面所选择的部位在电性能上互连起来。这是用经镀铜的孔(通常是先钻孔)来完成，被互连的钻孔和邻近的铜表面首先用化学镀铜覆盖一层，因化学镀铜沉积很慢，所以要达到最终所需要的铜厚度，这种工艺就不实用。只能用电镀的方法制孔，在基板的两面都有薄铜层，在电镀前先用印制、镀覆和刻蚀工艺产生包括孔在内的电路图形。

12.6.4.2 各种印制线路板的制造程序

单面电路

单面电路是 PWB 中最简单的一种，因为所有的电路都在同一面上，所以不需要 PTH。图12-28中所示的镀覆、刻蚀和印制、镀覆、刻蚀两种工艺都可采用。在电路上所要的任何孔既可以在互连线形成前，也可在形成后制作，因为这些孔不需要镀覆。

双面电路

双面刚性(DSR)印制线路板的一种典型的制造工序示于图12-29,采用“印制、镀覆和刻蚀”工艺,获得一种具有 PTH 和有裸铜或镀锡互连电路的双面板。这种板也可用作多层板的单元层(要求选用裸铜)。或者如图12-29所示,再适当增加一些工序后可以做成完善的 DSR 板。

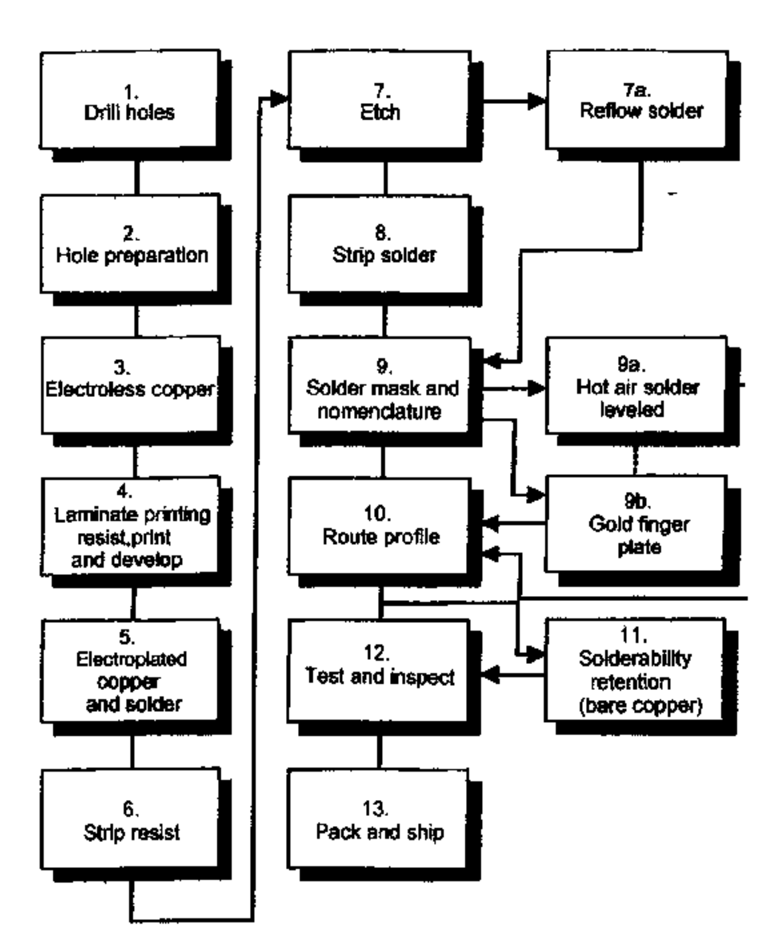


图12-29 双面刚性(DSR)板的典型制造工序

多层 PWB

·p. 659·

图12-30所示为多层板(MLB)的制造程序。其内部核心层由薄(一般为75—200 μm 厚)介质层压电路制成,它是随上述裸铜 DSR 工序之后单独制造的。然后将具有合适图形的内部核心层与 B 级(特殊固化的)介质薄片插入层叠加在一起,将这些层非常小心地相互对准,用层压的方法放在一起,在加热和加压条件下把这些组装件结合成为一块连接成整体的板,所制得的组合件如同 SDR 板一样处理,用钻孔、镀覆、印制和刻蚀工艺形成最终的 MLB。

柔性电路

柔性或可弯曲电路通常制成单面、双面电路,有时也制成多层电路。可以只用柔性材料制作,也可以用柔性和刚性材料相组合制成(产生柔性连接的 PWB)。通常使用类似于刚性板的制造工艺。然而对于大批量柔性电路的生产可以采用卷带式连续生产工艺,以便

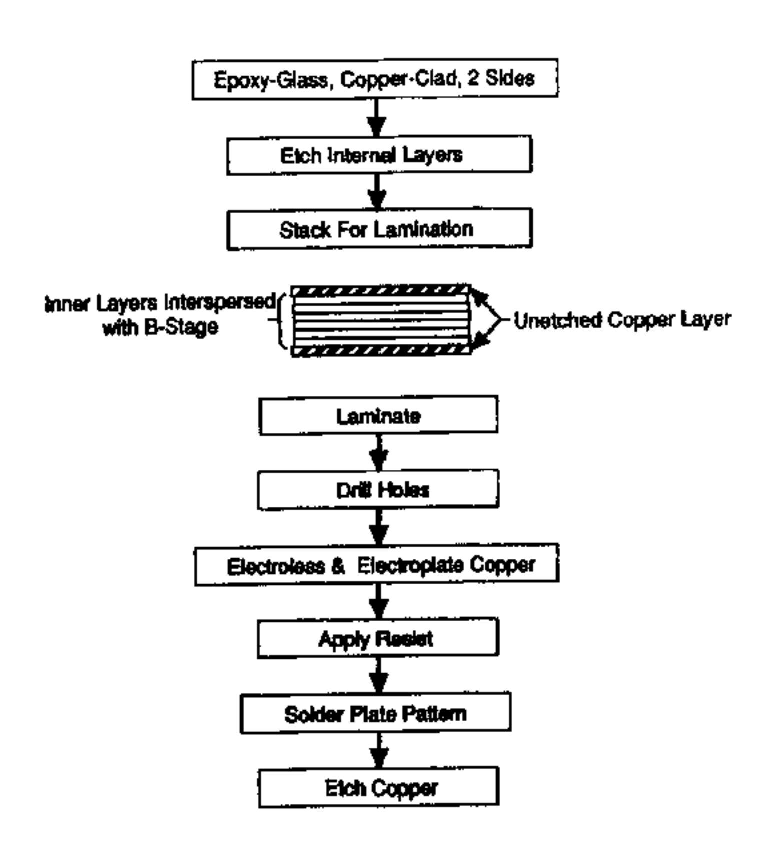


图12-30　多层板的典型制造工序

降低成本。柔性电路常被设计制作成具有非矩形的形状因子，它们可设计成被折叠到复杂形状中去，以便在高密度封装电子系统中适应三维互连结构的需要。

12.7　未来发展方向

·p. 660·

电子工业在不断的巨大压力下生产出比以前更好、更快和更便宜的产品。从事电子工业的人们为了有效地竞争，不得不将产品开发周期与电子工业发展曲线相适应。电子工业中的计算机、通信和消费类电子产品快速跑在这条曲线的开发时间段的前面，面这段时间的范围只有6到18个月(Asthana，1995)。这样短的时间区间实际上很难适应市场，因为传统的产品确认周期可能比整个开发周期时间还长。

12.7.1　市场的兼并

有三个主要的受用户推动的电子市场：

· 交付给客户的娱乐节目
· 计算机服务
· 通信能力

这些服务具有不断增长的共同特点。过一段时间后，提供这些服务的电子设备将会基本上相同，所设计的电子设备将都是进行数字数据流的接收、传输、处理和显示。图12-31

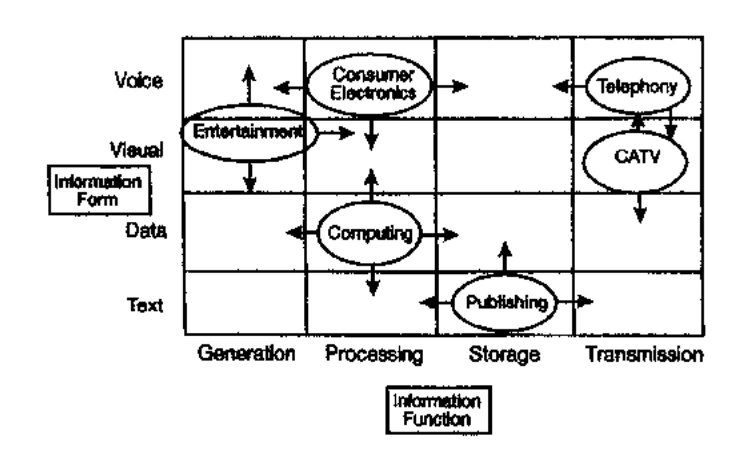


图12-31　90年代的许多分立的电子工业部门将趋向于合并成一个全球信息工业

提供了图示说明。

信息的形式和作用会有不同，但对电子学来说差别是较小的，并能容易地在设备设计时加以调整。

12.7.2　为用户服务的新形式

·p. 661·

在90年代，为用户提供服务的概念已发生了很大的变化。满足全世界用户对电子信息需求的方法与以往时代完全不同，这点已很清楚，无需再多作说明。新的用户服务可以用以下特点来表征：

· 全数字内容

· 高信息带宽的需求

· 声音、图像或数据内容（数字不关心发射的是何种数据）

· 要求提供随时间迅即变化的能力

· 价格和使用性能成比例

新的用户服务的特点与过去很不同，交付既可通过通向服务提供者的数字链在线进行，也可通过存储媒介脱线进行，如通过磁带、软盘、光盘或视盘。在线交付的方法在不断增长，这是现代用户主要选择的方法。这就推动了世界范围的重新布线，既有电缆线，也有光缆，或用数字无线链。对于数字数据的传输主要有三种型式：

· 电话网络

原理上电话网络是一种真正的网络，对广大不同地点只要一经请求就可提供异步信息。其最大优点是在世界大多数地方到处都可使用。它的主要弊端是在接近用户的环路网络中可利用的电信带宽不够宽。

· 有线电视网络

现在的有线电视网络具有较宽的电信带宽，但它是非交互式（单路）的，并且是在一个非开关式的网络中。

· 直接广播卫星

这种方式在农村地区具有很大的优越性，它不需要像其它方式那样铺设电缆和连线。

然而在设置密度较高的都市地区可能费效比较高。

12.7.3 技术的发展

·p. 662·

大多数技术的进步是通过许多发展阶段的，技术开发通常由大多数逻辑上的进一步推移发展到产品设计的升级。在90年代后期，对元件级来说，这就是指成本低、占用空间小和效果好的封装技术的应用日益增长，如焊球阵列(BGA)、载带自动焊(TAB)、芯片直接粘接(DCA)和板上芯片(COB)。这种发展动向来自对元件级 I/O 引线数需求的增长，以及对更高工作速度和更高密度封装的需求。这些元件正被安装在更小、更密的 PWB 和 MCM 上，以便提供费效比低的电子模块。

有效地提供所有这些服务就要求整个世界的电子基础结构发生根本的变化。对互连系统的影响将是十分巨大的，因为互连系统为未来的电子服务提供这种基础结构。电子互连系统的发展必须与迅猛发展的世界电子工业保持同步。

12.8 参 考 文 献

Ambekar, S. M., Hamilton, W. E., Cole, T. E. (1987), *AT&T Tech. J. 66 (4)*, 87.

Asthana, P. (1995), *IEEE Spectrum 32 (6)*, 49.

Balde, J. (1991), "New Packaging Strategy to Reduce System Costs", in *Multichip Modules: System Advantages, Major Constructions, and Materials Technologies:* Johnson, R. W., Teng, R. K. F., Balde, J. W. (Eds.). Piscataway, NJ: IEEE Press, p.7.

Balde, J., Garou, P., Nelson, J., Van Loan, P. (Eds.) (1995) *Compendium of Papers 1992–1995, Int. Conf. and Exhibition on Multichip Modules.* Reston, VA: ISHM, The Microelectronics Society.

Combs, Jr., F. (Ed.) (1987), *Printed Circuit Handbook*, 3rd ed. New York: McGraw-Hill.

Ducas, J. (1925), *U. S. Patent 1 563 731*.

Goddard, C. T. (1979), *IEEE Trans. Compon., Hybrids, Manuf. Technol. CHMT-2*, 367.

Harper, C. (1969), *Handbook of Electronic Packaging.* New York: McGraw-Hill.

Hoover, C. W., Harrod, W. L., Cohen, M. I. (1987), *AT&T Tech. J. 66 (4)*, 4.

IPC (1990), *IPC-MC-790.* Lincolnwood, IL: Institute for Interconnecting and Packaging Electronic Circuits.

Knausenberger, W. H., (1992), "Interconnection Trends in Telecommunications", in *Proc. 1992 Int. Electronics Packaging Soc. Conf., Austin, TX.* Wheaton, IL: IEPS, pp. 27–30.

Knausenberger, W. H., Schaper, L. W. (1984), *IEEE Trans. Compon., Hybrids, Manuf. Technol. CHMT-7*, 261.

Pinnel, M. R., Knausenberger, W. H. (1987), *AT&T Tech. J. 66 (4)*, 45.

Proceedings (1994a) *Proc. 1994 Int. Electron. Packaging Conf., Atlanta, GA.* Wheaton, IL: IEPS.

Proceedings (1994b), *Proc. 44th Electron. Compon. Technol. Conf., Washington, DC.* Piscataway, NJ: IEEE.

Proceedings (1994c), *Proc. 1994 Int. Conf. on Multichip Modules, Denver, CO.* Reston, VA: ISHM–The Microelectronics Society.

Proceedings (1995a) *Proc. 1995 Int. Electron. Packaging Society Conf., San Diego, CA.* Wheaton, IL: IEPS.

Proceedings (1995b), *Proc. 45th Electron. Compon. Technol. Conf., Las Vegas, NV.* Piscataway, NJ: IEEE.

Proceedings (1995c), *Proc. 1995 Int. Conf. on Multichip Modules, Denver, CO.* Reston, VA: ISHM–The Microelectronics Society.

Rust, R. D. (1989), *Introduction to the General Problems in Production of Fine Lines,* Paper 799. Lincolnwood, IL: Institute of Printed Circuits Technology.

Shepler, T. H., Casson, K. L. (1989), *in Electronic Materials Handbook,* Vol. 1. Materials Park, OH: ASM International, p. 579.

Sutherland, I. E., Mead, C. A. (1977), *Sci. Am.* (Sept.) 210.

Thompson, P. (1995), *IEEE Trans. Compon., Packaging Manuf. Technol. A, 18, (1),* 10.

Tummala, R. (1989), "Ceramic Packaging", in *Microelectronics Packaging Handbook:* Tummala, R., Rymaszewski, E. (Eds.). New York: Van Nostrand, Chap. 7.

Turlik, I. (1992), "Background to MCM Technology", in *Thin Film Multichip Modules:* Massnar, G., Turlik, I., Balde, J., Garrou, P. (Eds.). ISHM Technical Monograph. Reston, VA: ISHM, Chap. 2.

Turlik, I. (1994), "Interconnect Substrate Technologies", in *Physical Architecture of VLSI Systems:* Hannemann, R., Kraus, A., Pecht, M. (Eds.). New York: Wiley, Chap. 3.

Wargotz, W. B. (1992), "Communication Printed Wiring Interconnection Technology", in *The Froehlich/Kent Encyclopedia of Telecommunications.* New York: Marcel Dekker, p. 305.

Wessely, H., Fritz, O., Horn, M., Klimke, P., Koschnick, W., Schmidt, K.-H. (1991), *IEEE Trans. Comp., Hybrids, Manuf. Technol. CHMT-14*, 272.

Wilson, D. K. (1980), *Des. Stud. 1*, 245.

一般阅读资料

Doane, D. A., Franzon, P. D. (Eds.) (1993), *Multichip Module Technologies and Alternatives: The Basics.* New York: Van Nostrand Reinhold.

Fink, D. G., Christiansen, D. (1989), *Electronic Engineers' Handbook*, 3rd ed. New York: McGraw-Hill.

Ginsberg, G. L. (1990), *Printed Circuits Design.* New York: McGraw-Hill.

Ginsberg, G. L. (1992), *Electronic Equipment Packaging Technology.* New York: Van Nostrand Reinhold.

Ginsberg, G. L., Schnorr, D. (1995), *Multichip Modules and Related Technologies: MCM, TAB and COB Design.* New York: McGraw-Hill.

Hwang, J. S. (1995), *Ball Grid Array and Fine Pitch Peripheral Interconnections.* Pennington, NJ: Electrochemical Society.

Lau, J. H. (1994), *Chip on Board Technologies for Multichip Modules.* New York: Van Nostrand Reinhold.

Lau, J. H. (1994), *Handbook of Fine Pitch Surface Mount Technology.* New York: Van Nostrand Reinhold.

Lau, J. H. (1995), *Ball Grid Array Technology.* New York: McGraw-Hill.

Lau, J. H. (1995), *Flip Chip Technologies.* New York: McGraw-Hill.

Manko, H. H. (1992), *Solders and Soldering: Materials, Design, Production and Analysis for Reliable Bonding,* 3rd ed. New York: McGraw-Hill.

Marcoux, P. (1992), *Fine Pitch Surface Mount Technology.* New York: Van Nostrand Reinhold.

索 引

（万 群 译 董清海 张世荣 校）